

코발트 폴리사이드 게이트의 전기적 특성에 관한 연구

정연실 · 구본철 · 배규식
수원대학교 전자재료공학과

A Study on the Electrical Properties of Cobalt Polycide Gate

Yeon-Sil Jung, Bon-Chul Ku and Kyoo-Sik Bae

Department of Electronic Materials Engineering, The University of Suwon

(1999년 6월 29일 받음, 1999년 9월 21일 최종수정본 받음)

초 록 5~10nm 두께의 얇은 산화막위에 α -실리콘과 Co/Ti이종막을 순차적으로 증착하고 급속열처리하여 코발트 폴리사이드 전극을 만든 후, SADS법으로 다결정 Si를 도핑하여 MOS 커패시터를 제작하였다. 이때 drive-in 열처리조건에 따른 커패시터의 C-V 특성과 누설전류를 측정하여, CoSi₂의 열적안정성과 도판트(B 및 As)의 재분포가 Co-폴리사이드 게이트의 전기적 특성에 미치는 영향을 연구하였다. 700°C에서 60~80초간 열처리시, 다결정 Si층의 도핑으로 우수한 C-V 특성과 낮은 누설전류를 나타냈으나, 그 이상 장시간 또는 900°C의 고온에서는 CoSi₂의 분해에 따른 Co의 확산으로 전기적 특성이 저하되었다. SADS법으로 Co-폴리사이드 게이트 전극을 형성할 때, 도판트가 다결정 Si층으로 충분히 확산되는 것뿐만 아니라, CoSi₂의 분해를 억제하는 것이 매우 중요하다.

Abstract Amorphous Si and Co/Ti bilayers were sequentially evaporated onto 5~10nm thick SiO₂ and rapidly thermal-annealed(RTA) to form Co-polycide electrodes. Then, MOS capacitors were fabricated by doping poly-Si using SADS method. The C-V and leakage-current characteristics of the capacitors depending upon the RTA conditions were measured to study the effects of thermal stability of CoSi₂ and dopant redistribution on electrical properties of Co-polycide gates. Capacitors RTAed at 700°C for 60~80 sec., showed excellent C-V and leakage-current characteristics due to degenerate doping of poly-Si layers. But for longer time or at higher temperature, their electrical properties were degraded due to CoSi₂ decomposition and subsequent Co diffusion. When making Co-polycide gate electrodes by SADS, not only degenerate doping of poly-Si layer, but also suppression of have been shown to be very critical.

1. 서 론

지난 20여 년간 MOS VLSI 소자의 고집적화는 괄목하게 발전하여, 현재 0.25 μm 소자가 양산을 앞두고 있으며, 2000년 경 개발을 목표로 0.1 μm 급의 소자에 대한 연구가 진행되고 있다.^{1,2)} 이러한 반도체 소자 초미세화의 구현을 위해서는 접합 깊이, 산화막 두께, 공핍층 두께가 작아져야 한다. 그런데, 접합 깊이가 작아지면 접촉 형성시 Al spiking에 의한 접합 파괴, 접합부의 기생직렬저항 증가와 같은 문제가 발생한다. 이의 해결을 위해 소오스와 드레인 그리고 게이트 영역을 동시에 자기정렬 공정을 통해 실리사이드화 하는 SALICIDE (self-aligned silicide) 기술과 실리사이드에 이온 주입한 후 열처리하여 접합을 형성하는 SADS (silicide as diffusion source) 법의 응용이 연구되고 있다.³⁻⁶⁾ 특히 단채널(short channel) 효과를 최소화하기 위해 최근에 많이 연구되고 있는 dual-gate CMOS의 경우, PMOS에서는 p⁻ 게이트가, NMOS에서는 n⁻ 게이트가 필요하다. 이때, 소오스/드레인에는 얇은 접합(shallow junction)을 형성하면서 동시에 게이트에서 degenerate 도핑을 하기 위해서는 SADS법이 효과적이다.^{5~8)}

한편, MOSFET 소자의 성능은 여러 인자에 영향을 받지만, 게이트와 게이트 전극에서의 RC 값에 가장 크게 의존하며, RC 값은 다음의 식에 의해 표현된다.

$$RC = R_s L^2 \epsilon_{ox} / t_{ox} = (\rho / t) (L^2 \epsilon_{ox} / t_{ox}) \quad (1)$$

이 식에서 나타나는 바와 같이 RC값이 작으려면 전극에서의 면저항(R)이 작아야 하며, 특히 소자의 미세화에 따라 전극과 산화막의 두께(t와 t_{ox})가 작아질수록 낮은 비저항(ρ)이 요구된다. 기존의 다결정 실리콘(poly-Si) 전극은 20~50 Ω/sq .의 높은 면저항을 나타내어 0.25 μm 이하의 설계 기준에서는 다결정 실리콘 위에 실리사이드를 적층시킨 폴리사이드(polycide) 구조가 일반적으로 사용되게 되었다.³⁾ 그 중 내열성과 저 저항성을 함께 가진 WSi_x ($\rho = \sim 70 \mu\Omega\text{-cm}$)가 게이트 전극과 bit선 재료로 널리 쓰여왔으나, 실현 가능한 면저항에 한계를 보이기 시작하여, 0.25 μm 이하의 설계 기준에서는 보다 비저항이 낮은 TiSi₂와 CoSi₂ ($\rho = 10\sim 20 \mu\Omega\text{-cm}$)를 적용하려는 연구가 진행되고 있다. 특별히 CoSi₂는 SiO₂나 도판트와 화학 반응을 하지 않고 에피로 성장시킬 수 있는 장점이 있어 최

근 많은 관심을 받고 있다.⁴⁾ 그러나, CoSi_2 /단결정 Si 구조에 비해 CoSi_2 /다결정 Si 구조는 계면이 거칠기 때문에, 보다 낮은 온도에서 CoSi_2 가 Co와 Si로 분해하여 열적안정성이 낮고, 또 Co가 입계확산을 하여 전기적특성이 낮아진다. 또한, 후속 열처리 시 도판트가 확산하여 입계에 편석(segregate)하거나 공핍(depletion) 효과를 나타내고, 특히 B의 경우 산화막층으로 확산하여 산화막의 정전용량을 낮추고 누설전류를 증가시키는 등의 전기적 특성을 저하시킨다.⁵⁾ 이를 개선하기 위하여 다결정 대신 비정질 실리콘을 사용하거나,^{7,8)} 실리사이드 형성시 Co단일막 대신 Co/Ti 이중막을 사용하는 방안⁴⁻⁸⁾ 등이 제시되었다. 후자의 경우 Ti중간층은 다결정 실리콘 위의 자연산화막을 제거하여 계면의 평탄화를 유도하기 위함이다.

본 연구에서는 5~10 nm 두께의 얇은 산화막위에 비정질 실리콘을 성장시키고 그 위에 Co/Ti이중막을 증착하고 급속열처리(RTA, rapid thermal annealing) 하여 코발트 폴리사이드 전극을 만든 후, SADS법으로 다결정 실리콘을 도핑하여 MOS 커패시터를 제작하였다. 이때 drive-in 열처리 온도 및 시간에 따른 커패시터의 C-V 특성과 누설전류를 측정하여, CoSi_2 의 열적안정성과 도판트(B 및 As)의 재분포가 코발트 폴리사이드 게이트의 전기적 특성에 미치는 영향을 연구하고 최적의 열처리조건을 조사하였다.

2. 실험 방법

본 연구에서는 비저항이 10~20 $\Omega\text{-cm}$ 인 4" p형 또는 n형 (100) 실리콘을 기판으로 사용하였다. 이 기판위에 건식 열산화법으로 n형에는 10 nm, p형에는 5 nm 두께의 산화막을 각각 성장시키고 그 위에 150 nm 두께의 비정질 실리콘을 저압화학증착법(LPCVD)으로 성장시켰다. MOS 커패시터를 만들기 위해 BiCMOS 마스크를 이용하여 $100 \times 100 \mu\text{m}^2$ 크기의 활성창을 만들었다. 이것을 10% HF용액에 담가 잔존 자연산화막을 제거한 후, 전자빔 증착기(E-beam evaporator)로 Co(20nm)/Ti(5nm) 이중막을 증착하고 850°C에서 20초간 질소분위기에서 급속열처리하여 비정질 실리콘을 다결정화하고 동시에 CoSi_2 를 형성하였다. 이때 반응하지 않은 Co와 Ti는 1HNO₃:1H₂O 용액과 2H₂O₂:1NH₄OH:1H₂O용액에 각각 10분간 담가 제거하였다. 여기에 SADS법으로 다결정 실리콘을 도핑하기 위하여 n형에는 BF₂ 이온을 5×10^{15} 의 도오스와 30keV의 에너지로, p형에는 As 이온을 5×10^{15} 의 도오스와 35keV의 에너지로 이온주입하고 700~900°C에서 20~300초간 drive-in 열처리를 하였다. 이 도오스와 에너지는 이전의 연구⁶⁾에서 CoSi_2 층에 도판트가 충분히 이온주입 되도록 제시된 조건이다. 그림 1은 본 실험의 순서를 나타낸 것이다.

제작된 시편의 열적안정성은 4점 탐침기로 면저항의 변화를 측정하여 알아보았다. 열처리 전후 원소의 상호확산과 불순물의 이동은 AES(Auger electron spectroscopy)와 RBS(Rutherford backscattering spectroscopy)로 분석하였다. 또 MOS 커패시터의 high-frequency C-V 특성은 Keithley 590 CV Analyzer로, 그리고 누설전류는 HP

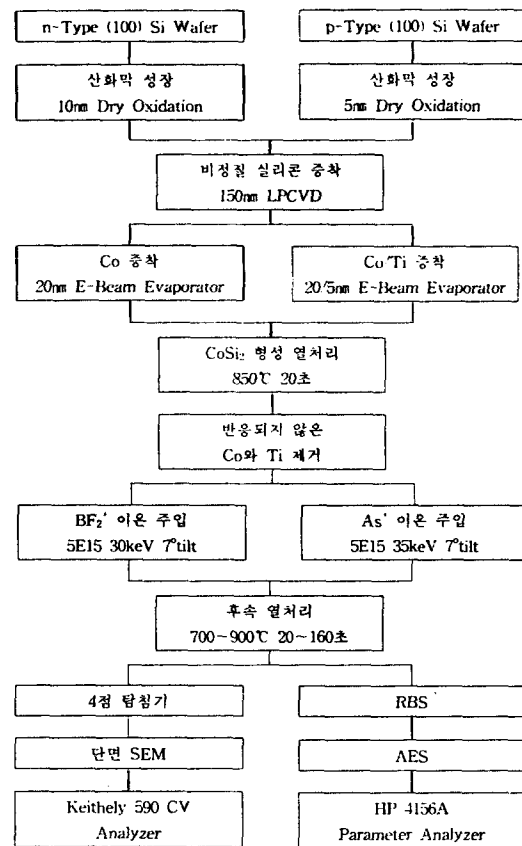


Fig. 1. Flow chart of experimental procedures.

4156A Parameter Analyzer로 각각 측정하였다.

3. 결과 및 고찰

비정질 실리콘 위의 Co/Ti이중막을 850°C에서 20초간 급속열처리하여 CoSi_2 를 형성시킨 시편에 BF₂ 이온을 주입한 후, 후속 열처리한 시편의 열처리 시간에 따른 면저항의 변화를 그림 2에 나타내었다. 이를 비교하기 위하여, 기존의 방법(Co단일막/다결정 Si)으로 만든 시편의 면저항 값을 함께 나타내었다. 이온주입에 따른 손상으로 면저항이 10 Ω/sq . 이상으로 증가하나 20초의 후속열처리로 원래의 낮은 값을 회복하였다. 그리고 700°C(그림 2-(a))에서는 두 경우 모두 300초까지의 장시간 열처리에도 열적안정성을 유지하였다. 이는 CoSi_2 가 약 850°C이하에서는 화학적으로 안정하여 기판의 종류나 CoSi_2 형성방법에 상관없이 열분해가 일어나지 않기 때문이다.³⁻⁶⁾ 그러나 900°C에서는 다결정 Si과 단일막을 사용한 시편의 면저항은 CoSi_2 의 열분해가 일어나 약 10 Ω/sq .로 높아졌으나, 비정질 Si과 이중막을 사용한 시편은 약 5 Ω/sq .을 유지하여 상대적으로 우수한 열적안정성을 나타내었다. 이러한 차이는 이전 연구⁶⁾의 AES 결과에서 밝혀진 바와 같이 Ti중간층이 자연산화막을 환원하여 화학적으로 깨끗한 기판 Si 표면을 만들 수 있고, 또 중간층을 통과하는 Co의 확산이 지연되어 조성이 균일하고 계면이 평탄한 CoSi_2 가 형성되어 열분해가 억제되기 때문이다.⁹⁾

제작한 MOS 커패시터의 얇은(5~10 nm) 산화막 형성

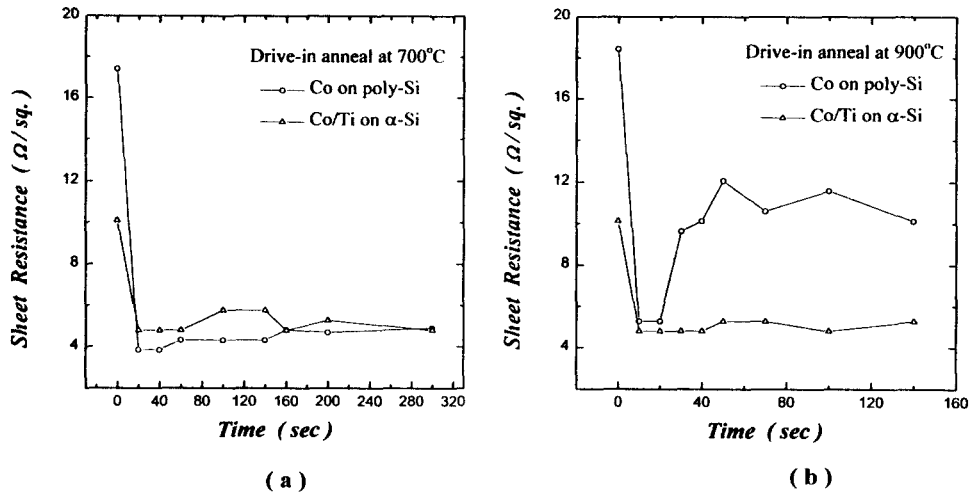


Fig. 2. Changes of sheet resistance as a function of RTA time.

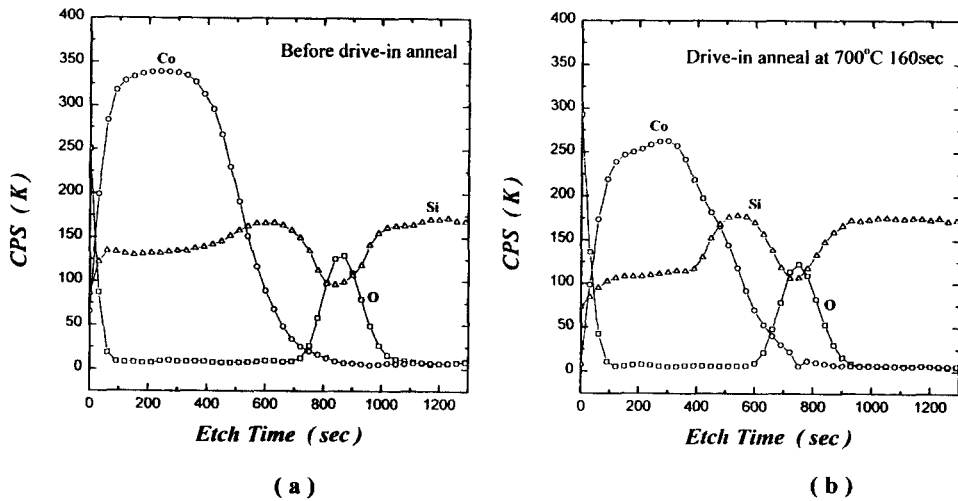


Fig. 3. AES depth profiles in nMOS capacitors. (a) before drive-in anneal, and (b) after drive-in anneal at 700°C for 160 sec.

여부와 drive-in 열처리 전후의 조성변화를 AES로 분석하여 그림 3에 나타내었다. 그림 3-(a)는 다결정 Si과 단일막을 사용한 MOS 커패시터를 drive-in 열처리하기 전의 AES 결과로서 기판위에 산화막층, 다결정 Si층, 그리고 CoSi₂층이 차례로 형성되어 있음을 확인할 수 있다. 그런데, 이 시편을 700°C에서 160초간 후속열처리하면(그림 3-(b)), 표면 CoSi₂층의 Co량이 상대적으로 감소하고 Co 원자가 산화막층 안으로 확산하였음을 알 수 있다. 이러한 현상은 Co/Ti 이중막을 사용한 경우에도 나타났다. 따라서 MOS 커패시터를 장시간 열처리하면 CoSi₂가 분해한 후 Co가 산화막내로 확산하여 산화막의 전기적 특성에 영향을 미칠 것으로 생각된다. 그러나, 장시간 열처리에 따른 면저항의 변화는 없었던 것(그림 2)으로 미루어, CoSi₂의 분해가 전체적으로 일어난 것이 아니라, 다결정 Si층과의 계면, 특히 삼중점(triple point) 같은 곳에서 부분적으로 일어난 것으로 판단된다.

그림 4는 비정질 Si과 이중막을 사용하고 BF₂를 이온주입한 PMOS 커패시터의 drive-in 열처리 조건에 따른 C-V 특성이다. 산화막 정전용량(C_{ox})에 대한 최소정전용량

(C_{min})과 flatband 정전용량(C_{FB})의 비율은 다음과 같이 계산된다.⁹⁾

$$\frac{C_{min}}{C_{ox}} = \frac{1}{1 + \frac{C_{ox}}{\epsilon_s} X_D} \quad (2)$$

$$X_D = \left(\frac{4\epsilon_s \phi_{fp}}{eN_a} \right)^{1/2} \quad (3)$$

$$\frac{C_{FB}}{C_{ox}} = \frac{1}{1 + \frac{C_{ox}}{\epsilon_s} L_D} \quad (4)$$

$$L_D = \left(\frac{kT\epsilon_s}{e^2 N_a} \right)^{1/2} \quad (5)$$

여기서 ε_s는 Si 기판의 유전율, φ_{fp} = (E_i - E_f)/e, N_a는 기판 농도로서 비저항이 10~20 Ω-cm인 n형 (100) Si 기판의 농도는 3×10¹⁴ cm⁻³이다. 이를 이용하여 식 (2)를 계산하면 C_{min}/C_{ox} = 0.0067로서 그림 4의 결과와

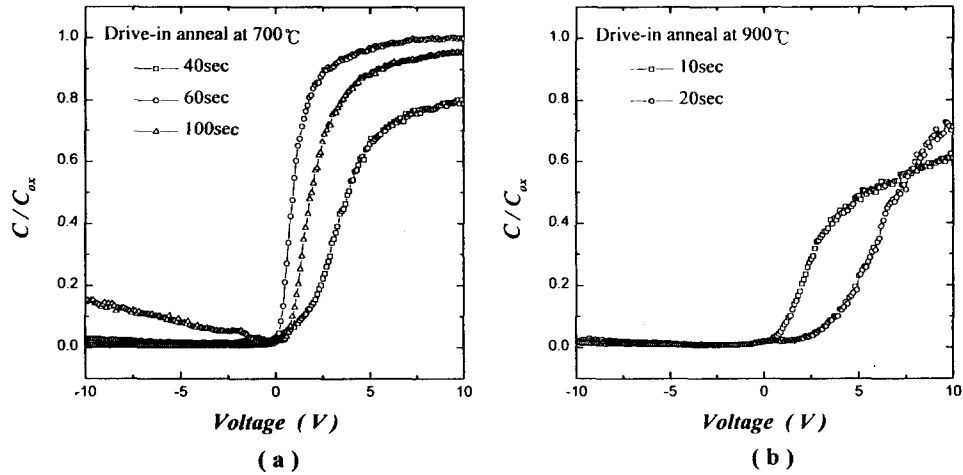


Fig. 4. High-frequency C-V characteristics of nMOS capacitors. (a) 700°C drive-in anneal, and (b) 900°C drive-in anneal.

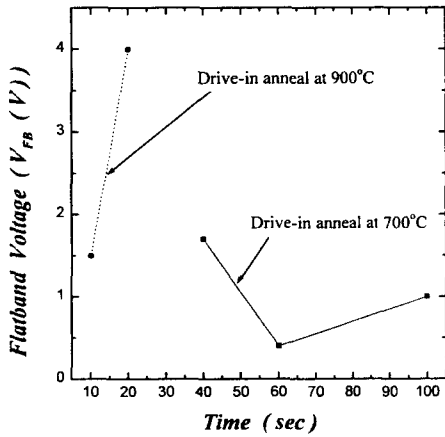


Fig. 5. Changes of flatband voltage as a function of drive-in anneal temperature and time (nMOS capacitor).

일치한다. 또 식 (4)의 계산 값은 $C_{FB}/C_{ox} = 0.11$ 이며, 이로부터 V_{FB} 를 그림 4에서 구하여 그림 5에 나타내었다. 정 (+) 전압 정전용량이 클수록 V_{FB} 는 작아진다.

700°C에서 열처리한 경우(그림 4-(a)), 열처리시간이 40초에서 60초로 증가함에 따라 정전압에서의 정전용량(capacitance)은 크게 증가하고 flatband 전압(V_{FB})은 낮아졌다. MOS 커패시터는 Si 기판위에 산화막과 다결정 Si층이 직렬로 연결된 구조로 볼 수 있다.¹⁰⁾ 따라서 drive-in 열처리에 의해 정전압에서 정전용량이 증가한 것은 실리콘층에 주입된 B 이온이 다결정 Si층으로 확산하고 활성화되어 다결정 Si층이 충분히 도핑되었기 때문이다.¹¹⁾ 또, 정전용량이 커질수록 V_{FB} 가 줄어든 것은, 다결정 Si층이 충분히 도핑됨으로 산화막층과의 일함수 차이(ϕ_m)가 감소하였기 때문이다.

그러나 열처리를 100초까지 지속하면 정전용량은 약간 감소하고 flatband 전압은 증가하였다. 이를 그림 3의 AES 결과와 연관시켜 보면, 장시간 열처리에 의해 일부의 $CoSi_2$ 가 분해된 후, Co원자가 다결정 Si/산화막 계면으로까지 확산하여 산화막의 정전특성을 저하시켰기 때문으로

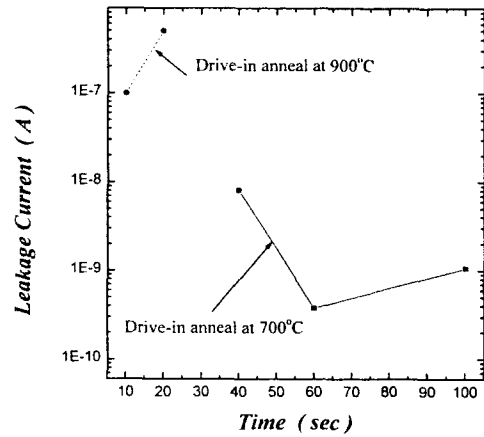


Fig. 6. Changes of leakage-current as a function of drive-in anneal temperature and time (nMOS capacitor).

추정된다. 또한, 비정질 Si를 결정화한 경우 B의 산화막 침투(penetration)가 억제되나,¹²⁾ 100초의 장시간 열처리에 의해 어느 정도의 B 이온이 산화막층으로 침투하였고 이로 인해 산화막의 정전특성이 저하되었을 것으로 생각된다. 한편, p^+ 게이트/산화막/n-Si MOS 커패시터에 부(-) 전압을 걸면 산화막/기판 Si 계면에서 전하가 공핍(deplete)되어 inversion이 일어난다. 이때, 다결정 Si/산화막 계면에서 도판트가 충분히 ($\sim 10^{20}cm^{-3}$)⁶⁾ 하지 않으면 전하가 공핍(deplete)된다.^{13,14)} 이 경우 정전용량은 더 작아진다. 그림 4에서 -10 V까지 증가하여도 C_{min} 이 변화가 없음을 다결정 Si/산화막의 계면에서는 공핍이 일어나지 않았음을 의미한다. 그런데 700°C 100초간 열처리시 부전압에서 정전용량이 오히려 증가하였는데, 이는 산화막/기판 Si에 전하가 열적 재생산되거나 축적(accumulate)되었음을 의미한다. high-frequency C-V 측정에서 전하가 재생산되기는 어렵다. 따라서 산화막 밑으로 침투한 B이온이 부전압에 의해 계면 쪽으로 이끌려 전하축적이 일어난 결과로 추론된다.

900°C에서 열처리한 경우(그림 4-(b)), 열처리 시간이

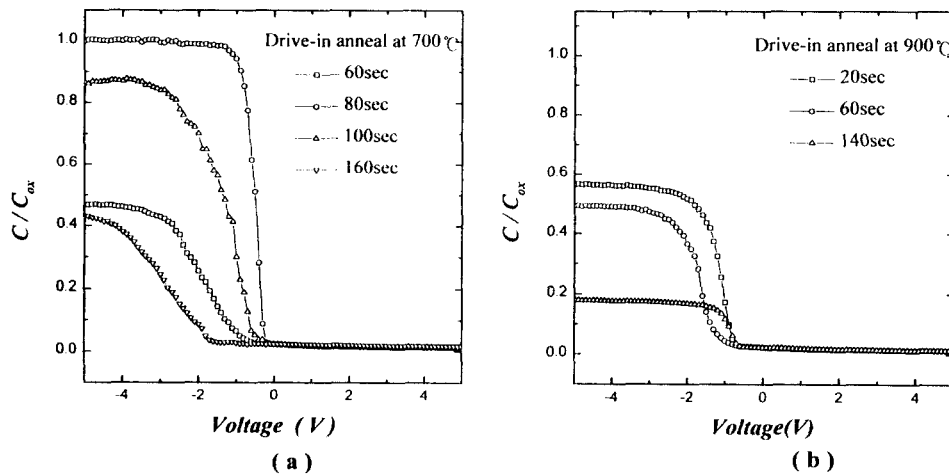


Fig. 7. High-frequency C-V characteristics of pMOS capacitors. (a) 700°C drive-in anneal, and (b) 900°C drive-in anneal.

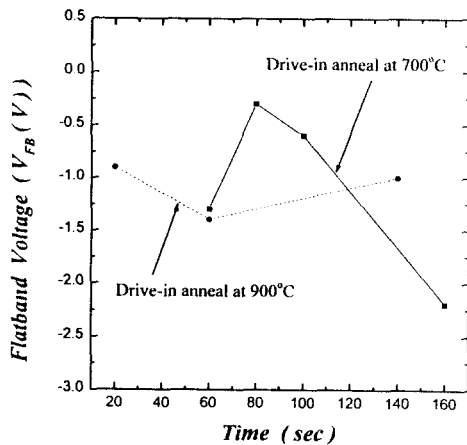


Fig. 8. Changes of flatband voltage as a function of drive-in anneal temperature and time (pMOS capacitor).

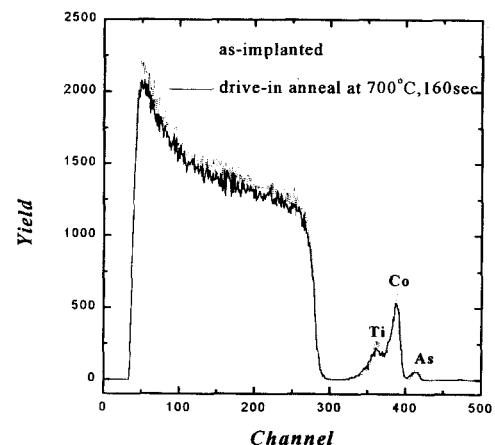


Fig. 10. RBS spectra of pMOS capacitors before and after 700°C 160sec. drive-in anneal.

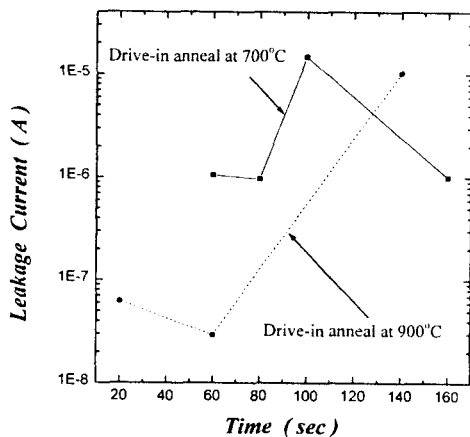


Fig. 9. Changes of leakage-current as a function of drive-in anneal temperature and time (pMOS capacitor).

증가함에 따라 10 V에서의 최대정전용량은 700°C의 경우에 비해 70% 이하였고 V_{FB} 도 큰 값을 보였다. B의 확산에 따른 다결정 Si층의 도핑효과보다는 Co의 확산에 따른 산

화막의 열화 영향이 더 컸음을 보여준다. 이러한 현상은 Ti 폴리사이드의 경우에도 나타나는 것으로 보고된 바 있다.¹⁵⁾

제작된 MOS 커패시터의 절연과피 특성을 알아보기 위하여 I-V를 측정하여 -5 V에서의 누설전류를 그림 6에 비교하였다. V_{FB} 와 마찬가지로 (그림 5) 정전압 정전용량이 클수록 누설전류는 작았다. 따라서 MOS 커패시터의 C-V 및 I-V 특성에 가장 큰 영향을 주는 것은 $CoSi_2$ 의 열적안정성으로 판단된다. 이상의 결과로부터 가장 우수한 특성을 나타내는 후속열처리 조건은 700°C 60초로 나타났다.

그림 7은 As^- 를 이온주입한 NMOS 커패시터의 drive-in 열처리 조건에 따른 C-V 특성이다. 비저항이 10~20 $\Omega\text{-cm}$ 인 p형 (100)Si 기판의 농도는 10^{15}cm^{-3} 이며, 이를 이용하여 식 (2) ~ (5)를 계산하면 $C_{min}/C_{ox} = 0.017$ 이고 $C_{FB}/C_{ox} = 0.105$ 이다. 이로부터 V_{FB} 를 그림 7에서 구하여 그림 8에 나타내었다. 또 I-V를 측정하여 +5 V에서의 누설전류값을 그림 9에 비교하였다. 700°C에서 80초간 열처리시 부전압에서의 정전용량이 최대를 보였다. PMOS에

비해 다결정 Si층을 도핑하는 데 더 많은 시간이 걸리는 것은 B에 비해 As의 CoSi₂내에서의 확산속도가 낮기 때문이다.¹⁷⁾ 열처리 시간을 그 이상으로 증가하면 PMOS에서와 마찬가지로 열화가 일어나 부전압에서의 정전용량은 감소하고 V_{FB}는 음의 방향으로 증가하였다. PMOS에 비해 열화가 일어나는 데 걸리는 열처리 시간이 더 긴 것은 As 이온이 Co의 확산을 어느 정도 억제하였기 때문이다.¹⁷⁾ 한편, 900°C에서 열처리한 경우 (그림 7-(b)) 전형적인 C-V 특성을 나타내었으나, 최대 정전용량은 700°C의 경우에 비해 60%에도 미치지 않았다. 그런데 As은 장시간 또는 고온에서 열처리하면 소자의 표면에서 기화하여 도판트 손실을 야기한다.^{6,16)} 700°C에서 160초간 열처리한 시편의 RBS 결과 (그림 10)에서 다른 원소에 비해 As의 표면층 농도가 상대적으로 크게 감소한 것은 기화에 의한 것으로 판단된다. 따라서 NMOS의 경우 열화는 CoSi₂분해에 따른 Co의 확산외에 As이온의 표면에서의 기화도 어느 정도 영향을 미치는 것으로 생각된다. 이상의 결과에서 가장 우수한 특성을 나타내는 NMOS의 drive-in 열처리 조건은 PMOS의 경우와 유사하게 700°C 80초로 나타났다.

따라서 SADS법으로 Co-폴리사이드 게이트 전극을 형성할 때, CoSi₂의 분해를 억제하면서 동시에 다결정 Si층으로의 도판트 확산이 충분히 일어나게 하여야 전기적 특성이 우수한 MOS 커패시터를 만들 수 있다. 이를 위해서는 비교적 낮은 온도(700°C)에서 비교적 긴 시간(60~80초) 급속열처리하는 것이 가장 적절한 drive-in 열처리 조건으로 나타났다.

4. 결 론

SADS법으로 코발트 폴리사이드 전극을 만들어 MOS 커패시터를 제작하였다. 이때 drive-in 열처리시 CoSi₂의 열적안정성과 도판트의 재분포가 MOS 커패시터의 전기적 특성에 미치는 영향을 연구하였다. 700°C 열처리시 60~80초까지는 다결정 Si층의 도핑으로 우수한 C-V 특성과 낮은 누설전류를 나타냈으나, 그 이상 장시간 또는 900°C의 고온에서는 CoSi₂의 분해에 따른 Co의 확산으로 전기적 특성이 저하되었다. SADS법으로 Co-폴리사이드 게이트 전극을 형성할 때, 도판트가 다결정 Si층으로 충분히 확산되는 것뿐만 아니라, CoSi₂의 분해를 억제하는 것이 매우 중요하다. 본 연구에서는 700°C에서 60~80초 급속열처리하는 것이 가장 적절한 drive-in 열처리 조건으로 나타났다.

감사의 글

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체

체분야 학술연구조성비(과제번호 : ISRC 97-E-1040)에 의해 수행되었습니다.

참 고 문 헌

1. C. M. Osburn, J. Y. Tsai and J. Sun **25**(11), 1725 (1996).
2. B. Davari, IEDM Tech. Digest-96, 555 (1996).
3. 김영옥, 대한금속학회지, **7**(1), 40 (1994).
4. 이종우, 김영옥, "Salicide Transistor 기술 동향", 대한금속학회지, **7**(3), 213 (1994).
5. 김종렬, 홍성윤, 윤명노, 조운성, 배규식, 전자공학회논문지, **33A**(8), 89 (1996).
6. Kyoo-Sik Bae, Jong-Ryul Kim, Sung-Yun Hong, Yun-Baik Park, and Yoon-Sung Cho, Thin Solid Films, **302**, 260 (1997).
7. W-M Chen, J. Lin, and J. C. Lee, IEDM Tech. Digest-94, 691 (1994).
8. 심현상, 구본철, 정연실, 배규식, 한국재료학회지, **8**(6), 499 (1998).
9. D. A. Neamen, "Semiconductor Physics & Devices : Basic Principles", 2nded., IRWIN, 419 (1997).
10. K. Park, S. Batra, J. Lin, S. Yoganathan, S. Banerjee, J. Lee, S. Sun, and Y. Yeagain, Appl. Phys. Lett., **56**(23), 2325 (1990).
11. J. Lin, W. Chen, S. Banerjee, J. Lee and C. Magee, J. Electronic Materials, **22**(6), 667 (1993).
12. M. Cao, P. V. Voorde, M. Cox, and W. Greene, IEEE-EDL **19**(8), 291 (1998).
13. C. Y. Wong, J. Y.-C. Sun, Y. Taur, C. S. Oh, R. Angelucci, and B. Davari, IEDM Tech. Digest-88, 238 (1988).
14. S. Batra, K. Park, J. Lin, S. Yoganathan, J. C. Lee, S. K. Banerjee, S. W. Sun, and G. Lux, IEEE-ED, **37**(11), 2322 (1994).
15. 고종우, 이내인, 김일권, 김영옥, 박진성, 안성태, 한국재료학회지, **3**(6), 38 (1993).
16. H. Jiang, C. M. Osburn, Z. G. Xiao, G. McGuire, G. A. Rozgoni, B. Patnaik, N. Parikh, and M. Swanson, J. Electrochem. Soc., **139**(1), 206 (1992).
17. W. T. Sun, W. W. Liaw, M. C. Liaw, K. C. Hsieh, and C. C. H. Hsu, Jpn. J. Appl. Phys., **36**, L89 (1997).