

SiO₂ 박막을 이용한 SOI 직접접합공정 및 특성

유연혁 · 최두진
연세대학교 세라믹공학과
(1999년 5월 15일 접수)

Processing and Characterization of a Direct Bonded SOI using SiO₂ Thin Film

Yeon Heok You and Doo Jin Choi

Department of Ceramic Engineering, Yonsei University, Seoul 120-749, Korea

(Received May 15, 1999)

초 록

SOI(silicon on insulator) 기판을 (100) 실리콘 기판과 4° off (100) 실리콘 기판을 이용하여 직접접합(direct bonding) 법으로 제조하여 Si/SiO₂ 산화 및 접합 계면에서의 실리콘 적층결함에 대하여 관찰하였다. 수정된 SC-1 용액에 의한 친수화 처리시간에 따른 표면 특성의 변화를 관찰하였는데 친수화 시간이 증가할수록 친수화도는 일정하였지만 표면 미세거칠기는 증가하였다. 친수화 시간에 따른 직접 접합은 친수화 시간이 2분일 때가 가장 넓은 접합 영역을 나타내었다. 상온에서 직접접합된 SOI 기판을 1100°C에서 30분간 열처리하여 접합계면과 산화계면에서의 결함을 관찰한 결과, (100) 실리콘 기판과 4° off(100) 실리콘 기판을 사용한 경우 모두 접합이 이루어진 영역에서는 높은 밀도의 적층결함이 응집을 이루는 거동을 관찰할 수 있었다.

ABSTRACT

SOI(silicon on insulator) was fabricated through the direct bonding using (100) Si wafer and 4° off (100) Si wafer to investigate the stacking faults in silicon at the Si/SiO₂ oxidized and bonded interface. The treatment time of wafer surface using MSC-1 solution was varied in order to observe the effect of cleaning on bonding characteristics. As the MSC-1 treating time increased, surface hydrophilicity was saturated and surface microroughness increased. A comparison of surface hydrophilicity and microroughness with MSC-1 treating time indicates that optimum surface modified condition for time was immersed in MSC-1 for 2 min. The SOI structure directly bonded using (100) Si wafer and 4° off (100) Si wafer at the room temperature were annealed at 1100°C for 30 min. Then, the stacking faults at the bonding and oxidation interface were examined after the debonding. The results show that there were anomalies in the gettering of the stacking faults at the bonded region.

Key words : *SOI(silicon on insulator), Direct bonding, SC-1, Defect*

1. 서 론

반도체 산업이 발전함에 따라 재현성이 보다 우수한 고속, 고신뢰성 소자가 요구되고 있다. 그러나 현 실리콘 기판으로 써는 더 이상 소자의 고집적화를 이를 수 없기 때문에 이를 대체할 기판이 필요하게 되었다.¹⁾ SOI (silicon on insulator) 기술은 1960년대 SOS(silicon on sapphire)라는 epitaxial 성장에서 시작되었고, 산화된 실리콘 기판위에 실리콘을 성장시키는 연구가 이어졌다. 이후, FIPOS (full isolation by porous oxidized silicon),²⁾ ZMR(zone melting recrystallization),³⁾ ELO(epitaxial lateral overgrowth)⁴⁾ 등과 SIMOX(separation by ion implantation

of oxygen)⁵⁾와 직접접합(direct bonding)⁶⁾ 방법등 여러 공정이 SOI 기판의 제조에 도입되었다.

SOI 기판은 일반적인 벌크 실리콘 기판에 비해서 buried oxide에 의해 전기적으로 차단된 실리콘 island 위에 소자를 구현하는 것이기 때문에 소자간의 복잡한 절연(isolation) 공정이 단순화되어 소자의 고집적, 고성능 효율을 증가시킬 수 있다. 일반적인 MOSFET에 비해 SOI 기판은 MOSFET 구조에서 문제가 되는 Latch-up 현상을 억제할 수 있으며, 기판에 형성되는 MOS 구조에 비해 기생 커�패시턴스가 적기 때문에 고속 동작 회로 소자에 유리하다. 실리콘 박막 두께가 충분히 얇아서 트랜지스터가 동작시, 완전히 공핍되면 문턱 전압 이하에서

전류의 기울기를 항상 시킬수 있고, 공정시 기판 잡음(alpha-particle)등에 의한 소자 실패율을 줄일 수 있다.^[8]

가장 대표적인 SOI 기판의 제조 방법은 SIMOX 방법과 직접접합 방법이 있는데, 직접접합 공정은 산화막과 친수화 처리된 실리콘 웨이퍼를 상온에서 직접접합 시킨 후 고온 열처리하고 상부 실리콘층을 smart-cut 또는 CMP(chemical mechanical polishing) 공정을 통해 박막화하는 방법을 이용하여 SOI 기판을 제조하는 공정으로서, SIMOX 공정에 비하여 buried oxide 및 소자가 구현되는 실리콘층(device layer)의 두께에 유동성을 줄 수 있고, 상부 실리콘 격자의 손상도 발생하지 않는다는 이점이 있다.^[9] 또한 공정이 간편하여 낮은 가격으로 SOI 기판을 제조할 수 있지만, 상온에서 직접접합 공정을 위해서는 웨이퍼 표면이 충분히 깨끗하고 거칠지 않으면, 불순물이 흡착되어 있지 않아야 하고, 표면이 친수성으로 개질되어 있어야 한다. 이러한 친수성 실리콘 표면을 얻기 위해서는 SC-1(NH₄OH-H₂O₂-H₂O), SC-2(HCl-H₂O₂-H₂O),^[10] SPEM(H₂SO₄-H₂O₂)^[11] 등이 사용되는데, 본 실험에서 사용한 SC-1 세정 방법은 70°C 정도로 매우 낮은 온도에서 세정과 동시에 표면의 보호(passivation) 효과를 거둘 수 있다는 장점이 있다.^[12]

SC-1 세정의 화학적인 원리는 산화성 용해(oxidative dissolution)와 표면식각(surface etching)으로 요약될 수 있다. SC-1 세정 처리 후에는 실리콘 표면에 화학적 산화에 의하여 비정량적인 화학산화막(chemical oxide)이 10~15 Å 정도 성장하게 되는 데 이는 표면 보호 작용을 하는 것으로 알려져 있다.^[13] T Ohm 등에 의하면 SC-1 세정 공정에서의 NH₄OH 농도, 세정 온도, 세정 시간에 따라 표면의 거칠기가 증가한다고 보고하고 있다.^[14] 이는 직접접합의 경우 표면 거칠기가 10 Å 이하에서만 자발적인 접합이 이루어지기 때문에 표면 거칠기 증가는 접합 공정시에 아주 큰 방해의 원인이 될 수 있다.^[15]

일반적으로 실리콘 열산화시에는 Si/SiO₂ 계면에서 Si 와 SiO₂의 격자 상수 차이 때문에 과잉의 실리콘이 존재하게되고, 이들이 실리콘 내부로 이동하여 실리콘 내부에 존재하는 용존 산소에 의한 산소 석출물(oxygen precipitates)들과 결합하여 산화적층결합(oxidation induced stacking faults)이 발생한다.^[16] 이렇게 형성된 산화적층결합들은 누설 전류를 증가시키며 전하 축적 시간을 감소시키는 등 소자의 전기적인 특성을 저하시킨다. 일반적으로 직접접합 방법으로 SOI 기판을 제조하기 위해서는 열산화에 의해 buried oxide를 형성시키는데 계면에서 결합이 존재하면, 소자로써의 용용을 제한할 것으로 예상되어진다. 이런 산화에 의한 적층결합의 생성을 억제하기 위해서는 비산화 분위기에서 열처리를 행하거나 chlorine 분위기에서 산화를 하는 방법등이 보고되고 있

고,^[17] (100) 면에 대해 [0110] 혹은 [0101] 축으로 3~10° 기울어진 방향을 가진 실리콘 기판에서는 적층결합의 밀도가 감소한다고 보고되고 있다.^[18] H. Woo 등은 4° off (100) 실리콘 기판은 산화시 발생되는 결합의 밀도를 줄여 산화막의 전기적인 특성이 향상되어진다고 보고 하였다.^[19] 하지만, 4° off (100) 실리콘 기판을 이용한 SOI 기판의 제조방법은 현재까지 보고된 바가 없으며, 일반적인 직접접합 공정에 의한 SOI 기판의 제조는 (100) 실리콘 기판을 이용한 것만이 보고되어지고 있는데, 4° off (100) 실리콘 기판을 사용하여 직접접합 방법으로 SOI를 제조할 시에는 계면에서 발생할 수 있는 결합의 밀도를 줄일 수 있을 것으로 생각되어진다.

따라서, 본 연구에서는 (100) 실리콘 기판과 4° off (100) 실리콘 기판 두 가지를 이용하여 직접접합 방법에 의한 SOI 기판의 제조 조건을 조사하였다. 또, SOI 기판이 실제로 소자로 용용될 시에 문제가 될 수 있는 계면 결합에 대해 (100) 실리콘 기판을 사용한 경우와 4° off (100) 실리콘 기판을 사용한 경우의 경향성의 차이를 비교 관찰하였다.

2. 실험 방법

2.1. 실리콘 기판의 친수화 처리

먼저 접합에 적당한 친수화 처리 조건을 확립하기 위해 용액의 조성과 세정 시간을 변수로 잡았다. SC-1 세정 공정은 용액의 pH가 10 이상인 경우 세정 효율이 적합하다고 보고되고 있다.^[20] 이에 따라 본 실험에서는 용액의 조성을 NH₄OH : H₂O₂ : H₂O의 부피비를 4 : 3 : 5로 하였고 본 논문에서는 수정된 SC-1 용액으로 명명하였다(modified SC-1 'MSC-1'). 그리고, 세정 시간에 따라 형성된 친수화 산화막을 분석하였다. 이를 위해 p-type (100) 실리콘 기판과 p-type 4° off (100) 실리콘 기판을 3.5 cm×3.5 cm의 크기로 절단하여 각각의 기판에 대해 유기물 제거를 위한 기초 세정 공정으로 TCE, aceton, methanol, D.I. water로 각 3분씩 세정 후 MSC-1 용액에 의한 세정 시간을 2분, 4분, 6분, 10분으로 변화시키면서 wetting angle을 측정하여 표면의 친수화도를 확인하였고, AFM(atomic force microscopy)으로 표면 미세 거칠기를 관찰하였다.

2.3. 직접접합에 의한 SOI의 제조

먼저 비저항 1~10 ohm·cm의 p-type (100) 실리콘 기판과 p-type 4° off (100) 실리콘 기판을 3.5 cm×3.5 cm 크기로 절단하여 Fig. 1과 같은 방법으로 SOI 기판을 제조하였다. 먼저 1100°C에서 1시간 산화하여 약 4000 Å의 산화막을 제조한 active wafer와 다른 접합용 handle

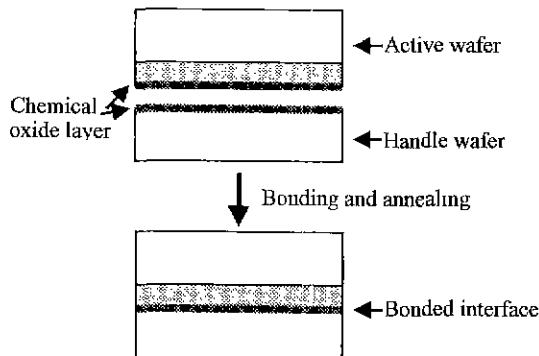


Fig. 1. Schematic direct bonding process for SOI fabrication.

wafer를 약 53°C에서 4 NH₄OH(29 w/w%)-3 H₂O₂(30%)-5 H₂O의 MSC-1 용액으로 시간을 변화시키면서 친수화 처리하였다. 다음으로 산화막과 친수화된 실리콘 표면을 정렬하여 겹쳐둔 후, 웨이퍼 전체가 충분히 수소 결합을 이룰 수 있도록 전체적인 압력을 가하여 5분간 유지하였다. 마지막으로 직접접합된 웨이퍼쌍을 산소 가스를 200 sccm 유입시키면서 100°C~1100°C 온도 범위에서 30분간 열처리를 행하였다. 접합된 시료의 접합정도 및 접합개면은 각각 적외선투과카메라(Transmission IR camera)와 주사전자현미경(SEM, scanning electron microscopy)에 의해 관찰하였고, 인장강도측정기(tensile strength tester)를 이용하여 접합강도를 측정하였다.

2.4. 적층 결합의 관찰

접합 계면과 산화 계면의 결합의 분석을 위하여 접합된 SOI 기판을 50% HF dipping을 통하여 debonding하였다. Debonding 후 1분간 HF 처리하여 산화막을 제거한 후 0.75M chromic acid solution(CrO₃)과 HF를 1:2로 사용하는 선택식각법인 Schimmel etch 법²⁰⁾을 통하여 계면에서의 결합을 관찰하였다. 선택 식각된 시편 표면의 결합은 광학현미경으로 관찰하였다.

3. 결과 및 고찰

3.1. 친수성 실리콘의 표면특성

Fig. 2는 MSC-1 용액을 이용한 세정시 시간에 따른 wetting angle을 도시한 것이다. MSC-1 세정을 하지 않은 초기의 wetting angle의 값은 (100) 실리콘 기판에 비해서 4° off (100) 실리콘 기판의 값이 더 작게 나타났다. 이는 (100) 실리콘 기판에 비해 4° off (100) 실리콘 기판이 표면 kmk가 더 많이 존재하여¹⁹⁾ 표면에너지가 더 크기 때문이라 생각되어진다. 세정 시간이 길어질수록 wetting angle의 값은 감소하다가 일정하게 유지되는

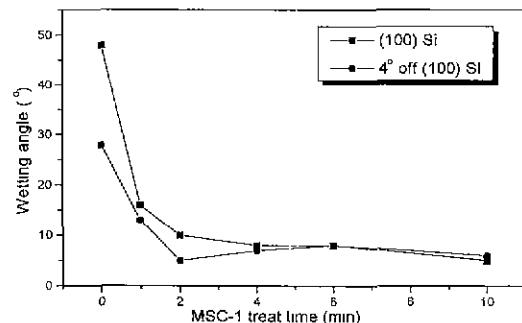


Fig. 2. Change of wetting angle as a function of MSC-1 treated time.

Table 1. Surface Microroughness Variation as a Function MSC-1 Treated Time

		rms	Avg. Roughness
(100) Si	MSC-1 treated 2 min	Not measured	
	MSC-1 treated 4 min	2.6 Å	2.2 Å
	MSC-1 treated 6 min	10.5 Å	8.6 Å
4° off (100) Si	MSC-1 treated 2 min	Not measured	
	MSC-1 treated 4 min	4.3 Å	3.3 Å
	MSC-1 treated 6 min	7.5 Å	5.6 Å

것을 확인할 수 있었다. 즉, SC-1 용액으로 표면 처리를 할 경우 일정 시간 후에는 self control에 의해서 더 이상 표면의 passivation 효과가 일어나지 않아 기판 위에 형성된 화학적 산화막의 친수화도는 증가하지 않았다. 이는 초기 세정 시 H₂O₂에 의한 산화의 지배를 받으며 실리콘 기판의 친수화 정도는 증가하지만, 이후에는 산화성 용해와 NH₄OH에 의한 표면식각이 평형을 이루면서 더 이상 표면은 친수화되지 않는 것으로 생각된다.

Table 1은 MSC-1 세정 시간에 따른 표면 미세 거칠기를 AFM으로 측정하여 Rms(Root mean square roughness) 값을 나타낸 것이다. 표면 미세거칠기는 1 μm×1 μm 면적에 대한 측정값으로 나타내었다. 세정 시간이 2분일 때는 측정 오차(<2 Å) 이내여서 미세 거칠기를 측정할 수 없었고, 세정 시간이 길어짐에 따라서 (100) 실리콘 기판 및 4° off (100) 실리콘 기판 모두 표면 미세 거칠기는 증가하고 있음을 확인하였다. 이는 문헌상에서 보고되고 있는 것과 동일한 결과로 MSC-1 세정 시간이 길어짐에 따라서 H₂O₂가 oxidant로 작용하는 것에 반하여 NH₄OH에 의한 생성된 화학적 산화막에 대한 etchant 작용이 활성화되기 때문이다.²²⁾

3.2. 직접접합 특성

Table 2는 세정 시간에 따른 접합의 경향성을 나타낸

Table 2. Possibility of Bonding as a Function of MSC-1 Treated Time

		MSC-1 treated time (min); Bondable?				
		0	2	4	6	8
Substrate	(100) Si wafer	No	Yes	Partially	No	No
	4° off (100) Si wafer	No	Yes	No	No	No

것이다. MSC-1 세정 시간이 길어짐에 따라 접합이 잘 이루어지지 않음을 확인할 수 있었다. (100) 실리콘 기판을 사용한 경우에는 세정 시간이 4분에서 부분적인 접합이 이루어졌고, 세정 시간이 2분일 경우에는 완전한 접합이 이루어짐을 확인하였다. 4° off (100) 실리콘 기판의 경우에는 세정 시간이 4분 이상인 경우에는 거의 접합이 이루어지지 않았다. 즉, 세정 시간이 길어짐에 따라 전술한 결과와 같이 MSC-1 용액의 NH₄OH에 의한 표면식각에 의하여 표면 거칠기가 증가하고 그 결과에 따라 상온에서 자발적으로 초기 접합이 이루어지지 않았음을 나타낸다.

Fig. 3은 열처리 온도의 변화에 따른 접합강도를 인장 강도측정기로 관찰한 결과이다. (100) 실리콘 기판을 이용하여 직접접합 방법으로 제조한 SOI 기판은 초기 접합 시에는 약 0.1 MPa 정도의 접합강도를 나타내었지만, 200~800°C 까지의 열처리를 거치면서 접합강도는 증가하기 시작하였고, 800°C 이상에서는 접합강도가 급격하게 증가하여 1100°C 열처리를 거친 후에는 Fig. 3의 오른쪽 광학현미경 사진과 같이 상부 실리콘(active wafer)의 파괴가 일어나 접합강도를 측정할 수 없었는데, 접합강도는 우리가 측정하였던 인장강도측정기의 측정 한계치인 10 MPa보다 큰 값이라 생각할 수 있다. 또, 4° off (100) 실리콘 기판을 이용하여 제조한 SOI 기판의 경우에도 1100°C의 열처리를 행할 경우 (100) 실리콘 기판과 마찬가지로 멀크 실리콘 기판의 파괴가 일어나서 접합강도를 측정할 수 없었다. 이는 친수화된 웨이퍼 표면이

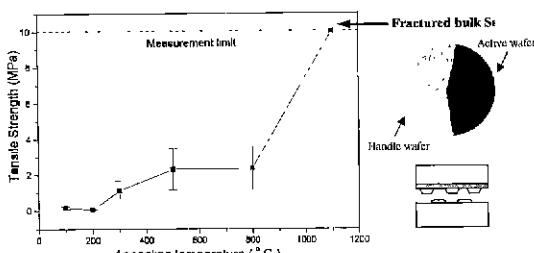


Fig. 3. Bonding strength as a function of annealing temperature of SOI fabrication by (100) Si.

상온에서 접촉되면 표면의 silanol기(Si-OH)에 의해 접촉점으로부터 자발적인 수소결합이 일어나서 웨이퍼 전체가 접합되고 열처리 과정을 통하여 silanol기가 siloxane 결합(Si-O-Si)으로 바뀌게 되며, 800°C 이상에서 열처리 하면 계면에서 접성유동현상이 일어난다는^[15,23] 일반적인 직접접합 반응기구와 일치하는 결과이다. 초기 접합시에는 silanol기(Si-OH)기들 간의 수소결합에 의하여 접합이 이루어지기 때문에 계면에서의 접합강도는 그리 강하게 나타나지 않지만, 열처리 과정을 거치면서 siloxane 결합(Si-O-Si)의 수가 증가함에 따라 접합강도는 온도에 따라 증가하게 된다. 그리고, 800°C 이상에서 열처리를 하게 되면 접합계면에서 접성유동현상이 일어나서 접합강도는 멀크 실리콘 기판의 파괴가 일어날 정도로 커지게 된다. F. Sugimoto 등에 의하면 Si/SiO₂ 접합에서는 1000°C, SiO₂/SiO₂ 접합에는 1200°C 정도의 열처리가 필요하다고 보고하였는데,^[24] 본 실험에 있어서는 1100°C의 열처리를 통하여 완전한 SOI 구조를 얻을 수 있었다.

다음은 후열처리 공정이 접합 영역에 미치는 영향을 알아보았다. Fig. 4은 시편을 상온 접합 한 후 1100°C에서 30분 후열처리하여 제조한 SOI 기판을 투과 적외선 카메라(Transmission IR camera)를 통하여 접합이 이루어진 영역과 미접합 영역을 확인한 것이다. 이때 미접합 영역은 공극(void)으로 인한 높이 편차에 따른 빛의 간섭 현상으로 인해 간섭띠를 나타내고 있다. Fig. 4(a), (c)는 초기 접합후의 적외선투과사진이고 Fig. 4(b), (d)는

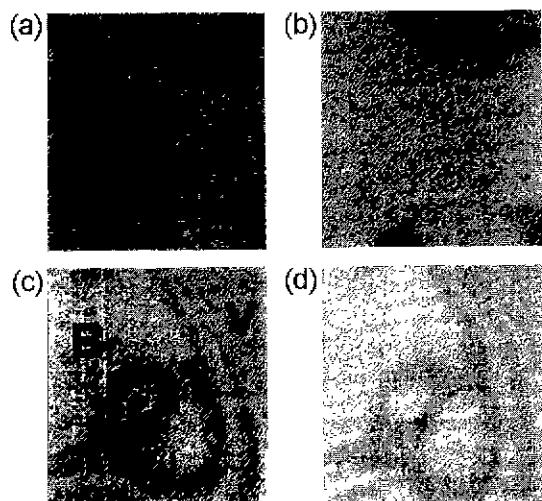


Fig. 4. Transmission IR image of SOI. (a) using (100) Si at RT, (b) using (100) Si after 1100°C annealing, (c) using 4° off (100) Si at RT and (d) using 4° off (100) Si after 1100°C annealing. Symbol 'B' and 'V' in the figure stand for the bonded region and the void.

1100°C 후열처리 후의 적외선투과사진이다. (100) 실리콘 기판과 4° off (100) 실리콘 기판을 사용한 경우 모두 접합 영역이 시편의 열처리 전과 후에 동일하게 나타나고 있다. 다른 열처리 온도에서도 이와 같이 열처리 전과 열처리 후의 적외선투과 사진을 확인하였을 때 동일한 결과를 얻을 수 있었다. 이로써 접합 면적은 후열처리 공정보다 초기 접합 공정에 더 의존적이라는 사실을 알 수 있었다. 따라서 직접접합에 의한 SOI 제조에 있어서는 초기 접합시 표면 상태가 매우 중요하게 작용하는데, 우선 접합이 이루어지도록 표면이 친수화 처리되어 있어야 하며 표면의 미세 거칠기가 작아서 계면에서 자발적으로 결합이 이루어져야 한다. Fig. 5는 상온에서 직접접합 후 1100°C에서 열처리를 거친 SOI 구조의 단면을 나타내는 주사전자현미경 사진이다. (100) 실리콘 기판과 4° off (100) 실리콘 기판을 사용한 경우 모두 접합 계면이 평탄하게 잘 접합되어 있음을 확인할 수 있었다.

3.3 직접접합시의 적층결함

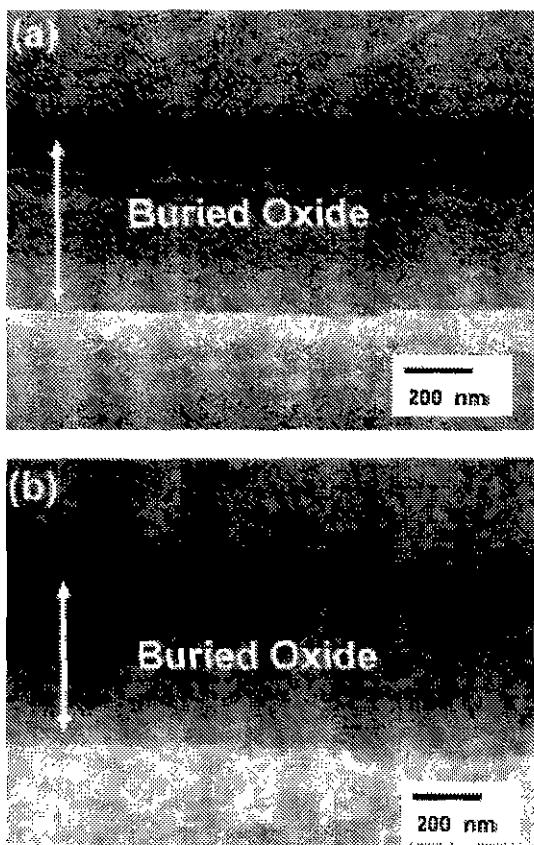


Fig. 5. Cross-sectional SEM image of SOI using (a) (100) Si and (b) 4° off (100) Si.

(100) 실리콘 기판과 4° off (100) 실리콘 기판을 사용하여 전술한 최적의 세정 조건인, MSC-1 세정 시간을 2분으로 하여 제조한 SOI 기판을 HF에 담가 debonding 시킨 후, 이를 Schimmel Etch법을 이용하여 선택 삭각하여 산화 계면 및 접합 계면의 적층결함을 관찰하였다. 적외선투과카메라를 이용하여 관찰 영역을 접합 영역과 미접합 영역으로 나누어 선택하였다. Fig. 6은 (100) 실리콘 기판으로 제조한 SOI 기판의 계면에서의 적층결함을 광학현미경으로 관찰한 것이다. Fig. 6의 (a), (c)는 각각 접합 영역에서의 산화 계면 및 접합 계면에서의 결함이고 (b), (d)는 각각 미접합 영역에서의 산화 계면 및 접합 계면에서의 결함을 나타낸 것이다. 접합 영역에서는 산화 계면과 접합 계면에서 모두 결함이 모이려는 경향을 보이고 있다. 이렇게 결함이 응집하려는 현상은 계면이 자유롭게 노출된 미접합된 영역과는 달리 접합에 의하여 상하로 구조적인 제약을 받게되고 이로 인해 기인되는 응력이 발생하였기 때문으로 생각된다. 즉, 접합 영역에서는 국부적인 응력이 존재하게되고 응력을 완화시키기 위하여 결함핵이 접합계면으로 이동하게 되어 결함이 Fig. 6(a), (c)와 같이 응집하는 것으로 생각된다. 여기에서 결함핵은 결정내에 존재하고 있던 불순물이나 결정 내에 녹아있던 용존 산소에 의한 산화 석출물 두 가지²³⁾로 생각할 수 있다. 이외는 달리 미접합 영역에서는 Fig. 6(b), (d)에서와 같이 일반적인 산화 공정에서 보여지는 결함과 비슷한 경향성을 나타내었다. 이는 미접합 영역에서는 1100°C 열처리 과정중 국부적인 접합 응력이 발생하지 않고 지속적인 열산화가 일어났기 때문이라고 생각할 수 있다. Fig. 7은 4° off (100) 실리콘 기판을 사용하여 제조한 SOI의 계면에서의 결함을 관찰한 것이다. (100) 실리콘 기판을 사용한 경우와 같이 접합 영역에서 비정상적으로 결함이 응집하는 경향성을 나타내었고, 미접합 영역에서는 일반적인 산화공정에서 관찰되어지는 결함이 나타났다. 기존의 보고에 의하면 산화 공정시 4° off (100) 실리콘 기판을 사용하면 산화적 층결함의 밀도를 줄일 수 있다고 하였는데,¹⁹⁾ 본 실험의 경우는 상부 기판과 하부 기판 사이의 구조적인 제약에 의해 4° off (100) 실리콘 기판을 이용하여 제조한 SOI 기판의 결함의 경향성이 (100) 실리콘 기판과 유사하게 나타났다. 즉 SOI 기판에서의 결함은 기판의 배향성에 영향을 받기보다는 접합에 의해 발생하는 응력에 기여를 받는다고 생각할 수 있다. 본 실험은 기판의 배향성에 따른 접합 공정 조건을 확립하였고, 직접접합 SOI 기판의 산화 계면과 접합 계면에서의 결함의 응집 현상에 대하여 관찰하였다. 이런 결함의 응집 현상에 대한 원인은 현재 고찰 중에 있으며, 자세한 내용은 추후에 보고할 예정이다.

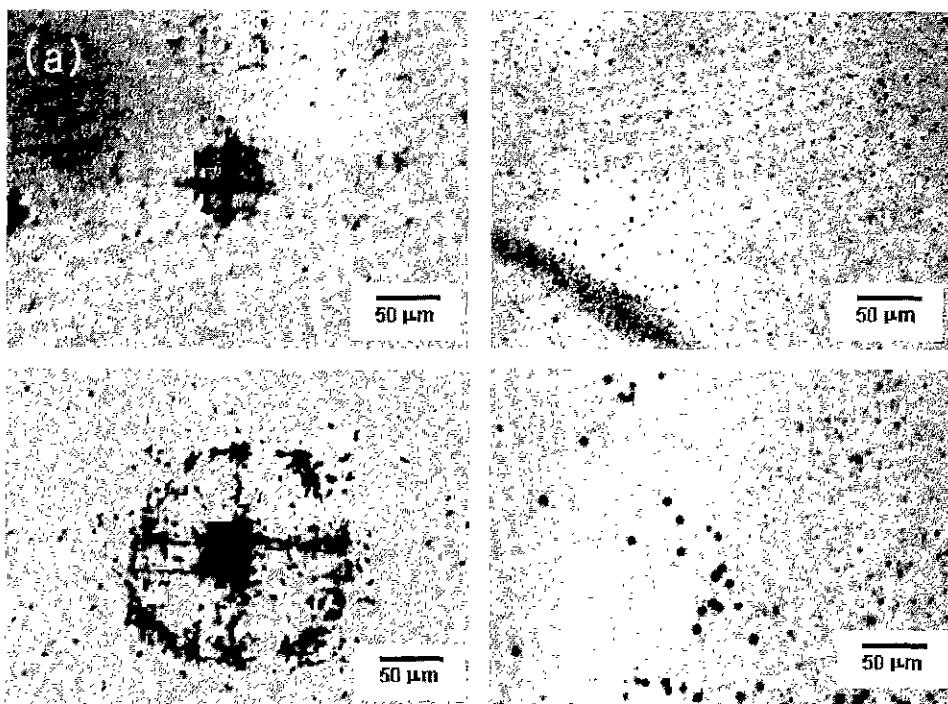


Fig. 6. The distribution of the stacking faults in SOI using (100) Si wafer (a) at the thermal oxide interface (bonded), (b) at the thermal oxide interface (void), (c) at the chemical oxide interface (bonded) and (d) at the chemical oxide interface (void).

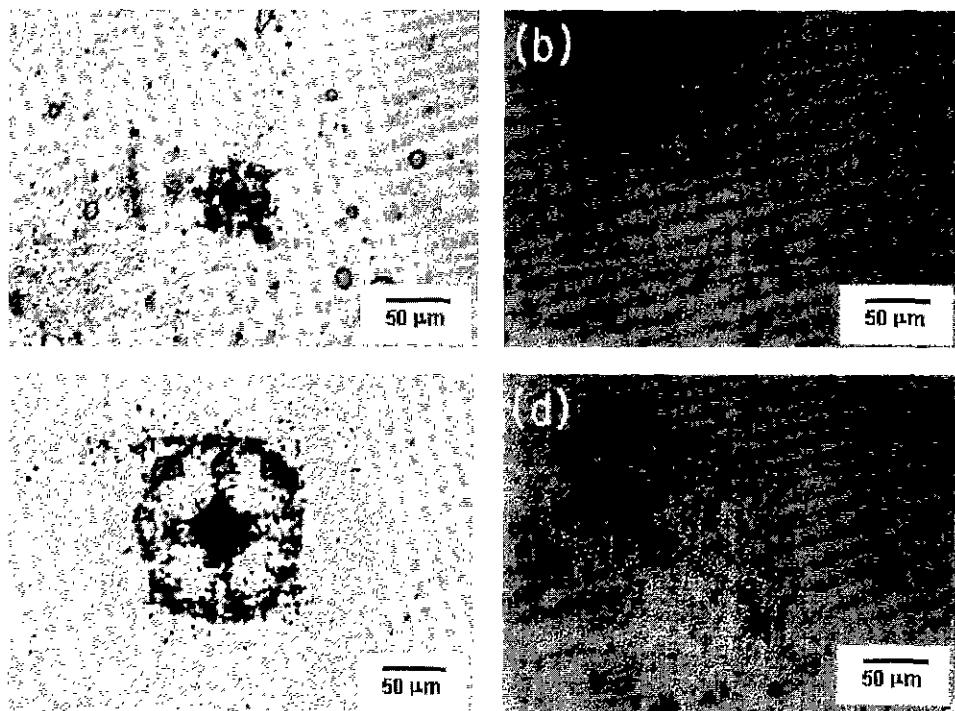


Fig. 7. The distribution of the stacking faults in SOI using 4° off Si wafer. (a) at the thermal oxide interface (bonded), (b) at the thermal oxide interface (void), (c) at the chemical oxide interface (bonded) and (d) at the chemical oxide interface (void)

4. 결 론

(100) 실리콘 기판과 4° off (100) 실리콘 기판을 사용하여 직접접합법으로 SOI 기판을 제조하기 위한 조건 및 제조된 SOI 접합 계면의 실리콘 격층 결함을 관찰하여 본 연구에서 얻은 결론은 다음과 같다.

1. 친수화 처리를 거치지 않은 상태에서 (100) 실리콘 기판에 비해 4° off (100) 실리콘 기판이 더 친수성을 띠었으며 2분 이상 MSC-1 세정을 거쳐주면 두 기판 모두 친수화도는 일정하게 나타났고, 표면 미세 거칠기는 세정 시간이 길어짐에 따라 증가하였다.

2. SOI를 제조하기 위해 친수화된 Si과 SiO₂ 열산화 박막을 상온에서 직접접합 시킨 후 접합계면에 접촉 영역과 비접촉 영역이 존재함을 적외선투과카메라로 관찰 할 수 있었다. (100) 실리콘 기판과 4° off (100) 실리콘 기판을 이용한 경우 모두 MSC-1 처리 시간을 2분으로 해 주었을 때 접합이 자발적으로 있어났다.

3. SOI의 열처리 전과 후 적외선투과 사진을 비교하여 볼 때 접합영역 변화는 없었으며, 열처리 온도가 증가함에 따라 접합강도도 증가하였고, 1100°C 열처리에서는 접합 강도 측정시 벌크 실리콘 기판의 파괴가 일어날 정도로 접합강도가 증가하였다. 즉, 직접접합 방법에 의해 (100) 실리콘 기판과 4° off (100) 실리콘 기판으로 제조한 SOI 구조는 1100°C 열처리를 통하여 완전한 접합을 이룰 수 있었다.

4. (100) 실리콘 기판과 4° off (100) 실리콘 기판으로 제조한 SOI를 화학적 식각을 통해 산화막을 제거하여 접합영역과 미접합영역으로 나누어 접합계면과 산화계면에서의 결함을 관찰한 결과 결합의 경향성은 유사하게 관찰되었다. 접합영역에서는 높은 격층 결합 밀도를 보이고 결합이 응집하려는 거동이 관찰되었고, 미접합 영역에서는 산화 공정상에서 일반적으로 관찰되는 적선적 배향의 격층결합 분포 거동이 관찰되었다. 이는 접합 영역에서는 직접접합 과정 중 형성된 응력에 의해 결합이 응집되기 때문으로 생각되어진다.

감사의 글

이 논문은 1998년 한국학술진흥재단의 학술연구비에 의하여 지원되었음.

REFERENCES

- A. K. Sharma, *Semiconductor Memories; Technology, Testing and Reliability*, IEEE press, New York, NY, 1997.
- S. S. Tsao, "Porous Silicon Technique for SOI Structure," in *IEEE Circuits and Device Magazine*, pp. 3-7, 1987.
- B. Y. Tsaur, "Zone-melting-recrystallization Silicon-On-Insulator Technology," in *IEEE Circuits and Device Magazine*, pp. 12-16, 1987.
- J. P. Colinge, *Silicon-On-Insulator Technology : Materials to VLSI*, p. 38-52, Kluwer Academic Publishers Group, Dordrecht, The Netherlands, 1991.
- P. K. Vasudev et al, "A High Performance Submicrometer CMOS/SOI Technology using Ultrathin Silicon Films on SIMOX," *SOI & Buried Metals in Si MRS Symposium*, pp. 349-352, 1987.
- J. B. Lasky, "Wafer Bonding for Silicon-On-Insulator Technologies," *Appl. Phys. Lett.* **48**(1), 78-80 (1986).
- Y. Arimoto and F. Sugimoto, "Pulse-Field-Assisted Wafer Bonding for Silicon on Insulator," *Jpn. J. Appl. Phys.* **31**(6A), 1709-1715 (1992).
- S. Cristoloveanu, *Silicon-On-Insulator Technology and Device*: Proc. of the Sixth International Symposium, Vol 94-11, p. 5 The Electrochemical Society, INC., Pennington, NJ, 1994.
- W. P. Maszara, "Silicon-On-Insulator by Wafer Bonding : A Review," *J. Electrochem. Soc.* **138**(1), 341-347 (1991)
- Q. Y. Tong, G. Kaido, L. Tong, M. Reiche, F. Shi, J. Steinkirchner, T. Y. Tan and U. Goesele, "A Simple Chemical Treatment for Preventing Thermal Bubbles in Silicon Wafer Bonding," *J. Electrocem. Soc.* **142**(10), L201-L203 (1995).
- K. Ljungberg, U. Jansson, S. Bengtsson and A. Soderbarg, "Modification of Silicon Surface with H₂SO₄:H₂O₂:HF and HNO₃:HF for Wafer Bonding Application," *J. Electrocem. Soc.* **143**(5), 1709-1714 (1995).
- S. M. Sze, *ULSI Technonology*, p. 63-64, McGraw-Hill Co Inc., New York, 1996
- T. Aoyama, T. Yamazaki and T. Ito, "Nonuniformities in Chemical Oxides on Silico Surfaces Formed during Wet Chemical Cleaning," *J. Electrochem. Soc.* **143**(7), 2280-2285 (1996).
- S. M. Sze, *ULSI Technonology*, p. 74-79, McGraw-Hill Co. Inc., New York, 1996.
- Q. Y. Tong, U. Goesele, et al., "A Model of Low-Temperature Wafer Bonding and its Application," *J. Electrocem. Soc.* **143**(5), 1773-1779 (1996).
- S. T. Dunstan and J. D. Plummer, "Point Defect Generation during Oxidation of Silicon in Dry Oxygen I theory," *J. Appl. Phys.* **59**(7), 2541-2550 (1986).
- S. Wolf and R. N. Tauber, *Silicon Processing for the VSLI Era : Volume 1-Process Technology*, p. 44-47, Lattice Press, Sunset Beach California, 1986
- Y. Sugita, T. Goto and M. Tamura, "Effect of Crystal Orientation on the Stacking Faults Formation in

- Thermally Oxidized Silicon," *J. Appl. Phys.* **42**, 5847-5849 (1971).
19. H. J. Woo, D. J. Choi and G. H. Kim, "Tilt-axis Effect on Oxidation Behaviour and Capacitance-Voltage Characteristics of (100) Silicon," *J. Mat. Sci. Lett.* **32**, 6101-6106 (1997).
20. S. M. Sze, ULSI Technology, p. 65, McGraw-Hill Co. Inc., New York, 1996.
21. D. G. Schimmel, "Defect Etch for <100> Silicon Evaluation," *J. Electrochem. Soc.* **126**(3), 479-483 (1979).
22. C. H. Lee and K. S. Yu, "The Etching Effect of NH₄OH Last Cleaning on the Silicon Surface," *J. Kor. Phys. Soc.* **30**, S236-S238 (1997).
23. Q. Y. Tong, U. Goeselc, et al., "The Role of Surface Chemistry in Bonding of Standard Silicon Wafers," *J. Electrochem. Soc.* **144**(1), 384-389 (1997)
24. F. Sugimoto and Y. Arimoto, "Bond Strength of Bonded SOI Wafers," *Jpn. J. Appl. Phys.* **31**(4), 975-978 (1992).
25. F. Shimura, Semiconductor Silicon Crystal Technology, pp. 344-367 Academic Press, Inc., San Diego, 1989.