

## 가스원 분자선 에피택시 증착법에 의한 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조의 미세조직과 전기이동도에 관한 연구

이원재

기초과학지원연구소 부산분소, 부산, 609-735  
(1999년 2월 2일 접수)

### Microstructures and electron mobilities of Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures grown by gas-source MBE

Won Jae Lee

Korea Basic Science Institute, Pusan 609-735, Korea  
(Received February 2, 1999)

**요 약** 가스원 분자선 에피택시(GS-MBE)로 성장시킨 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET의 미세조직을 투과식 전자현미경과 간섭광학현미경을 이용하여 관찰하였다. 증착온도변화에 따른 불일치전위의 분포에 큰 변화는 없었지만, 증착온도가 높을수록 표면조도가 거칠어졌고 표면 결함이 나타났다. Si 전기활성층 근처에서는 조성경사기능층보다 전위밀도가 상당히 낮았다. 결정성장 온도를 낮춤에 따라 전기이동도는 증가하였다.

**Abstract** Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures, incorporating linearly-graded buffer layers have been grown by Gas-Source Molecular Beam Epitaxy. The growth temperature of the graded layers has not significantly changed the distribution of misfit dislocation. However, the surface undulation and surface defects were increased with increasing growth temperature. In Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures, the densities of misfit dislocations near the Si-active layers were considerably reduced in comparison with the region of graded layers. The electron mobility of Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structure has increased with lowering the growth temperature.

#### 1. 서 론

최근 기존 Si 반도체기술과 관련하여 새로운 고속전자 이동 트랜지스터(High Electron Mobility Transistor, HEMT, 또는 Modulation Doped Field Effect Transistor, MODFET) 및 광학소자(Optical device) 개발을 목적으로 Si<sub>1-x</sub>Ge<sub>x</sub> 에피택셜층에 관한 연구가 진행되고 있다[1, 2]. 이들 Si/Si<sub>1-x</sub>Ge<sub>x</sub>로 이루어진 반도체소자들은 Si와 Ge 사이에 격자상수가 다르므로 Si 에피층과 Si<sub>1-x</sub>Ge<sub>x</sub> 에피층 사이에 격자불일치 변형을 갖는데, Si/Si<sub>1-x</sub>Ge<sub>x</sub> 계면의 격자불일치도는 Si의 전도대에 six-fold degeneracy를 끌어올려 전기전도 캐리어의 이동도를 빠르게 한다. 즉 밴드갭을 조절하기 위해 Si/Si<sub>1-x</sub>Ge<sub>x</sub> 계면에서 격자변형이 요구된다. 그러나, 문제는 격자불일치 변형에너지가 임계치에 도달하면 Si 에피층과 Si<sub>1-x</sub>Ge<sub>x</sub> 에피층 사이의 계면에 불일치전위가 도입되는데, 이런

불일치전위가 전기활성층 근처에 존재할 경우 전기이동도를 낮추고 캐리어를 포획하는 장소가 된다.

Fitzgerald 등은 Si<sub>1-x</sub>Ge<sub>x</sub> 에피층과 Si 전기활성 에피층 사이에 큰 격자변형을 부여하기 위하여 Si<sub>1-x</sub>Ge<sub>x</sub>의 조성경사기능 에피층과 균일조성 에피층을 Si 기판 위에 고체원 분자선 에피택시(SS-MBE)법으로 성장시켰다[3]. 이와 아울러 경사기능에피층을 갖는 Si/SiGe MODFET 소자는 주로 저압 화학증착법(LPCVD), 초고진공 화학증착법(UHV-CVD), 고체원 분자선 에피택시(SS-MBE) 장치를 이용하여 증착하였다. 한편, 가스원 분자선 에피택시(GS-MBE)를 이용하여 성장시킨 Si/SiGe MODFET 소자의 전기적 물성 및 구조분석 등의 연구가 미흡한 실정이다.

가스원 분자선 에피택시(GS-MBE) 성장법의 특징은 기판의 온도가 낮고 높은 선택에피택셜 성장이 가능하며, 높은 온도로 인한 금속불순물의 개재현상을 피할 수

있다는 점이다. 그리고, 증착물질을 증착조에 연속공급이 가능하다. 이런 장점과는 달리 아주 낮은 증착속도 (e.g.  $V_{SiGe} = 0.25 \text{ \AA/sec}$ )와 복잡한 화학반응이 증착물의 선단부위에서 일어난다. 지금까지의 연구자들은 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET내 2DEG의 전기적 물성의 연구가 일부 행해졌다. 그래서, 기초연구로서, 결정성장의 온도에 따른 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 소자의 구조연구에 대한 체계적인 연구가 필요하다.

본 연구에서는 GS-MBE법으로 성장한 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 시편을 사용하여 전위결합 및 분포 등의 미세조직 그리고 표면조도를 알아보고자 투과식 전자현미경 및 간섭광학현미경을 이용하였다. 그리고 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 시편의 Si 전기 활성층의 전기이동도 및 캐리어 농도를 측정하였다.

## 2. 실험 방법

Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 소자는 가스원 분자선에피택시법(GS-MBE)으로 성장하였다. 먼저 Si(001) 웨이퍼를 화학적으로 에칭하고, 또 다시 증착조에서 열을 가하여 SiO<sub>2</sub> 층을 제거하였다. 증착가스 Si<sub>2</sub>H<sub>6</sub>과 GeH<sub>4</sub>를 사용하여 Si와 Si<sub>1-x</sub>Ge<sub>x</sub> 에피층을 증착하였다. 0.1% AsH<sub>3</sub> + Ar으로 n형 도핑을 했다. 증착층의 평균성장속도는 약 0.25 Å/sec 정도였다.

Fig. 1은 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조의 개략도를 나타낸다. 이 그림에서 보여주는 바와 같이 p형 Si 기판 위에 우선 300 nm 의 Si 층을 증착하고 그 위에 X<sub>Ge</sub> = 0.05에서 X<sub>Ge</sub> = 0.35로 이루어진 직선형 조성경사층(~1200 nm)

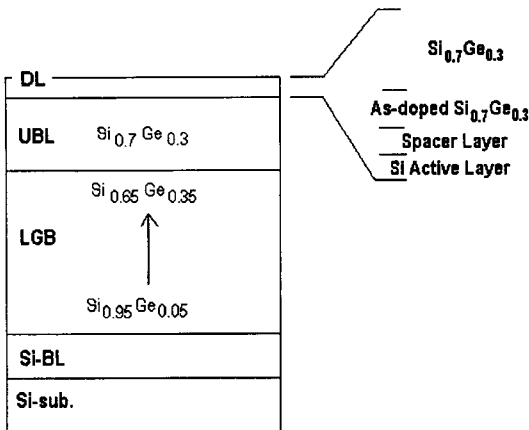


Fig. 1. Schematic Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structure grown by gas-source MBE (DL: Device layer, UBL: Uniform buffer layer, LGB: Linearly graded buffer layer, Si-BL: Si buffer layer, Si-Sub: Si substrate).

을 두었다. 다시 SiGe 균일조성층(X<sub>Ge</sub> = 0.30)을 성장시키고 나서, 최종적으로 MODFET 디바이스층을 증착하였다. 이때 사용된 기판의 온도는 520°C, 565°C, 615°C였다.

위와 같이 제조된 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조는 기계적 연마, 딥플링, 이온밀링법(4 keV, 8~18°)을 이용하여 TEM 시편을 제작하였다. 미세조직 관찰을 위하여 투과식 전자현미경(200 kV JEOL-FX 2000)을 사용하였다. 그리고, SiGe 층내에 박판용 에너지 분산 분광기(Energy Dispersive Spectrometer, EDS) 법으로 Ge의 분포를 조사하였다. 또한, 전기이동도를 측정하기 위하여 Van der Paw 법으로 상온과 저온(77 K)에서 행하였다.

## 3. 실험결과 및 고찰

### 3.1. Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조의 미세조직

Fig. 2는 대표적인 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조의 단면을 투과식 전자현미경으로 관찰한 미세조직을 나타낸다.

Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조들은 공통적으로 밝은 명암대조를 갖는 층이 표면근처에 보이는데 이것은 Si 전기활성층이다. MODFET 층과 Si/Si<sub>1-x</sub>Ge<sub>x</sub> 조성균일층(X<sub>Ge</sub> = 0.3)에서는 상대적으로 다른 층에 비해 상당히 낮은 불일치전위(misfit dislocation) 밀도를 가졌다. 한편, Si/Si<sub>1-x</sub>Ge<sub>x</sub> 조성경사기능층(X<sub>Ge</sub> = 0.05 - 0.35)은 불일치전위 밀도가 높았다. 이것은 조성경사기능층에 저장된 격자 불일치 에너지를 감소시키기 위하여 불일치전위가 도입되었다. 불일치 전위는 {111} 슬립면에 놓여있고, 또한 전위들 간에 상호반응이 일어나 사진면의 수직한 방향으로도 놓여있다. 이 전위들의 대부분은 조

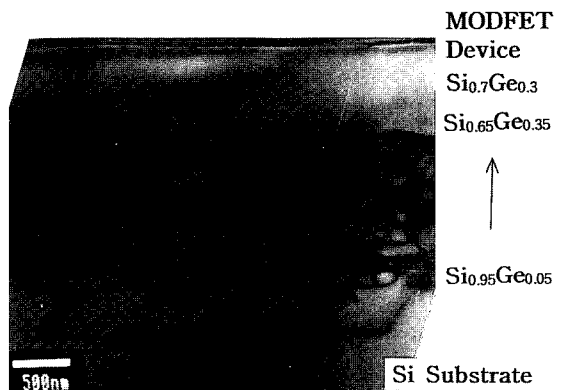


Fig. 2. Typical cross-sectional TEM image of Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures having linearly-graded buffer layer growth temperatures (e.g. T<sub>C</sub> = 565°C).

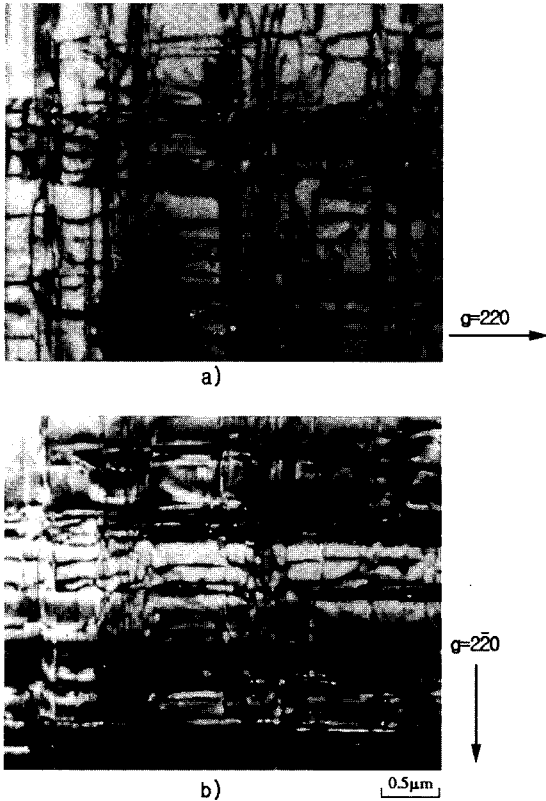


Fig. 3. Plan-view TEM bright field micrographs of Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures having linearly-graded buffer layers grown at 565°C. a) g = 220, b) g = 220.

성경사기능층에 존재한다. 때때로, Si 기판층 쪽으로 깊숙이 침투한 경우도 있다.

Fig. 3(a)와 (b)는 2개 비임 조건하의 Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 구조의 평면 미세조직 사진이다. 이들 그림에서 보는 바와 같이 불일치전위들은 주로 [110]과 [110] 방향으로 배열되어 있다. 또한, 2개의 비임 조건 g = 220와 g = 220에서 대부분의 불일치전위선의 상이 그대로 볼 수 있으므로 60°형 전위이다. 한편, 전위선 A는 비임 조건 g = 220 하에서 전위영상이 사라지므로 90°형 전위라 생각한다. 위 그림에서 직선으로 된 불일치전위의 다발이 앞서 언급한 두 방향으로 놓여져 있고, 다발전위들의 불균질 배열은 불균일한 응력을 위 에피층에 분포한다[4]. 그러나, 본 연구에서 사용한 Si<sub>1-x</sub>Ge<sub>x</sub> 균일조성층 (X<sub>Ge</sub> = 0.3)이 두꺼우므로(500 nm) 전기활성층인 Si 내 캐리어의 이동도에 대한 전위 응력의 영향이 줄어든다.

### 3.2. 박판용 EDS 조사

Fig. 4는 Si<sub>1-x</sub>Ge<sub>x</sub>/Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET(X<sub>Ge</sub> = 0.3) 구

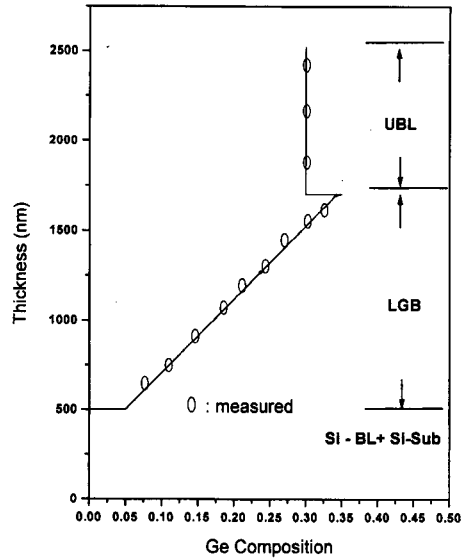


Fig. 4. Profile of Ge distribution in Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures by thin foil energy dispersive X-ray spectrometer (UBL: Uniform buffer layer, LGB: Linearly graded buffer layer, Si-BL: Si buffer layer, Si-Sub: Si substrate).

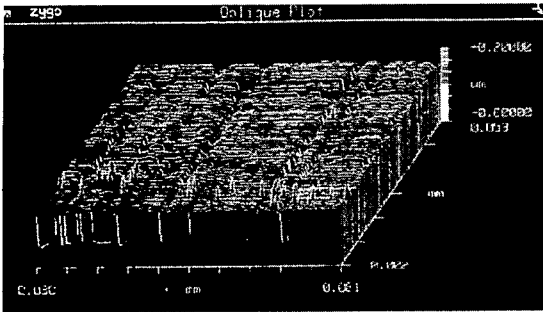
조의 투과식 전자현미경상 박판 에너지분산분광기 (Energy dispersive spectroscopy) 분석결과이다. 조성경사기능층은 X<sub>Ge</sub> = 0.05 - 0.33이었고, Ge의 분포는 조성경사기능층 내에서는 직선적으로 증가함을 알 수 있었다. 또한, 상부의 Si<sub>1-x</sub>Ge<sub>x</sub> 조성균일층은 X<sub>Ge</sub> = 0.3이었다.

### 3.3. 표면조도의 변화

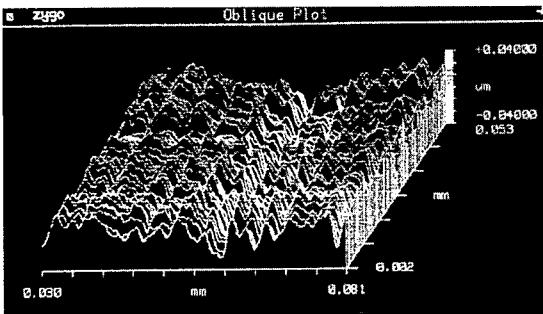
세 종류의 MODFET 디바이스 구조내 조성경사기능층은 결정성장온도는 520°C, 565°C, 615°C이다. 앞서 설명한 Fig. 2의 대표적인 미세조직사진에 보여진 바와 같이 모든 시편에서 전위의 구조 및 분포에는 큰 변화가 없었으나, 표면조도에는 변화가 있었다.

Fig. 5에 간섭광학현미경으로 얻은 표면조도 및 표면결함 관찰 결과가 나타나 있다. 여기에서, 주로 <110> 방향으로 표면조도 현상을 보였다. 조도의 범위는 진폭이 약 50 nm 이하이고, 파장이 약 200~4000 nm 정도였다. 간섭광학현미경으로 증착온도가 높을수록 조도가 거친 경향을 보이고 있고, 표면결함이 많은 것으로 조사되었다.

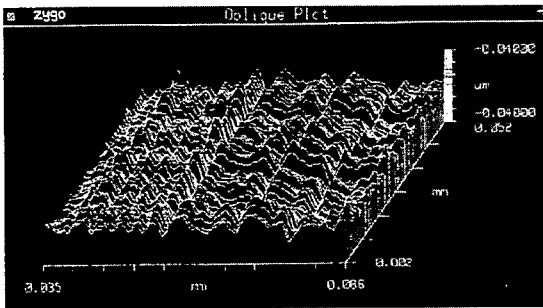
최근 Lutz 등에 의하면 이러한 조도현상은 대부분의 불일치전위가 {111} 면상을 슬립하여 표면에 두 <110> 방향으로 변위를 남기기 때문이라고 하였다[5]. 그러나, 이것만으로 설명이 충분치 못한데 이는 한 개의 불일치전위는 약 0.27 nm 만큼의 표면변위에 해당되므로 존재



a)



b)



c)

Fig. 5. The change in the surface roughness of Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET structures grown by gas-source MBE, as a function of growth temperature a) T<sub>G</sub> = 615°C, b) T<sub>G</sub> = 565°C, c) T<sub>G</sub> = 520°C.

가능한 전위수에 의한 표면변위가 관찰된 조도의 진폭보다 훨씬 작기 때문이다. 가능한 또 한가지의 영향요인으로는, 결정온도 증가에 따라 결정성장 중 경사기능층의 표면조도변화, 불일치전위 밀도 증가로 표면조도 증가, 전위존재층과 성장면사이의 거리감소, 잔류 불일치도 감소, 성장표면에서의 증착물질의 전달거리 증가 등이 동시에 일어나 조도변화에 이들이 복합적인 영향을 주어 표면조도 생성메카니즘이 복잡해진다. 여기서, 분명한 것은 성장온도가 높아지면 불일치전위밀도 증가 [4], 격자불일치변형에 의한 표면조도의 조기생성 [6] 그리고 표면에서 높은 물질확산의 결과로 표면조도가 더

Table 1  
Electron mobilities of Si<sub>1-x</sub>Ge<sub>x</sub>/Si/Si<sub>1-x</sub>Ge<sub>x</sub> (X<sub>Ge</sub> = 0.3) MODFET structures grown by GS-MBE, as a function of growth temperature

Electron mobility (cm <sup>2</sup> /Vs)	Growth temperature (°C)		
	615	565	520
300 K	1.58	2.8	4
77 K	800	916	1120

욱 커졌다.

Si<sub>1-x</sub>Ge<sub>x</sub>/Si/Si<sub>1-x</sub>Ge<sub>x</sub>(X<sub>Ge</sub> = 0.3) 구조의 결정박막성장온도가 높을수록 표면결함 또한 증가하였다. 이것의 확실한 원인은 본 연구로서는 알 수 없으나 에피층성장동안 Si 웨이퍼상에 탄소등의 불순물이 개재되어 Si와 Si<sub>1-x</sub>Ge<sub>x</sub> 층의 에피성장을 방해함으로써 표면결함이 생성된 것으로 사료된다[7].

### 3.4. MODFET 구조의 전기적특성

Table 1은 Si<sub>1-x</sub>Ge<sub>x</sub>/Si/Si<sub>1-x</sub>Ge<sub>x</sub>(X<sub>Ge</sub> = 0.3) MODFET 구조의 결정박막성장온도에 따른 전기이동도를 Van der Paw 법으로 캐리어 이동도 μ(cm<sup>2</sup>/Vs)를 측정 한 결과이다.

결정성장온도가 증가함에 따라 전기이동도가 낮아지는 이유로서는 표면조도의 증가 및 표면층에 As가 높은 농도로 존재하여 캐리어이동시 산란을 크게 하는 것으로 사료된다[8]. 또한, 온도를 내리면서 캐리어 이동도를 측정 한 결과, 캐리어 이동도는 증가하였다. 그 이유는 측정온도를 내림에 따라 격자산란이 줄어들게 되어 캐리어 이동도를 증가시키기 때문이다. 그리고, MODFET 구조의 캐리어밀도 n<sub>s</sub>가 줄어들었는데 이것은 전류공급층으로 부터 전도기여도를 억제하여 2DEG의 특성을 증가시키기 때문이다[9].

### 4. 결 론

Si/Si<sub>1-x</sub>Ge<sub>x</sub> MODFET 디바이스구조의 미세조직 및 전기이동도에 미치는 박막성장온도의 영향을 조사한 결과 다음과 같은 결론을 얻었다.

- 1) 대부분의 불일치전위는 조성경사기능층에 놓여있고 Si 전기활성층에는 불일치전위가 보이지 않았다. 따라서, 불일치전위에 의한 활성층에 전기적 산란 효과는 적다고 볼 수 있다.
- 2) 조성경사층의 대부분의 불일치전위는 60°형 전위였다.

3) 투과식 전자현미경에서의 EDS 분석결과 조성경사 기능층의 Ge의 분포는 X<sub>Ge</sub> = 0.05에서 X<sub>Ge</sub> = 0.33까지 직 선적으로 변화였다. Si<sub>1-x</sub>Ge<sub>x</sub> 조성균일층에는 X<sub>Ge</sub> = 0.3이 었다.

4) 성장 온도의 증가에 따라 표면조도는 증가하였고 표면 결함의 수도 증가하였다.

5) 성장 온도의 증가에 따라 전기 이동도는 감소하 였다.

### 참 고 문 헌

- [ 1 ] K. Ismail, J.O. Chu and B.S. Meyerson, Appl. Phy. Lett. 64 (1994) 3124.
- [ 2 ] Whall and Parker, J. Mat. Sci. Mat. Elec. 6 (1995) 249.
- [ 3 ] E.A. Fitzgerald, Y.H. Xie, M.L. Green, D. Brasen, A.R. Kortan, J. Michel, Y.J. Mii and B.E. Weir, Appl. Phys. Lett. 59 (1991) 811.
- [ 4 ] E.A. Fitzgerald, Y.H. Xie, D. Monroe, P.J. Silverman, J.M. Kuo, A.R. Kortan, F.A. Thiel and B.E. Weir, J. Vac. Sci. Thechol. B10 (1992) 1807.
- [ 5 ] M.A. Lutz, R.M. Feenstra, F.K. LeGoues, P.M. Mooney and J.O. Chu, Appl. Phys. Lett. 66 (1995) 725.
- [ 6 ] A.G. Cullis, A.J. Pidduck and M.T. Emeny, J. Cryst. Growth 158 (1996) 15.
- [ 7 ] K.M. Chen, D.E. Jesson, S.J. Pennycook, T. Thundat and Warmack, Appl. Phys. Lett. 66 (1995) 34.
- [ 8 ] G. Balor and E. Green, J. Appl. Phys. 54 (1983) 1579.
- [ 9 ] T. Ando, A.B. Fowler, F Stern, Rev. Mod. Phys. 54 (1982) 437.