

변압기-결합형 직렬공진 인버터의 델타변조 전류제어

安熙旭, 金鶴星

Current Regulated Delta Modulator for Series Resonant Inverter with Transformer-Coupled Load

Hee-Wook Ahn, Hack-Sung Kim

요 약

변압기로써 결합된 직렬공진 부하를 가진 전압원-인버터(Voltage-Source Inverter)가 공진주파수로 작동되는 경우에 출력 전류를 제어하는 기법으로서, 개선된 전류조절형 델타변조(Current-Regulated Delta Modulator: CRDM)방식을 제안한다. 일반적인 CRDM은, 전류편차가 상당한 크기로 나타난다는 문제가 있으며, 특히 유도가열장치와 같이 부하가 변압기를 통하여 연결되는 경우에는 변압기의 자속포화 문제가 발생하므로 실제 사용에 한계가 있다. 이러한 문제를 해결하기 위하여, 자속포화 현상을 분석하고 이를 방지하기 위한 간단한 방법을 제안하며, 전류편차를 제거하기 위한 적분형 CRDM을 적용한다. 그리고 슬라이딩 모드 제어의 개념을 이용하여, 안정된 동작을 보장하는 적분기 이득의 상한치를 회로특성치로부터 구하는 방법을 제안하고, 제안된 기법의 효용성을 시뮬레이션과 실험으로써 확인한다.

ABSTRACT

An improved version of current-regulated delta modulator (CRDM) is investigated for the output current control of voltage-source inverters that have transformer-coupled series resonant load and are operated at the resonant frequency. Conventional CRDM has not only current offset problem but also transformer flux saturation problem when it is applied to induction heating systems that have transformer-coupled loads. To cope with these problems, the effect of flux saturation is analysed, and simple method to avoid the problem is proposed. And integral type of CRDM is adopted to remove the current offset. The boundaries of integrator gain for stable operation is calculated using the concept of sliding mode control. The validity of proposed strategy is verified through simulations and prototype experiments.

Key Words: Resonant inverter, transformer-coupled load, induction heating, current regulated delta modulation, sliding mode control

1. 서 론

수십 KHz 이상의 주파수로 작동되는 고주파 전원장치에서는, 스위칭 손실이 최소화 되어야한다. 효율 향상과 냉각장치의 소용량화에 따른 운전비용의 절감을 이룰 수 있기 때문이다. 영전류 스위칭 직렬공진인버터(zero current switching series resonant inverter, ZCS SRI)는 이 목적으로 연구되

는 것으로서, 공진전류가 영점을 통과할 때에만 스위칭이 허용되는 방식이다.^[1-2] 고주파 전원장치로 사용되는 유도가열장치(induction heating system)에서 이러한 기법이 채택되고 있는데, 출력전류 또는 출력전력의 제어는 입력 직류전압의 조정으로 이루어진다. 그러나, 스위칭 방식의 직류 전원이 별도로 필요하므로 전체 시스템의 가격과 부피가 증가하게 된다.

직류전압조절기가 필요 없이 ZCS SRI의 출력을 제어하는 방법에 대하여 효율, 신뢰성, 전력밀도 등을 높이기 위한 많은 연구가 이루어져 왔다.^[3-4] 그 중에서, 새로운 방식의 제어 기법으로서, 이산펄스변조기술이 최근에 소개되었다.^[4] 이 기술은, 스위칭 손실의 저감과 이에 따른 고주파 작동성, 전자 간섭(EMI)의 저감, 제어범위의 확대, 고 전력밀도 등의 많은 장점을 활용할 수 있다. 그러나, 이것을 실제로 사용하기에는 전류리플과 오차가 상당한 크기로 나타난다는 문제가 장애로 작용한다. 이러한 문제를 해결하기 위한 여러 가지 노력들이 연구되었지만, 이산 전압펄스에 의한 변압기의 자속포화 가능성^[5]을 고려하지 않았기 때문에 실제로 사용하기에는 한계가 있다. 그러므로, 본 논문에서는, 자속포화라는 제약조건을 고려하면서 전류오차를 제거할 수 있는, 개선된 이산펄스 변조방식의 전류제어기법을 제안한다. 이산펄스 변조기법으로서 전류조절형 델타변조방식(Current-Regulated Delta-변조: CRDM)에 대하여 적용 가능성을 검토하고, 특히, 변압기 자속포화의 방지 기법과 그 영향을 분석한다.

이산펄스제어방식으로 구동되는 전압원 인버터(DPC VSI)의 모델링과 특성분석을 2장에서 실시한다. 유도가열부하의 공진성이 매우 높다는 특성에 착안하여, 공진전류의 진폭 크기를 이산시간형 변수로 채택하면, 전류의 동적모델이 1차 이산형 방정식으로 단순화되며, 변압기 자속의 모델 또한 1차 방정식으로 표현된다. 이를 이용하면 특성분석과 설계가 용이하게 이루어짐을 보인다.

3장에서는 변압기의 자속포화 현상을 분석하고 이에 근거한 포화방지 기법을 제안한다. 4장에서는 CRDM을 DPC VSI에 적용하는 기법에 대하여 기술한다. 일반적인 CRDM은 강인하지만 항상 저주파 성분의 전류편차를 가진다. 이를 보상하기 위하여 오차 적분기가 추가된 CRDM을 적용한다. 적분기 이득의 상한치를 정량적으로 계산하는 방법을 제안하고, 이의 효율성을 시뮬레이션으로 확인한다. 제안한 기법의 효율성을 시뮬레이션과 실험을 통하여 확인한다.

2. 기본 동작과 이산시간 모델

유도가열 부하를 가진 전압원 인버터의 전력회로는 그림 1과 같다. 고주파 변압기는 전기적 절연과 부하정합을 위하여 사용되며, 유도가열 부하는 등가적으로 인덕턴스 L_{eq} 와 저항 R_{eq} 의 직렬연결로 표현된다. 부하의 Q 값은 2.5~20 정도로 높기 때문에 변압기에 무효전력이 발생할 수 있다. 이를 방지하기 위하여 보상용 캐패시터 C_c 를 2차측에 직렬로 연결한다. 변압기 1차측에 직렬로 연결된 교류용 캐패시터 C_{ac} 는 직류전류에 의한 변압기 포화를 방지하며, 일반적으로 보상용 캐패시터에 비하여 매우 큰 용량을 갖도록 설계함으로써 2차측의 역률을 높게 유지한다.

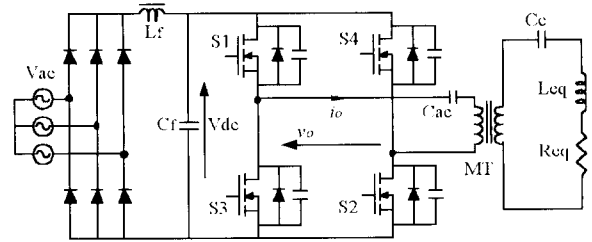


그림 1 변압기-결합 유도가열 부하를 갖는 전압원 인버터의 전력단 회로
Fig. 1 Power circuit of voltage-source inverter with transformer-coupled induction heating load

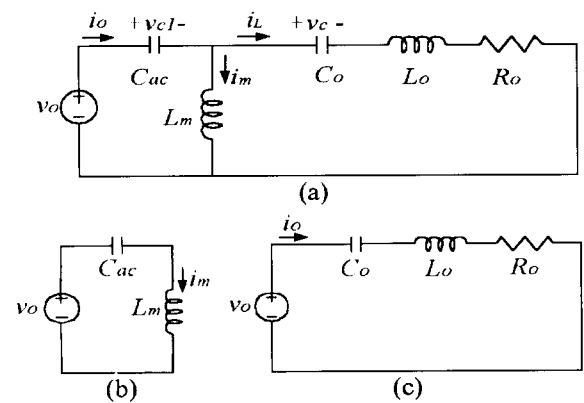


그림 2 변압기-결합 부하를 갖는 인버터의 등가회로
(a)전체 등가회로 (b)분리된 1차회로 (c)분리된 부하 회로
Fig. 2 Equivalent circuit of inverter with transformer-coupled load
(a)overall circuit
(b)decoupled primary circuit
(c)decoupled secondary circuit

스위치 S1-S4는 전류가 영점을 지날 때에만 스위칭이 허용된다. 부하회로의 Q 값이 크므로 전류파형은 정현파를 이룬다. 그러므로 이 시스템에서의 스위칭 주파수는 공진주파수와 거의 동일하게 된다.

모델링 과정에서는, 변압기는 자화 인덕턴스 L_m 과 권선비 a 를 가지며, 캐패시터 C_{ac} 와 L_m 은 보상용 캐패시터 C_c 와 부하 인덕턴스 L_{eq} 보다 각각 충분히 크고, 직류전압은 공진주기 동안 일정하다고 가정한다. 인버터 출력측의 등가회로는 그림 2(a)와 같은데, 공진주파수에서 C_{ac} 의 임피던스는 무시할 수 있고, 따라서 캐패시터 전압은 전원 전압 V_{dc} 또는 보상용 캐패시터 전압 v_c 보다 매우 작다는 사실로부터, 등가회로는 그림 2(b)의 1차회로와 (c)의 부하회로로 분리시킬 수 있다. 분리된 회로의 상태방정식은 다음과 같다.

$$\frac{d}{dt} \begin{pmatrix} i_L \\ v_c \end{pmatrix} = \begin{pmatrix} -R_o/L_o & -1/L_o \\ 1/C_o & 0 \end{pmatrix} \begin{pmatrix} i_L \\ v_c \end{pmatrix} + \begin{pmatrix} 1/L_o \\ 0 \end{pmatrix} u_a \quad (1)$$

$$\frac{d}{dt} \begin{pmatrix} v_{c1} \\ \phi_m \end{pmatrix} = \begin{pmatrix} 0 & 1/(L_m C_{DC}) \\ -1 & 0 \end{pmatrix} \begin{pmatrix} v_{c1} \\ \phi_m \end{pmatrix} + \begin{pmatrix} 0 \\ 1 \end{pmatrix} u_a \quad (2)$$

여기서, $u_a = u_o \in \{V_{dc}, 0, -V_{dc}\}$, $\phi_m = L_m i_m$,
 $L_o = a^2 L_{eq}$, $R_o = a^2 R_{eq}$, $C_o = C_c / a^2$

출력전류의 변화상태를 표현하는 전류모델은 부하회로부터 구할 수 있다. 부하의 Q 값이 크므로 부하전류와 캐패시터 전압의 파형은 정현파에 가깝다. 이러한 경우에는 회로의 다이내믹스를, 반 주기에서의 진폭으로 표현하는 것이 가능하므로 이산시간 모델이 효과적으로 사용될 수 있다.⁶⁾ 그림 3에 나타난 것처럼 공진 싸이클의 절반마다 공진 전류와 전압에 대한 첨두치의 절대값을 이산시간 변수로 사용한다. 모델링에서는 인버터 출력전압과 출력전류의 극성 관계를 나타내는 변수로서 다음과 같이 정의되는 동작모드를 사용한다.

$$m(k) \begin{cases} 1 & \text{for } v_o(t)i_o(t) > 0 \quad (\text{파워링 모드}) \\ 0 & \text{for } v_o(t) = 0 \quad (\text{자유공진 모드}) \\ -1 & \text{for } v_o(t)i_o(t) < 0 \quad (\text{회생 모드}) \end{cases} \quad (3)$$

이를 이용하면, 인버터 출력 전압은 다음과 같이 표현할 수 있다.

$$v_o(t) = V_{dc} m(k) \text{sgn}(i_o(t)) \quad \text{for } kT < t < (k+1)T \quad (4)$$

여기서 T 는 공진 주기의 절반에 해당한다.

자세한 전개과정은 생략하고 결과만 본다면, 정규화 모델은 다음과 같은 1차 이산시간 상태방정식으로 구해진다.

$$I(k+1) = AI(k) + Bu(k+1) \quad (5)$$

단, $A = \exp\left(\frac{-\pi}{2Q}\right)$, $B = \frac{2}{Q} \exp\left(\frac{-\pi}{4Q}\right)$,

$$u(k+1) = \frac{m(k) + m(k+1)}{2}, \quad Q = \frac{1}{R_{eq}} \sqrt{\frac{L_{eq}}{C_c}}$$

정규화에 사용된 기준량은 인버터 입력전압 V_{dc} , 부하저항 R_o 이며, 샘플링 시간은 T 이다. 등가 제어입력 $u(k+1)$ 은 동작모드의 이동평균으로서 $\{0, 0.5, 1\}$ 의 값을 가지며, 회생 모드는 전류의 리플을 매우 크게 만들 가능성이 있어서 사용하지 않는다.

부하 코일에 흐르는 최대 출력전류는, (5)식에서 파워링 모드가 계속하여 인가될 때에 해당하므로 다음과 같이 구해진다.

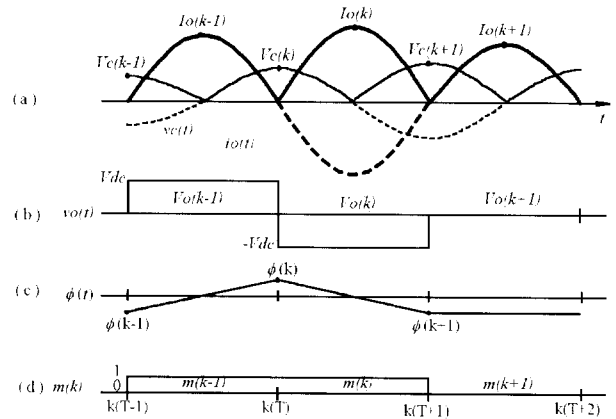


그림 3 이산-시간 모델을 위한 상태변수의 정의
 Fig. 3 Definitions of variables for discrete time model

$$I_{max} = \frac{B}{(1-A)} = \frac{1}{Q \sinh\left(\frac{\pi}{4Q}\right)} \cong \frac{4}{\pi} \quad (6)$$

샘플링 주기 동안의 전류 변화치는 전류 리플의 크기를 결정하는 요소 중의 하나이다. 전류 변화치는 다음과 같이 계산된다.

$$\begin{aligned} \Delta I(k+1) &= I_o(k+1) - I_o(k) \\ &= (A-1)I_o(k) + Bu(k+1) \\ &\cong \frac{-\pi}{2Q} \{I_o(k) - I_{max} u(k+1)\} \end{aligned} \quad (7)$$

전류 변화치는 출력전류의 크기와 부하의 Q 값의 영향을 받는다는 것을 알 수 있다. 특히, Q 값이 증가할수록 전류변화치가 작아지고 따라서 전류리플도 감소한다. 그리고, 제어입력에 의하여 출력전류가 증가 또는 감소하므로 전류의 제어를 위하여 동작모드 $m(k)$ 를 적절히 선택하면 된다는 것을 알 수 있다.

변압기 자속의 모델을 구하기 위하여, 분리된 1차 회로를 살펴보면, 공진 주파수에서의 캐패시터 전압이 전원 전압에 비하여 훨씬 작으므로, 변압기 자속의 상태는 1차 시스템으로 근사화됨을 알 수 있다. 변압기 자속은 다음과 같이 나타난다.

$$\phi_m(k+1) = \phi_m(k) + \phi_b m(k) \text{sgn}(i_o(k)) \quad (8)$$

여기서, 단위 자속변화량은 $\phi_b = V_{dc} T$ 이다.

그런데 실제로는, 회로의 손실이나 직류저지용 캐패시터 전압이 댐퍼로 작용하므로, 정상상태에서의 자속의 동작점은 원점 근처에 존재하게 된다.

그런데, 제어입력의 선택에 의하여 변압기의 자속포화가 야기되어 인버터의 고장으로 연결될 가능성이 있음에 주의하지 않으면 안 된다. 그래서 다음 장에서는 변압기 자속의 포화현상과 대책을 분석한다.

3. 변압기 자속 포화

대부분의 고주파 변압기에는 페라이트 코어가 사용된다. 페라이트 재질은 전기 저항이 매우 크므로 와전류 손실이 무시할 수 있을 정도로 작고, 따라서 코어 손실은 주로 히스테리시스 손실에 기인한다. 히스테리시스 손실은, 히스테리시스 루프의 면적과 코어의 체적에 비례한다. 히스테리시스 손실은 또한, 인가된 여기 신호의 주파수에도 비례하므로 특히 고주파 변압기에서는 자속밀도 침투치가 크지 않도록 하여야 한다. 그림 4는 일반적인 페라이트 코어의 히스테리시스 루프를 나타낸다. 변압기의 설계시에는, 30 KHz 정도 또는 그 이하의 주파수에서는 루프의 선형부분에서 작동되도록 하기 위해 자속은 대체로 B_1 범위로 유지되도록 한다. 그렇지만 그 이상의 고주파용에서는, 코어 손실이 크므로 선형부분의 절반에 해당하는 B_2 정도로 자속의 침투치를 감소시켜야 한다.^[7]

고주파 작동시의 정상적인 히스테리시스 루프는 그림에서 a-b-c-d-a에 해당한다. 이산 전압펄스로 작동될 때에는, 초기치와 전압의 극성에 따라서 루프 e-f-g-h-e 또는 i-j-f-e-i 가 사용된다. 그러므로, 히스테리시스 루프의 선형 부분 전체를 유효하게 활용하는 것도 가능할 것으로 판단된다. 허용 자속 수준이 확대되어도 히스테리시스 루프의 면적은 동일하기 때문에 히스테리시스 손실은 증가하지 않는다. 이를 고려하여 본 논문에서는 변압기 코어의 최대 자속 허용치가 B_1 으로서,

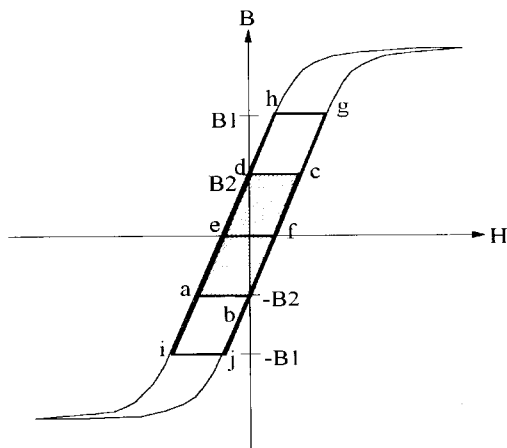


그림 4 변압기 코어의 히스테리시스 루프
Fig. 4 Hysteresis loop of transformer core

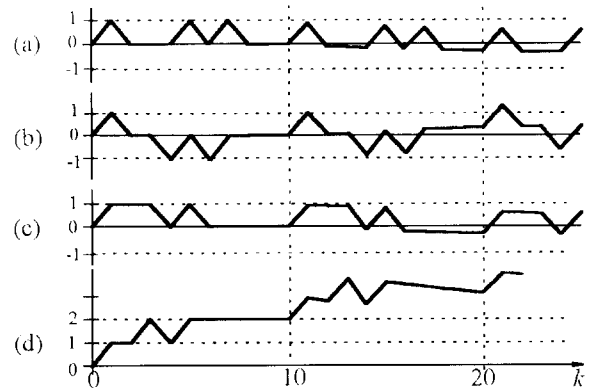


그림 5 여러 가지 동작모드 배열에 의한 자속 변화
Fig. 5 Flux variations for various type of operation modes
(a) 이중-모드 (paired-mode): {1100111100}
(b) 이중-펄스 (paired-pulse): {1101111000}
(c) 이중-제로 (paired-zero): {1001110000}
(d) 단독-모드 (single-mode): {1011100000}

정상적인 작동범위 B_2 의 2배에 해당하도록 변압기가 설계되어 있다고 가정한다.

변압기-결합 부하를 가진 전압원 인버터에서, 인버터 회로 또는 제어에서의 비대칭 작동에 의하여 직류 또는 저주파 성분의 전압이 변압기에 인가될 수 있다. 이러한 전압에 의한 변압기 포화를 방지하기 위하여, 직류저지용 캐패시터 C_{dc} 를 변압기 1차 코일과 직렬로 연결되는 것이 일반적이다. 그런데, 공진 주파수에서의 임피던스가 작고 따라서 캐패시터 전압이 작으므로, 과도적인 비대칭에 대해서는 보호 기능을 제대로 수행하지 못한다. 반면에 C_{dc} 가 부하의 무효전력 보상용 소자의 일부로 사용되도록 용량을 작게 설계하여 결과적으로 제법 큰 임피던스를 갖게 된다면, 부하 역률이 작아져 변압기의 설계 정격이 증가되어야 한다. 그러므로, 직류저지용 캐패시터는 정상상태의 저주파 성분에 대해서만 효과적임을 알 수 있고, 과도적인 비대칭에 의한 변압기 포화를 방지하기 위한 별도의 대책이 필요하게 된다.

만약 이산 전압 펄스가 전류 제어를 위하여 사용되면, 자속은 그림 5(d)의 경우처럼 포화될 수 있다: 제어 입력, 즉, 작동모드의 선택이 {10111000...}처럼 홀수개의 1과 0이 연속적으로 조합되는 경우가 발생할 수 있는데, 자속 모델 (8)식에 따르면, 홀수개의 파워링 모드에 의하여 자속은 ϕ_B 만큼 증가 또는 감소하고, 후속되는 자유공진 모드에 의해서는 자속의 변화가 없다. 홀수개의 자유공진 모드 뒤에 나타나는 홀수개의 파워링 모드는 자속 수준을 동일한 추세로 증가 또는 감소 시키게 된다. 이러한 동작이 반복되면, 자속은 최대허용 수준을 초과하고, 그러면 변압기의 자화전류가 급속히 증가하여 스위칭 소자가 파손되는 등의 고장이 발생한다. 그러므

로, 자속 수준이 미리 정의된 안전 영역에 머물 수 있도록 제어입력이 인가되어야 한다.

위의 설명에서 논의의 단순화를 위해 코어 손실의 영향은 무시되었다. 실제로는, 만약 자속의 움직임에 저주파 성분이 있으면, 자기회로의 손실 때문에 자속 수준은 원점으로 느리게 수렴하게 된다. 그러나 수 개의 공진주기 동안에는 그 영향이 미미하므로 무시하기로 한다.

자속의 변화를 살펴보면, 동작모드의 배열은 자속의 경계치에 따라서 그림 5에 나타난 것처럼 다음의 4가지로 분류될 수 있다는 것을 알 수 있다:

- 1) 이중-모드 타입: 파워링 모드의 쌍 또는 자유공진 모드의 쌍이 연속적으로 나타나는 배열로서, 단독-모드는 허용되지 않는다. 이 경우에는 자속의 범위가 $-\phi_B < \phi < \phi_B$ 로 된다.
- 2) 이중-펄스 타입: 파워링 모드의 쌍만 나타나는 배열로서 파워링 모드가 단독으로는 허용되지 않는다. 자유공진 모드는 단독이든 쌍이든 상관없다. 이 경우의 자속의 범위는 $-1.5\phi_B \leq \phi \leq 1.5\phi_B$ 이다.
- 3) 이중-제로 타입: 자유공진 모드가 항상 쌍으로 나타나는 배열로서, 자유공진 모드가 단독으로는 허용되지 않는다. 파워링 모드는 단독이든 쌍이든 상관없다. 이 경우의 자속의 범위는 $-\phi_B < \phi < \phi_B$ 이다.
- 4) 단독-모드 타입: 파워링 모드 또는 자유공진 모드가 단독으로 나타날 수 있는 배열로서, 쌍이어도 상관없다. 이 경우에는, 자속의 범위에 제한이 없고, 경우에 따라서는 포화될 수도 있다. 그러므로 변압기 포화를 방지하는 별도의 장치가 마련되어야 한다.

위의 분석에 근거하면, 동작모드가 파워링 모드이건 자유공진 모드이건 짝수 개가 인가되도록 하면 자속은 일정 범위 안에 들게 된다는 것을 알 수 있다. 즉, 이중-모드, 이중-펄스, 이중-제로 타입 중의 한 가지 방식으로 제어입력을 제한하면 매우 간단하게 자속 포화 문제를 해결할 수 있다. 그런데, 파워링 모드 또는 자유공진 모드가 항상 두 번 연속 인가되므로 전류 리플이 증가한다. 부록A 참조. 만약 전류 리플이 문제가 되는 경우라면, 단독-모드 타입이 허용되어야 하는데, 이 경우에는 변압기 코어의 포화를 방지하기 위하여, 자속에 관한 정보를 바탕으로 제어입력을 제한해야 한다. 변압기 자속의 상태를 비교적 간단히 추정하는 방법은 변압기의 입력 전압을 적분하는 것이다. 이 방법은 정확하지는 않지만 과도상태에서 자속 수준이 포화영역에 드는가 아닌가를 판단하기 위한 용도로 사용하기에는 문제가 없다.

4. 적분기를 가진 델타변조기

유도성 부하특성을 갖는 시스템에서는 전류조절형 델타변

조(current-regulated delta modulator: CRDM)가 유용한 것으로 알려져 있다.¹⁴ 이산-펄스 제어 VSI는 (5)식의 모델에서 알 수 있듯이 유도성 부하특성을 나타내므로 CRDM의 응용을 고려할 수 있다. 이것은 비교적 간단하면서도, 뱅뱅 변조기(bang-bang modulator)의 큰 이득 때문에 빠르고 강인한 응답특성을 발휘한다.

그런데, 이산 펄스 제어 VSI와 같이 규칙적으로 샘플링되는 시스템에서는 저주파 오차 또는 옴세트가 나타난다. 이러한 옴세트의 크기는, 샘플링 시간, 출력 변수의 속도, 그리고 출력의 증가속도와 감소속도의 차이에 비례한다.¹⁵ 유도기열 시스템의 경우에는, 샘플링 시간, 즉, 공진 주파수는 설계자가 임의로 결정할 수 있는 것이 아니고 특정의 응용 목적에 따라서 결정되는 것이다. 출력 전류의 변화 속도 역시 조정되지 않는 것으로서, 제어 입력이 1인가 0인가에 따라서 결정된다. 그러므로, 옴세트를 보상하기 위한 제어 기법이 필요한데, 오차 적분기를 사용하는 방법을 자연스럽게 고려할 수 있다. 따라서, 적분기가 추가된 CRDM을 출력전류제어기로 사용한다.

오차 적분기를 가지는 제어기의 구조도는 그림 6과 같다. 각각의 반 공진주기(half resonant cycle)에서의 출력 전류의 크기가 검출되고 기준 신호와 비교되어 오차가 계산된다. PI 제어기의 출력은 뱅뱅 방식으로 변조되어 제어 명령이 결정된다. 이 제어명령은, 자속 포화를 방지하기 위한 자속 제어 단계를 거치면서, 실제 제어입력이 인버터에 인가된다. 인버터에서의 스위칭 작용은 영점통과 검출기와 동기를 맞추도록 하여 소프트 스위칭이 가능하도록 만든다.

가변구조시스템(Variable Structure System: VSS) 이론은 스위칭 시스템의 해석에 이용되는데, 준-슬라이딩 모드의 접근조건(reaching condition) 개념을 도입하여 적분기 이득 K_i 의 한계를 구한다. 제시된 제어기의 스위칭 조건 또는 준-슬라이딩 라인은 다음과 같다.

$$s(k) = I_c(k) + K_i z(k) \tag{9}$$

$$z(k+1) = z(k) + T I_c(k) \tag{10}$$

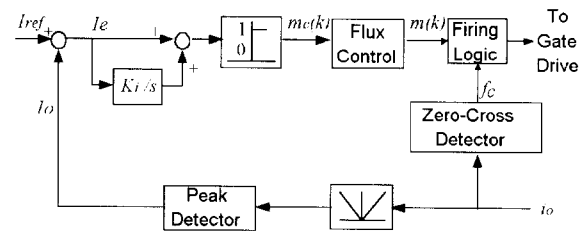


그림 6 제안된 제어기의 블록 다이어그램
Fig. 6 Block diagram of proposed controller

여기서, $I_c(k) = I_{ref} - I_o(k)$. 그리고, 뱅뱅-변조기는 다음과 같이 제어입력을 결정한다.

$$m(k+1) = \begin{cases} 0 & \text{if } s(k) < 0 \\ 1 & \text{if } s(k) > 0 \end{cases} \quad (11)$$

준-슬라이딩 모드가 유지되기 위해서는 다음의 존재조건 (existence condition)이 만족되어야 한다.

$$s(k)\{s(k+1) - s(k)\} < 0 \quad (12)$$

그러면, 오차의 변화는 $s(k) = 0$ 이라는 조건으로부터 결정된다.

$$I_c(k) = e^{-K_i k T} I_c(0) \quad (13)$$

즉, 오차는 지수함수적으로 감소하게 된다. 적분기 이득 K_i 가 클수록 오차 보상이 신속히 이루어지겠지만, 존재조건을 만족시키지 못할 정도로 큰 이득은 불안정한 응답을 나타낸다.

안정한 동작을 보장하는 적분기 이득 K_i 의 상한치는 (12)식의 존재조건으로부터 구할 수 있다. 이 식이 의미하는 것은, $s(k)$ 가 슬라이딩 라인, $s(k) = 0$,으로 움직여서 준-슬라이딩 모드가 존재하도록 제어입력이 결정되어야 한다는 것이다. 지금의 상황에서는, 제어입력이 이미 (11)과 같이 주어지므로, 존재조건이 만족되도록 K_i 의 범위를 구하면 된다. (5), (9), (10)식을 이용하여, $s(k)$ 의 변화를 다음과 같이 구할 수 있다.

$$\begin{aligned} s(k+1) - s(k) &= I_c(k+1) - I_c(k) \\ &+ K_i \{z(k+1) - z(k)\} \\ &= -\Delta I(k+1) + K_i T I_c(k) \end{aligned} \quad (14)$$

$s(k+1) - s(k) = 0$ 이 되도록 하는 K_i 를 먼저 구하면:

$$\begin{aligned} K_i &= \frac{\Delta I(k+1)}{T I_c(k)} \\ &= \frac{\pi}{2QT} \left\{ 1 + \frac{I_{max} u(k+1) - I_{ref}}{I_c(k)} \right\} \end{aligned} \quad (15)$$

여기서 (6)식과 $I_o(k) = I_{ref} - I_c(k)$ 을 이용하여 $\Delta I(k+1)$ 를 구하였다. 이 결과의 물리적 의미는, $s(k+1) = s(k)$ 가 되도록 하는 이득은, 샘플링 시간동안 적분된 오차가 등가제어 입력 $u(k+1)$ 에 의한 전류변화치와 동일하도록 만드는 값이라는 것이다.

$s(k) > 0$ 일 때 제어입력은 $m(k+1) = 1$ 이 선택되므로, $u(k+1)$ 이 취할 수 있는 값의 세트는 $\{1, 0.5\}$ 이다. 만약 $u(k+1)$ 이 1이면, K_i 의 경계치는 다음과 같다.

$$K_i < \frac{\pi}{2QT} \quad (16)$$

$s(k) < 0$ 일 때에는 $m(k+1) = 0$ 이 선택되고 $u(k+1)$ 는 $\{0, 0.5\}$ 이다. 만약 $u(k+1)$ 가 0이면, K_i 의 경계치는 (16)과 동일하게 된다

그런데 $u(k+1) = 0.5$ 의 경우에는, 만약 $s(k) < 0$ 이고 $I_o(k) < 0.5$ 이거나 또는 $s(k) > 0$ 이고 $I_o(k) > 0.5$ 이면, K_i 의 해가 존재하지 않는다. 즉, 어떠한 양수 K_i 에 대해서도 존재조건이 만족되지 않는다. 그 이유는 (7)식을 살펴보면 알 수 있다. $u(k+1)$ 가 1 또는 0인 경우에는 이에 따라 전류가 증가 또는 감소하지만, $u(k+1) = 0.5$ 이면 전류의 변화 방향은 출력 전류의 크기에 따라 다르게 된다. 예를 들어, $I_o > 0.5 I_{max}$ 이고 $I_c < 0$ 일 때, 제어 입력 $m(k) = 1$ 이 $m(k-1) = 0$ 의 직후에 나타나면 전류는 증가하지 않고 오히려 감소한다. 그렇게 되면, K_i 는 양수이므로 $s(k+1)$ 이 스위칭 라인으로부터 더욱 멀어진다. 이 경우에는, 전류 리플을 최소화하기 위하여, 다음 값인 $s(k+2)$ 가 스위칭 라인으로 접근하도록 다음의 존재조건을 만족시켜야 한다.

$$s(k)\{s(k+2) - s(k+1)\} < 0 \quad (17)$$

$m(k+2) = m(k+1)$ 이므로 $u(k+2)$ 가 취할 수 있는 값은 $\{1, 0\}$ 이 된다. 앞에서 설명한 절차를 그대로 적용하여 이득의 상한치를 구하면 (16)식과 동일한 결과를 얻게 된다. 즉, 적분기 이득의 상한치는 Q 값과 공진주기에 반비례한다는 것을 알 수 있다.

지금까지 설명한 방법은, 단독 동작모드에 의한 CRDM을 근거로 한 것으로서, 자속 포화 문제는 언급되지 않았다. 만약 자속포화를 방지하기 위한 방법으로서 이중 동작모드방식이 채택되면 적분기 이득의 한계치가 달라질 수 있을 것이다. 그런데, 앞에서 적용한 개념을 이용하면, (15)식에서 전류 변화와 샘플링 시간이 단독 동작모드의 경우에 비하여 2배로 되므로, 동일한 한계치가 구해진다는 점을 알 수 있다. 만약 자속감시에 의한 단독-모드 방식이 채택되는 경우에는, 제어 명령의 예측이 복잡하기 때문에 한계치를 구하는 과정이 매우 복잡하게 된다. 이 경우 또한 동일한 결과를 나타내므로 적분기의 설계를 위한 지침으로 활용될 수 있다.

5. 시뮬레이션과 실험

제안된 기법의 성능을 확인하기 위하여, 부하의 Q 가 25 인 유도가열 시스템에 대하여 시뮬레이션을 실시한다. 시뮬레이션에서는 (5)와 (8)식의 모델을 사용한다. 그림 7은 기준전류가 1.08 p.u.일 때의 출력전류와 변압기 자속의 정상상태

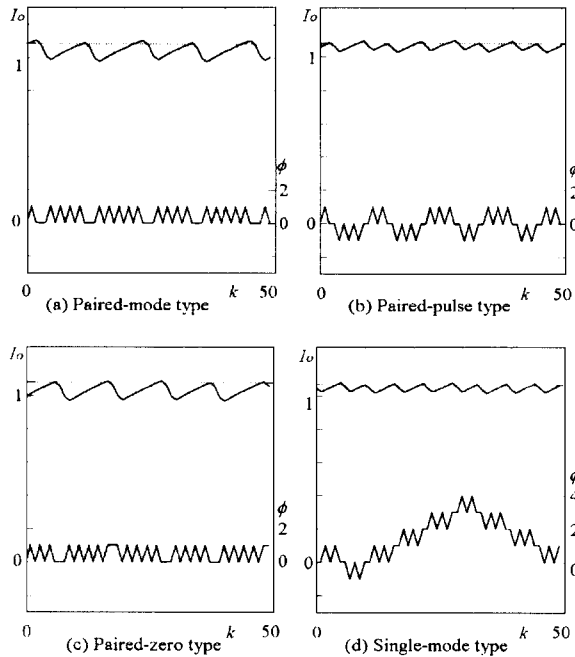


그림 7 4가지 타입의 동작모드에 의한 정상상태 출력전류 (위)와 변압기 자속 (아래)의 시뮬레이션 결과 (Q=25, Iref = 1.08p.u.)

Fig. 7 Simulation result of steady-state output current (upper trace) and transformer flux (lower trace) for 4 type of operation mode (Q=25, Iref=1.08p.u.)

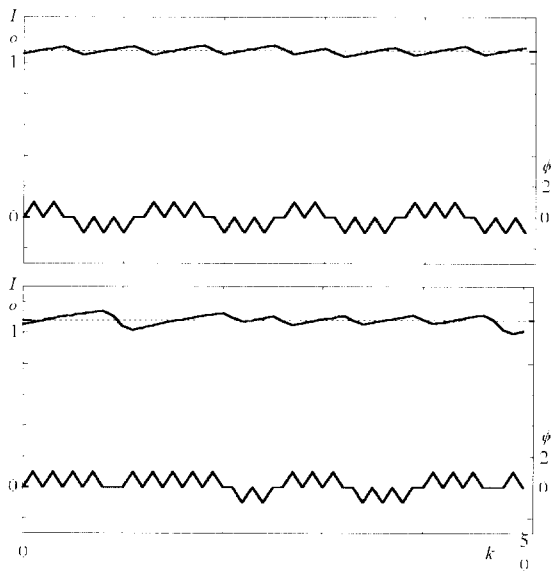


그림 8 적분기 이득의 영향 (위: Ki=0.05, 아래: Ki=0.30)

Fig. 8 Effect of integrator gain (Up: Ki=0.05, Bottom: Ki=0.30)

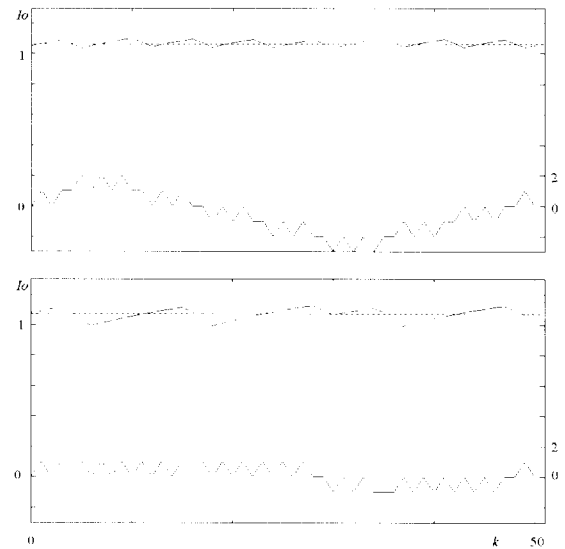


그림 9 자속 추정 방식의 단독-모드 동작
Fig. 9 Single-mode operation with flux estimation

응답으로서, 4가지 방식의 작동을 비교한다. 적분기 이득이 영이므로 모든 그래프에서 전류 옴셋트가 나타남을 알 수 있다. 단독-모드 방식에 의한 응답은, 리플 크기가 최소이지만 자속 수준이 매우 증가하여 최대허용수준을 초과함을 보여준다. 그 외의 방식에서는 자속 수준이 일정 범위 내로 유지되고 있음을 알 수 있다.

그림 8은, 이중 펄스 방식으로 자속을 제한할 때, 적분기 이득의 영향을 보여준다. (16)식으로 계산된 상한치는 0.063인데, 적분기 이득이 0.05 로서 상한치보다 작을 때, 리플 크기를 증가시키지 않으면서 옴셋트가 보상된다. 이득이 상한치보다 큰 0.3으로 조정되면, 예상대로 리플 크기가 증가된다.

자속감시에 의한 자속 제한의 영향을 그림 9에서 알 수 있다. 여기서 옴셋트 보상으로 적분기 이득은 0.05 가 사용되었다. 자속은 $-\phi_B \leq \phi \leq \phi_B$ 라는 특정 범위로 제한되지만, 전류 리플 크기는 그 때문에 증가한다는 것을 알 수 있다. 그러므로, 단독-모드 방식은 자속추정기를 사용함에 따라 전류 리플의 감소효과는 크지 않다고 판단된다. 따라서, 4가지 방식 중에서, 간단한 자속이 최소로 제한되면서도 전류리플이 최소화 되는 것은 이중-제로 방식이라고 할 수 있다.

실험실용 유도가열 시스템을 제작하여 실험하였다. 회로의 주요 파라미터는 다음과 같다: $V_{dc} = 140V$, $R_{eq} = 1.0\Omega$, $L_{eq} = 13.5\mu H$, $C_c = 0.5\mu F$, $a = 3$. 그리고 이 시스템의 특성치는 다음과 같이 계산된다: $f_r = 110\text{ KHz}$, $Q = 9.5$, $I_{max} = 19.8\text{ A}$, $P_{max} = 1.8\text{ KW}$. 기준전류가 11 A일 때의 실험 파형이 그림 10 이다. 이와 비교하기 위하여 $Q = 9.5$ 인 정규화 모델의 시뮬레이션 응답을 함께 나타내었다. 실험

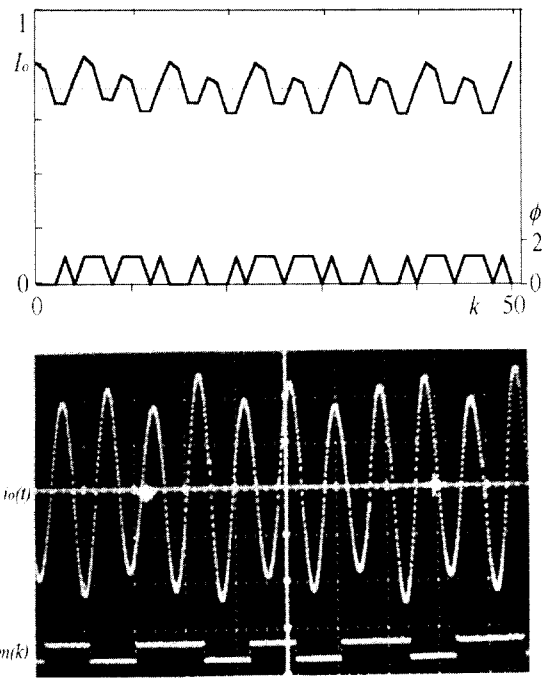


그림 10 실험파형과 시뮬레이션의 비교 ($Q=9.5, I_{ref}=11A$)
 위: 출력전류의 시뮬레이션 결과
 아래: 출력전류와 동작모드의 실험파형 (5A/div., 10us/div.)
 Fig. 10 Comparison of experimental waveform and simulation ($Q=9.5, I_{ref}=11A$)
 Up: Simulation of output current
 Bottom: Experimental waveform of output current and operation modes (5A/div., 10us/div.)

과 시뮬레이션에는 이중-제로 방식을 적용하였다. 실험파형에서 동작모드가 영전류 순간보다 다소 앞선 것은, 동작모드가 인가되기 전에 미리 결정되기 때문이다. 동작모드의 순서와 전류진폭의 움직임에 있어서 실험과 시뮬레이션이 거의 일치함을 보여준다. 따라서, 사용된 모델이, 유도가열 시스템에 사용되는 이산-펄스-변조 전압원 인버터의 해석과 설계를 위하여, 효과적으로 사용될 수 있음을 알 수 있다. 또한 오차 적분기를 가진 CRDM이 이러한 시스템에 적용될 수 있는 제어 기법임을 알 수 있다.

6. 결 론

변압기-결합 직렬공진 부하를 가진 이산-펄스-제어 전압원 인버터에 대하여, 동적 모델, 작동 특성 분석, 그리고 여러 가지의 제어 기법을 살펴보았다. 그리고, 실제 응용의 관점에서, 변압기 코어의 자속포화 가능성을 분석하고 이를 방지하기 위한 방법을 제안하였다.

전류조절형 델타 변조기(current regulated delta modulator; CRDM)에 오차 적분기를 추가함으로써, CRDM에 의해 나타나는 전류 오차를 제거할 수 있으므로 전류제어기의 성능이 개선될 수 있다. 준 슬라이딩 모드의 개념을 이용하여, 전류 리플의 크기를 증가시키지 않는 범위 내에서의 적분기 이득의 상한치를 구하였고, 이것은 샘플링 시간과 부하의 Quality factor Q 값에 반비례함을 보였다. 변압기 자속포화를 방지하는 기법으로서, 제어입력인 동작모드를 선택할 때, 자속의 최소화와 전류리플의 저감이라는 측면에서, 자유공진 모드가 짝수번씩 나타나는 이중-제로 방식이 가장 우수함을 알 수 있었다. 시뮬레이션과 실험을 통하여, 제안된 기법의 성능을 확인하였다. 이 기법은 정밀한 전류 제어에 효과적으로 사용될 것으로 생각된다. 결론적으로, 유도가열부하를 가진 고주파 전압원 인버터에 대하여, 적분기를 가진 CRDM이 유효하게 사용될 수 있고, 이 기법은 고주파 전원 장치에 효과적으로 활용될 수 있을 것으로 기대된다.

본 논문은 1998년도 금오공과대학교 학술연구비 지원에 의하여 연구되었음.

참 고 문 헌

- [1] P. Jain, F. P. Dawson, S. B. Dewan, "A Near-Zero Current-Switching Series Resonant Inverter Using GTO's", IEEE Tr. on Industrial Electronics, Vol.39, No.4 Aug. 1992, pp.351~358.
- [2] E. J. Dede, et al, "Design Considerations for Voltage-Fed Inverters with IGBT's working at 100kHz", IEEE APEC 1993, pp.679~685.
- [3] L. Grajales, J. A. Sabate, K. R. Wang, W. A. Tabisz, F. C. Lee, "Design of a 10kW, 500kHz Phase-Shift Controlled Series Resonant Inverter for Induction Heating", IEEE IAS 1993, pp.843~849.
- [4] M. H. Kheeraluwala, D. M. Divan, "Delta Modulation Strategies for resonant Link Inverters", IEEE Power Electronics Spec. Conf. Rec., 1987, pp.271~278.
- [5] P. K. Jain, S. B. Dewan, "Transient Flux Requirement of a matching Transformer in a Series Resonant Inverter", IEEE Tr. on Magnetics, Vol.MAG-23, No.5 Sep. 1987, pp.2782~2784.
- [6] J. H. Ko, S. S. Hong, T. Y. Ahn, and M. J. Youn, "Dynamic modelling and current control technique for quantum series resonant converter with non-periodic integral cycle mode", Int. Journal of

Electronics, 1991, pp.885~897.

- (7) A. I. Pressman, Switching Power Supply Design, McGraw-Hill, New York, 1991.
- (8) R. H. C. Takahashi, "On the Dynamic and Steady Errors in Sampled Data Quasi-Sliding Modes", IEEE Indus. Elect. Conf. Rec., 1991, pp.2107~2112.

부록-A: 이중 동작모드에 의한 동적 전류 모델

변압기 포화를 피할 수 있는 간단한 방법으로서, 3장에서 언급한 것처럼, 짝수개의 1과 짝수개의 0을 갖도록 하는 이산 펄스 제어 기법을 사용할 수 있다. 이러한 경우의 동적 전류 모델을 유도하고 특성을 분석한다.

단독 펄스 모드로 동작되는 DPC VSI에 대한 정규화 이산-시간 전류 모델은 (5)식과 같고, 부하의 Q 값이 10 보다 크다고 가정하면, 다음과 같이 요약된다.

$$\begin{aligned}
 I(k+1) &= AI(k) + Bu(k+1) \\
 A &= \exp\left(\frac{-\pi}{2Q}\right) \cong 1 - \frac{\pi}{2Q} \cong 1 \\
 B &= \frac{2}{Q} \exp\left(\frac{-\pi}{4Q}\right) \cong \frac{2}{Q} - \frac{\pi}{2Q^2} \cong \frac{2}{Q} \\
 u(k+1) &= \frac{m(k) + m(k+1)}{2}
 \end{aligned} \tag{A1}$$

위의 식으로부터,

$$\begin{aligned}
 I(k+2) &= AI(k+1) + Bu(k+2) \\
 &= A^2 I(k) + ABu(k+1) + Bu(k+2) \\
 &= A^2 I(k) + \frac{B}{2} \{Am(k) \\
 &\quad + (A+1)m(k+1) + m(k+2)\}
 \end{aligned} \tag{A2}$$

가 되고, 동일한 모드가 반복되므로 $m(k+1) + m(k+2)$ 을 적용하면,

$$I(k+2) = A^2 I(k) + B \frac{A_m(k) + (A+2)m(k+2)}{2} \tag{A3}$$

단, $k = 2j$, $j = 0, 1, 2, \dots$ 가 된다. 이 식을 다음과 같이 정리할 수 있다.

$$I_p(j+1) = A^2 I_p(j) + 2Bu_p(j+1) \tag{A4}$$

여기서,

$$u_p(j+1) = \frac{Am(j) + (A+2)m(j+1)}{4} \tag{A5}$$

등가 제어 입력 $u_p(j+1)$ 는 다음과 같은 값을 갖는다.

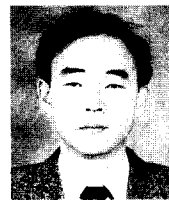
$$\begin{cases} 0 & \text{if } m(j) = 0 \text{ and } m(j+1) = 0 \\ \frac{A}{4} \cong 0.25 & \text{if } m(j) = 1 \text{ and } m(j+1) = 0 \\ \frac{A+2}{4} \cong 0.75 & \text{if } m(j) = 0 \text{ and } m(j+1) = 1 \\ \frac{A+1}{2} \cong 1 & \text{if } m(j) = 1 \text{ and } m(j+1) = 1 \end{cases} \tag{A6}$$

앞에서 유도된 모델 (A.4)로부터, 하나의 제어 주기 동안의 전류 변화분을 구하면 다음과 같다.

$$\begin{aligned}
 \Delta I_p(j+1) &\equiv I_p(j+1) - I_p(j) \\
 &= (A^2 - 1)I_p(j) + 2Bu_p(j+1) \\
 &\equiv \frac{-\pi}{Q} \left\{ I_p(j) - \frac{4}{\pi} u_p(j+1) \right\} \\
 &= \frac{-\pi}{Q} \left\{ I_p(j) - I_{\max} u_p(j+1) \right\}
 \end{aligned} \tag{A7}$$

여기에서의 제어 주기는 공진 주기, $2T$,에 해당하고, 반면에 단독 동작모드의 경우의 제어 주기는 공진 주기의 절반, T ,이다. 2장에서 설명한 방법으로 최대 전류를 계산하면 $4/\pi$ 가 되는데, 이는 단독 동작모드에서의 최대 전류치와 동일하다. (A.7)식의 전류 변화분의 크기를 살펴보면, 최대 변화분이 단독 동작모드의 경우에 비하여 2배 정도로 증가되었음을 알 수 있다.

< 저 자 소 개 >



안희욱(安熙旭)

1960년 2월 20일생. 1982년 서울대 공대 전기공학과 졸업. 1991년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1997년 한국과학기술원 전기 및 전자공학과 졸업(박사). 1982년~1998년 산업기술시험원 선임연구원. 1998년~현재 금오공과대학교 전자공학부 전임강사.



김학성(金鶴星)

1961년 1월 22일생. 1988년 금오공대 전자공학과 졸업. 1990년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1994년 한국과학기술원 전기 및 전자공학과 졸업(박사). 1994년~현재 금오공과대학교 전자공학부 조교수.