

인버터 출력파형 개선을 위한 새로운 휴지기간 최소화 알고리즘

論 文
48B-5-7

A Novel Dead Time Minimization Algorithm for improving the inverter output waveforms

韓潤錫* · 崔正秀* · 金榮石**

Yoon-seok Han, Jung-soo Choi, Young-seok Kim

Abstract - In this paper, a novel dead time minimization algorithm is proposed for improving the output waveform of an inverter. The adverse effects of the dead time are mainly described by the voltage drop and the distortion factor of waveforms. The principle of the proposed algorithm is organized with forbidding unnecessary firings of the inverter switches which are not conducted even though the gate signal is impressed. The proposed methods are explained with the conduction mode of output currents. The H/W and S/W implementation method of the proposed algorithm are also presented. The validity of the proposed algorithm is verified by comparing the simulation and experimental results with conventional methods. It can be concluded from the results that the proposed algorithm has the advantage which is able to reduce the harmonics in the output voltages and which the output voltage can nearly be equal to the reference value. Another advantage of the proposed method is the reduction of total numbers of switching so that the switching losses of inverter drives can be minimized.

Key Words : dead time, voltage drop, distortion factor, total numbers of switching, switching losses

1. 서 론

전력용 반도체 소자의 발달과 전력전자기술의 발전에 힘입어 고도의 정밀도를 요구하는 제어전원으로서 인버터의 사용이 증가하고 있으며, 이를 사용한 교류전동기의 가변속제어가 활발히 이루어지고 있다. 제어전원으로서 인버터는 가변주파수, 가변전압(VVVF) 발생을 위하여 교류전력을 직류로 변환한 이후에 직류링크전압을 변조법(Modulation Technique)에 의해 가변교류를 발생하는 장치이다. 변조기법은 직류전압을 효율적으로 사용하여 전력용 스위치소자의 온·오프에 의해 직류단의 에너지를 성형하여 출력하는 방법으로 삼각파 비교 방식, 스위칭횟수를 줄이는 방법, 특정 고조파를 제거하는 방법 등 다양한 연구가 진행되고 있다. 그 가운데에서 공간벡터 변조방식[1~3](Space Vector Pulse Width Modulation, 이하 SVPWM이라 함)은 고조파 발생량이 작고 직류전원을 91%이상 선형적으로 이용할 수 있는 등의 장점을 가지고 있어 이에 대한 연구가 주류를 이루고 있다. 최근에는 고압 대용량화를 위한 NPC(Neutral Point Clamped) Multi-Level VSI(Voltage Source Inverter)에 적용을 위한 공간벡터 변조기법도 활발히 연구되고 있다.

한편, 교류를 발생하기 위한 인버터는 직류에너지를 부하에 대해 정·부방향으로 인가하여야 하므로 스위치소자의

턴-오프 시간으로 인한 정군소자(Upper Leg)와 부군소자(Lower Leg) 사이의 단락방지를 위한 휴지기간(Dead Time)을 두고 있다. 각각의 휴지기간은 미소하나 출력되는 한주기 동안에 누적된 휴지기간은 부하로 인가되는 전압에 고조파를 포함하게 하고, 기본파 전압의 크기가 감소하여 원하는 크기의 전압을 발생할 수 없는 문제점이 지적되어 왔다. 이와 같은 휴지기간 사용에 대한 단점을 해결하기 위한 많은 선행연구가 있어왔다.

T. Sukegawa[5] 등은 샘플링 시간 동안의 휴지기간에 비례하는 직류링크 전압의 크기를 지령전압에 더하여 보상을 행하였으며, 문헌[6]에서는 발생전압의 크기뿐만 아니라 위상지연을 고려하여 인가 펄스 각각을 보상하도록 제안하였다. 문헌[7]에서는 인버터 휴지기간에 의한 지연과 스위칭소자의 턴-온시간(Turn-On Time)과 턴-오프시간(Turn-Off Time)에 의한 지연 및 스위칭소자의 전압강하분을 보상하는 방법을 제안한 바 있다. 선행연구들은 비교적 정확한 보상을 행하고 있으나, 프로세서의 부담을 가중시키는 단점이 있다. 또한 발생하는 개개의 펄스마다 보상하는 방법은 연산시간 때문에 캐리어 주파수 증가에 제한이 있게 된다.

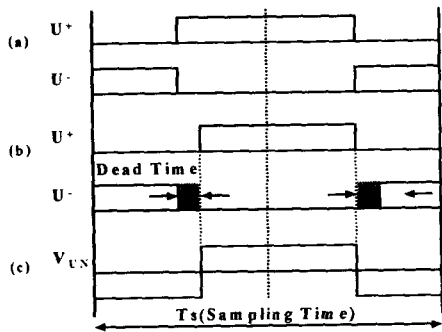
본 연구에서는 인버터 발생전압에 따라 부하에 흐르는 전류의 부호를 판별하여 펄스폭 변조시 휴지기간의 사용을 최소화하는 알고리즘을 제안한다. 그리고 인버터 휴지기간에 따라 발생하는 고조파량과 기본파 크기저하 문제에 대해 검토하고, 제안하는 알고리즘의 원리와 기존의 펄스폭 변조법들에 의해 만들어지는 게이트 구동 신호에 제안하는 알고리즘의 적용에 대해 설명한다. 제안하는 방법을 SVPWM과

* 正 會 員 : 仁 荷 大 電 氣 工 學 科 博 士 課 程

** 正 會 員 : 仁 荷 大 電 氣 工 學 科 教 授 · 工 博

接 受 日 字 : 1998年 11月 25日

最 終 完 了 : 1999年 3月 31日



(a) 이상적인 스위치 패턴
 (b) 휴지기간이 부가된 스위치 패턴
 (c) 신호(b)에 의해 발생한 U상 전압
 그림 1 인버터 게이트 구동 신호

(a) ideal gate drive signals
 (b) gate drive signals with dead time
 (c) impressed U phase voltage
 Fig. 1 Gate drive signals of an inverter lag

연계하여 구현한 인버터 출력결과와 기존의 휴지기간을 갖는 SVPWM 인버터의 결과 및 휴지기간 보상법에 의한 결과 각각에 대한 기본과 크기와 왜형율을 비교하고, 스위치 턴-온 횟수에 대한 고찰로 제안하는 알고리즘의 타당성을 검토하였다.

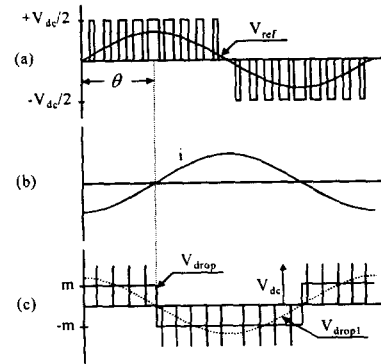
2. 인버터 휴지기간에 의한 영향

제어전원으로 사용되는 인버터 시스템은 직류단의 에너지를 성형하여 가변교류를 출력하는 장치이다. 파형변조법에 따라 발생하는 게이트 구동신호는 정군소자와 부군 소자의 단락방지를 위해 그림 1의 (b)와 같은 휴지기간을 삽입하여 스위치 소자의 게이트 구동 신호로 인가된다. 그림 1의 (a)에 대해 휴지기간의 삽입으로 게이트구동신호는 샘플링 구간의 중앙으로부터 벗어나게 된다. 문헌[4]에서 샘플링 시간의 중앙에 펄스패턴을 두어야 고조파발생을 저감할 수 있음이 고찰되었다. 그러나 휴지기간의 삽입으로 인해 게이트 인가 펄스가 지연되고, 이 지연은 고조파를 발생하게 된다. 게이트 인가 펄스 하나에 대한 고조파 발생과 발생전압의 크기 저하는 미소하나, 정현파 한주기 동안 누적된 휴지기간은 기본파의 크기를 감소시키고, 파형을 왜형시키는 단점을 가지고 있다. 그림 2는 인버터 출력과 휴지기간에 의한 전압강하의 관계를 나타내고 있다. 그림2-(a)에서 출력전압 지령에 대해 한 상에 인가되는 전압은 휴지기간의 영향으로 전류극성에 따라 그림 (c)의 펄스열로 표시된 전압강하를 갖게된다. 그림 (c)의 구형파로 표시된 반 주기 동안 누적된 전압강하분의 평균 크기(m)는 다음의 (1)식으로 표현할 수 있다.

$$m = \frac{p}{2} (t_{dead} \times V_{dc}) \times 2f_o = f_c \times t_{dead} \times V_{dc} \quad (1)$$

여기서 $p = \frac{f_c}{f_o}$: 한 주기 동안의 펄스 수

f_c 는 인버터의 캐리어 주파수



(a) 지령전압과 인가전압
 (b) 인버터 출력전류
 (c) 휴지기간에 의해 발생한 전압강하
 그림 2 인버터 출력과 휴지기간에 의한 전압강하 관계

(a) reference voltage and impressed voltage
 (b) inverter output current
 (c) voltage drop due to the dead times
 Fig. 2 Relationship between the dead time and the voltage drop

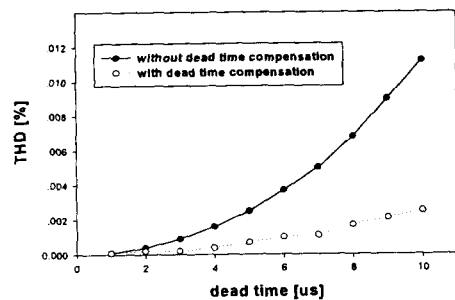
f_o 는 인버터 출력주파수

t_{dead} 는 인버터 휴지기간

V_{dc} 는 직류단의 전압 크기

그림에서 점선으로 표시된 구형파의 기본파분(V_{dropl})은

$$V_{dropl} = \frac{2\sqrt{2}}{\pi} m \quad (2)$$



(a) 휴지기간 보상법이 없는 인버터 출력의 왜형율
 (b) 휴지기간 보상법에 의한 인버터 출력의 왜형율
 그림 3 인버터 휴지시간에 따른 왜형율(THD)비교

(a) THD of the output current without dead time compensation
 (b) THD of the output current with dead time compensation

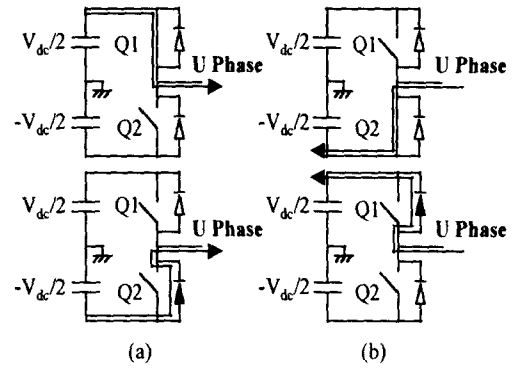
Fig. 3 Simulation result for THD of inverter currents according to variations of the dead time from 1µsec to 10µsec

이다. V_{drop} 은 출력주파수에 무관하나, 캐리어 주파수에 비례하고 부하역률각의 크기에 반비례함을 알 수 있다. 그림 3은 인버터의 캐리어 주파수(Carrier Frequency)를 5kHz, 모듈레이션 인덱스를 0.9로 하고, 휴지기간을 1μs부터 10μs까지 가변하여 삼각파 비교방식에 의해 발생된 전압의 왜형율을 검사한 시뮬레이션 결과이다. 그림 2-(a)에서 알 수 있듯이 휴지기간이 길어지면 고조파의 발생량이 증가하고, 출력파형의 왜형이 커짐을 알 수 있다. 그림(b)는 문헌[5]에서 제안된 휴지기간 보상법을 적용한 시뮬레이션 결과이다. 샘플링 시간에 대한 휴지기간의 비를 지령치 전압에 앞먹임(Feed-forward)시켜 보상을 행하므로 기본파분 크기가 증가하고 고조파 발생량은 줄어드나, 휴지기간의 크기에 따라 비례적으로 왜형이 발생함을 알 수 있다. 인버터 출력에 나타나는 고조파는 유도전동기와 같은 전기기기에 온도를 상승시키고 에너지 사용 효율을 저하하게 된다. 또한 지령전압에 비해 작은 전압이 발생하므로 고정도의 토오크제어를 위해 속도제어계에 보상기를 설치하여 인가전압의 크기를 보상해야 한다. 또한 일부의 속도센서없는 백터제어에서는 실측전압의 사용이 용이하지 않아 지령전압을 사용하고 있어 휴지기간에 의한 실제 인가전압과 지령전압의 위상 및 크기오차로 인하여 제어성능이 저하되는 문제점을 가지고 있다.

3. 휴지기간 최소화 알고리즘

인버터의 부하로 많이 사용되는 유도전동기는 유도성 부하이므로 작은 시간 동안은 전류가 연속적으로 흐르게 된다. 인버터의 부하가 유도성인 경우 샘플링 시간 내에서 전류의 방향이 바뀌지 않는다고 가정한다. 이 가정으로부터 스위치-온(Switched On) 신호에 대해서 턴-온 조건이 되지 않는 소자가 존재한다.

그림 4는 유도성 부하에 대한 인버터의 U상의 정군스위치(positive group of the switches)와 부군스위치(negative group of the switches) 소자 한 쌍을 등가적으로 나타내고 있다. 전원으로부터 전류가 부하로 흐를 때를 정방향으로 정의하였을 때 그림 4의 (a)는 정방향의 전류인 경우를 표시하고 있다. 그림 1의 (a)에 나타난 스위칭 패턴을 게이트 구동 신호(Gate Drive Signal)로 인가할 경우, 정방향의 전류가 연속적으로 흐르므로 U 신호에 의해 부군 스위치 소자인 자기 소호형 소자는 턴-온 조건이 형성되지 않고, 역병렬로 접속된 다이오드에 의해 부하측으로 환류된다. 따라서 턴-온되지 않는 소자에 대한 게이트 구동 신호 인가는 불필요하고, 그림 1의 (b)와 같은 휴지기간을 둘 필요가 없게 된다. 전류가 부방향으로 흐르는 경우인 그림 4의 (b)에 있어서도 같은 결과를 갖게 된다. 결국 같은 극성의 전류가 흐르는 동안에는 휴지기간을 둘 필요가 없으므로, 전류의 극성이 바뀌는 경우에만 휴지기간을 삽입하면 된다. 다음의 그림 5는 전류극성 변화에 대한 고려로써 단지 한번의 휴지기간을 삽입하는 방법을 나타낸다. i_{TH+} 와 i_{TH-} 는 각각 양의 문턱전류와 음의 문턱전류를 나타낸다. 그림에서와 같이 전류 i_U 가 i_{TH+} 보다 작게되는 경우 정군소자 선택신호(E_{UP})는 0으로 하고, 더 이상의 정군소자의 구동신호는 차단한다. 전류는 부하 시



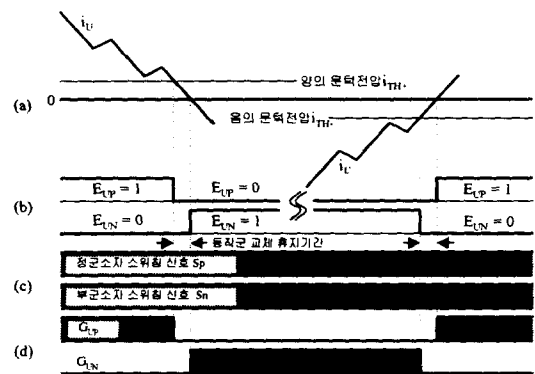
(a) U 상에 정방향 전류가 흐르는 경우
(b) U 상에 부방향 전류가 흐르는 경우
그림 4 PWM 인버터의 U상 등가회로와 전도모드

- (a) conduction modes with a positive current
- (b) conduction modes with a negative current

Fig. 4 Equivalent circuit of inverter U phase and its possible conduction modes

정수에 해당하는 감쇄율로 자연감소하게 되므로 전류가 0으로 된다. i_U 가 i_{TH+} 보다 작게되면 휴지기간을 삽입하고, 휴지기간 동안에 전류가 0에 해당되면 부군소자 선택신호(E_{UN})를 1로 교체하도록 동작군을 결정한다.

그림 5의 (c)는 기존의 펄스폭 변조방법에 의해 생성된 휴지기간 없는 이상적인 게이트 구동 신호이고, 이것과 (b) 신호의 단순 논리적으로 의해 스위치 소자에 인가되는 게이트 구



- (a) 정·부 문턱값과 전류극성 전환
- (b) 인버터 정·부군소자 선택신호
- (c) 기존의 PWM에 의한 이상적인 게이트 구동 신호
- (d) 제안하는 게이트 구동 신호

그림 5 전류극성 전환에서 휴지기간 처리

- (a) polarity change of currents and thresholds of the positive and negative current
- (b) selection signals of each devices in an inverter leg
- (c) ideal gate drive signals of the conventional PWM
- (d) the proposed gate drive signals

Fig. 5 A proposed method that inserts just one dead time during polarity change of the output current

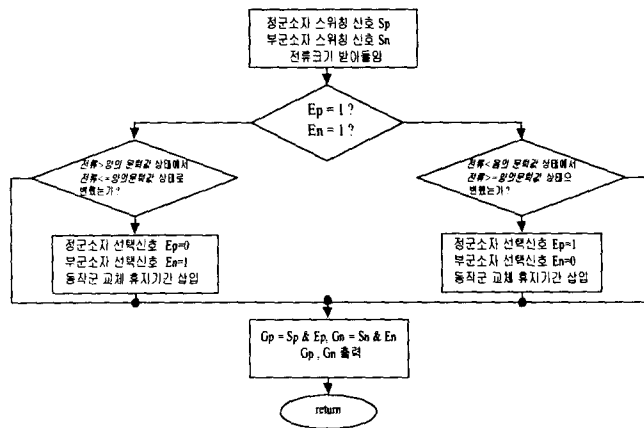


그림 6 그림5의 소프트웨어 구현시의 플로우 차트
Fig. 6 Software flowchart of the the method as shown in Fig. 5

동 신호를 만들어 낸다. 부방향에서 정방향으로 극성이 바뀌는 경우도 동일한 논리로 구성된다. 제안하는 방법은 전류극성 절환시에만 한번의 휴지기간을 삽입함으로써 휴지기간에 의한 기본파분 전압강하($V_{drop-one}$)는 다음의 식으로 쓸 수 있다.

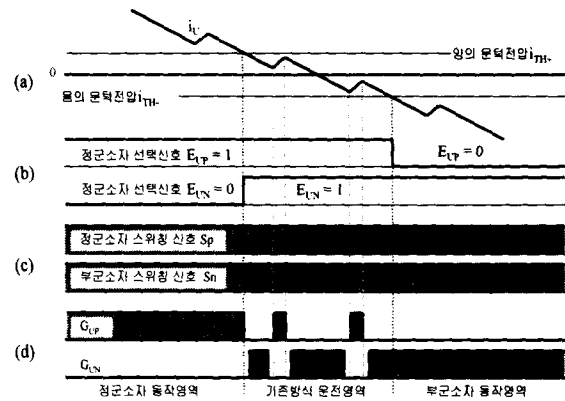
$$m_{one} = \frac{1}{2} (t_{dead} \times V_{dc}) \times 2f_o = f_o \times t_{dead} \times V_{dc} \quad (3)$$

$$V_{drop1-one} = \frac{2\sqrt{2}}{\pi} f_o t_{dead} V_{dc} \quad (4)$$

여기서, m_{one} 은 반주기 동안에 전압강하분의 평균크기이다.

앞 절에서 언급한 기존의 방법의 전압강하와 비교할 때, 제안하는 방법은 인버터 출력 주파수에 비례하고 부하역율각에 관계없이 저항강하가 일정하고 그 값은 매우 작음을 알 수 있다. 또한 제안하는 방법은 불필요한 게이트 구동을 금지함으로써 게이트 구동회수를 절반으로 감소할 수 있다. 그림 5에 나타난 방법은 인버터 출력전류가 크고, 전류가 연속인 유도성 부하에 대하여 원활히 동작한다.

그러나 유도성부하로 운전된다고 하더라도 경부하의 경우 출력전류는 진폭에 비해 인버터 스위칭에 의한 맥동이 심하고, 전류 불연속인 구간이 나타날 수 있다. 한편, 전류센서가 갖는 드리프트(drift)로 인해 전류 오프셋(off-set)문제를 야기하므로 그림 6과 같이 전류 극성절환시에 휴지기간 사용 대역폭을 두고서 운전하는 방법을 제안한다. 전류 i_U 가 i_{TH+} 보다 작고, i_{TH-} 보다 큰 경우에 정공소자 선택신호와 부공소자 선택신호를 모두 1로 하여 이 구간 동안은 기존의 게이트 구동 신호로 인버터를 운전한다. 전류가 휴지기간 사용 대역폭을 벗어나면 해당 동적군의 선택신호와 논리적으로 의해 만들어진 게이트 구동 신호를 인가하여 운전한다. 부방향에서 정방향으로 극성이 절환되는 경우에도 이와 같은 방법에 의해 처리하므로써 전류 불연속인 구간이나 전류의 크기가 미소한 경우에도 운전이 가능하게 된다. 휴지기간 사용 대역폭을 두고 운전하는 경우의 기본파분 전압강하($V_{drop1-band}$)는 식 (6)과 같다.



(a) 정·부 문턱값과 전류극성 절환
(b) 인버터 정·부공소자 선택신호
(c) 기존의 PWM에 의한 이상적인 게이트 구동 신호
(d) 제안하는 게이트 구동 신호

그림 7 전류극성 절환에서 휴지기간 처리

- (a) polarity change of currents and thresholds of the positive and negative current
- (b) selection signals of each devices in an inverter leg
- (c) ideal gate drive signals of the conventional PWM
- (d) the proposed gate drive signals

Fig. 7 A proposed method having a bandwidth during the polarity change of the current

$$m_{band} = \frac{1}{2} (f_c \times t_{band}) (t_{dead} \times V_{dc}) \times 2f_o = f_c \times f_o \times t_{band} \times t_{dead} \times V_{dc} \quad (5)$$

$$V_{drop1-band} = \frac{2\sqrt{2}}{\pi} f_c \times f_o \times t_{band} \times t_{dead} \times V_{dc} \quad (6)$$

여기서, t_{band} 는 휴지기간을 사용하는 대역폭 시간이다.

휴지기간 사용 대역폭을 샘플링 시간의 정수배로 설정한다면 식 (5)와 (6)은 다음과 같이 다시 쓸 수 있다.

$$m_{band} = k \times f_o \times t_{dead} \times V_{dc} \quad (7)$$

$$V_{drop1-band} = \frac{2\sqrt{2}}{\pi} k \times f_o \times t_{dead} \times V_{dc} \quad (8)$$

여기서, k 는 샘플링 시간의 정수배이다.

만일 그림 6과 같이 샘플링시간 3구간 동안 휴지기간 사용 대역폭을 설정하였다면, $V_{DC} = 311V$, $f_c = 5kHz$, $f_o = 60Hz$, $t_{dead} = 5\mu s$ 로 설정한 경우의 전압강하분은 0.25V가 된다. 이는 식(4)의 3배에 해당하는 값이고, 식(2)의 결과 6.99V와 비교할 때 휴지기간 사용 대역폭을 둔 경우도 정현파 한 주기에 대해서 전류극성 절환구간(t_{band})이 매우 작으므로 휴지기간에 의한 영향은 미소하고, 전체 게이트 구동회수를 감소할 수 있다. 그림 5와 그림 6에서 나타난 동작군 교체방법을 소프트웨어로 구현할 경우 플로우차트를 그림 7과 8에 각각 나타내었다. 제안하는 알고리즘은 매우 간단하므로 프로세서

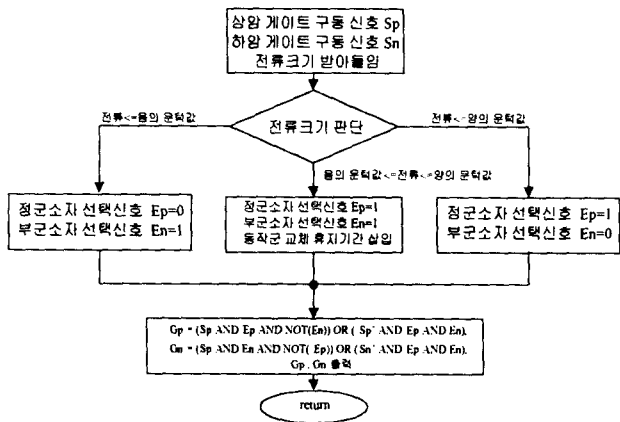
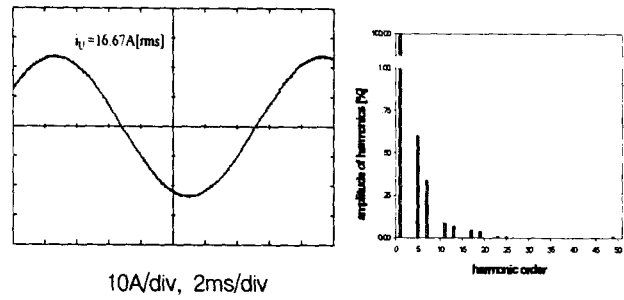


그림 8 그림 6의 소프트웨어 구현시의 플로우 차트
 Fig. 8 Software flowchart of the the method as shown in Fig. 6

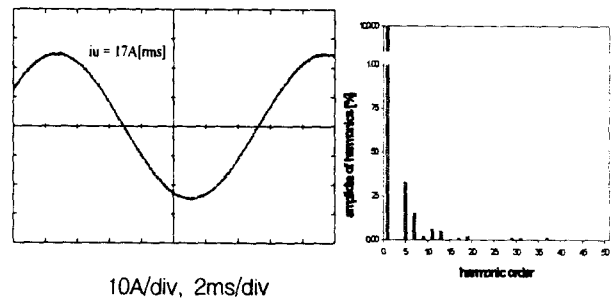
로 처리하면 기존의 방법보다 연산시간을 절약할 수 있다.

4. 시뮬레이션 결과

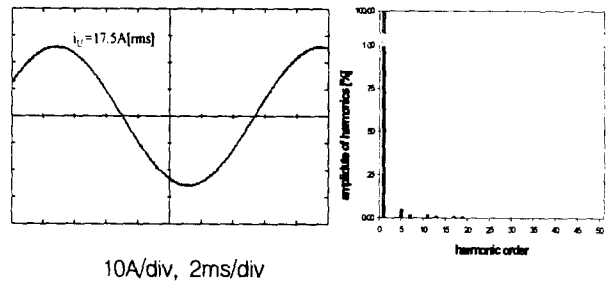
시뮬레이션은 10mH, 4Ω으로 구성된 R-L 수동부하를 Y결선 하였으며, 직류링크 전압을 341V, 인버터의 캐리어 주파수를 5kHz로 하여 전압을 발생하도록 하였다. 전압 발생양과 고조파양을 비교하는 것이 정확한 방법이나, 실험에서 전압의 정확한 측정은 매우 어렵고 전기기기에서 문제가 되는 것은 전류이므로 전압에 의해 일정한 역율을 갖는 수동부하에 흐르는 전류를 검사하여 비교하였다. 시뮬레이션에서는 이상적인 스위치 소자를 가정하여 휴지기간의 영향을 고찰하였다. 시뮬레이션은 휴지기간 5μs를 갖는 경우, 문헌[5]에서 제안된 휴지기간 보상법을 적용한 경우와 본 논문에서 제안하는 방법을 각각 수행하였다. 그림 9-(a)는 휴지기간 5μs를 갖는 인버터의 출력전류 파형과 고조파 분석 결과이다. 휴지기간의 영향으로 기본파분의 크기가 식(2)와 같이 감소하고 5, 7, 11차 고조파의 크기가 현저하게 발생함을 알 수 있다. (b)는 휴지기간 보상법을 적용한 인버터의 출력전류 및 고조파 분석 결과이다. (a)의 결과에 비해서 고조파 발생량도 감소하고, 기본파분의 크기가 증가함을 알 수 있다. 그림 9의 (c)는 제안하는 방법의 시뮬레이션 결과로 (a)와 (b)의 결과에 비해 고조파 발생이 매우 작으며, 인가된 기본파 전류의 크기가 가장 크게 발생됨을 알 수 있다. 그림 10은 모듈레이션 인덱스를 0.5에서 1까지 가변한 결과이다. (a)는 발생된 기본파분 전류의 크기이고 (b)는 왜형율을 나타낸다. 모듈레이션 인덱스의 증가에 따라 휴지기간을 갖는 경우와 휴지기간 보상법을 적용한 경우 모두 발생전류의 크기에 비해 고조파 발생량이 상대적으로 작아지므로 왜형율이 감소하고 있다. 그러나 제안하는 방법은 모듈레이션 인덱스에 관계없이 왜형율이 0에 가까운 미소한 값으로 나타남을 알 수 있다. 기본파분 크기에 있어서도 제안하는 방법에 의한 결과는 그 크기가 가장 크고, 모듈레이션 인덱스를 최대한 활용할 수 있게 된다. 그림 11은 부하의 크기를 같게 유지하면서 부하역율을 0.1에서



(a) 휴지기간 5μs를 갖는 인버터의 출력결과
 (a) Simulation results of the 5μsec dead time invetrer



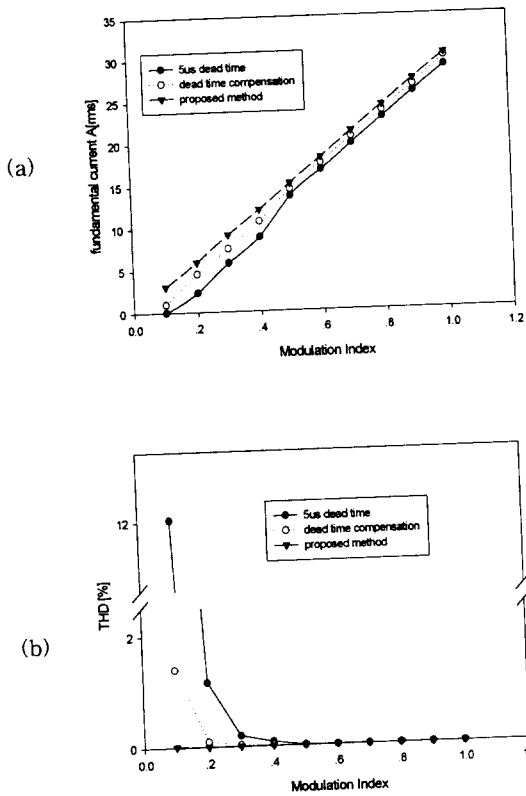
(b) 휴지기간 보상에 의한 인버터 출력결과
 (b) Simulation results of the dead time compensation



(c) 제안하는 방법에 의한 출력결과
 (c) Simulation results of the proposed method

그림 9 제안하는 방법과 기존의 방법의 시뮬레이션 결과
 Fig. 9 Simulation results of the proposed and the conventional methods

0.9로 변화할 때, 모듈레이션 인덱스를 0.5, 출력주파수를 10Hz에서 80Hz까지 변동한 경우 출력전류의 기본파분 변화에 대한 시뮬레이션 결과이다. 휴지기간을 갖는 경우와 휴지기간을 보상한 경우는 주파수 변화에 대해 기본파분 크기변화가 없음을 알 수 있다. 그러나 제안하는 방법은 (3)식에서와 같이 인버터 출력 주파수의 함수이므로 주파수 증가에 따라 기본파 성분 크기가 감소함을 알 수 있다. 부하역율 변화에 대해 휴지기간을 갖는 경우와 휴지기간을 보상한 경우는 2절에서 언급한 바와 같이 부하역율각에 반비례함을 알 수 있고, 제안하는 방법은 그 차가 소수점 두 번째 자리의 변화로 나타나므로 거의 일정하다고 볼 수 있다. 또한 기존의 방

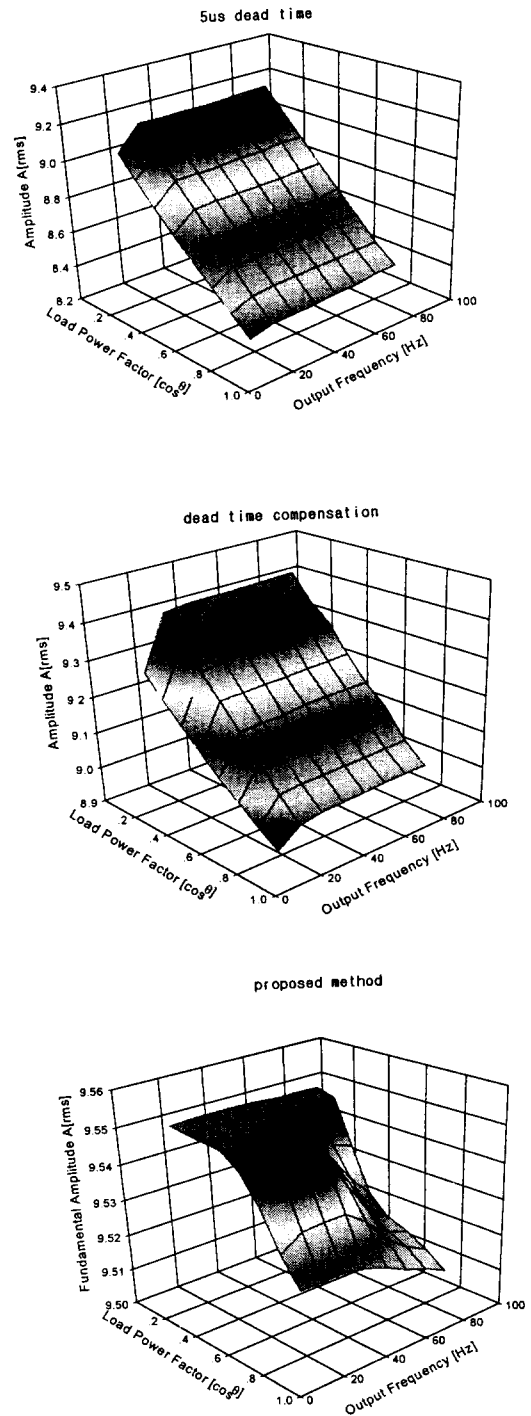


(a) 기본파 전류의 크기 변화
 (b) THD의 변화
 그림 10 모듈레이션 인덱스를 0.1에서 1까지
 가변한 시뮬레이션 결과
 (a) variations of the fundamental current
 (b) variations of THD
 Fig. 10 Simulation results when the modulation
 index is varied from 0.1 to 1

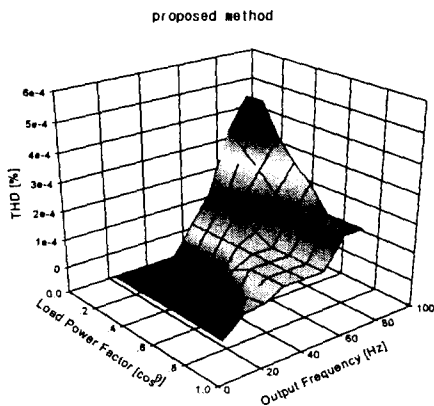
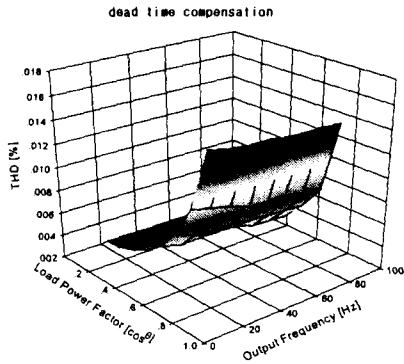
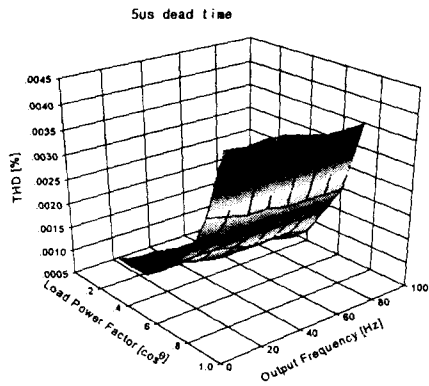
법의 출력전류 왜형은 그림 2에 나타난 바와 같이 부하 역을
 각 증가에 따라 감소하고, 출력주파수 변화에 무관함을 알 수
 있다. 제안하는 방법의 왜형율은 식 (4)와 (6)으로부터 알 수
 있듯이 출력주파수에 따라, 역율감소에 따라 증가하나 기존의
 방법과 비교하면 변화가 거의 없음을 알 수 있다.

5. 실험결과

그림 12에 실험에 사용한 인버터 시스템의 구성도를 나타
 내었다. SVPWM의 연산에 소요되는 소프트웨어 처리시간에
 의한 오차를 줄이고자 연산속도가 빠른 DSP소자를 사용하였
 으며, 게이트 인가 신호는 SVPWM을 위한 전용소자
 (ADMC201)를 사용하여 구현하였다. 그림 9에서 전류부호 판
 별회로는 하드웨어로 구현하여 시간지연을 단축하였다. 게이
 트 구동부 및 보호회로는 40kHz까지 구동가능한 게이트 드
 라이버(EXB841)를 사용하였으며, 1200V, 75A급의 IGBT를



(a) 기본파 전류의 크기 변화
 (a) variation of the fundamental current
 그림 11-(a) 부하역율각과 출력주파수를 가변한 시뮬레이션
 결과
 Fig. 11-(a) Simulation results when the load power factors
 and the output frequencies are varied



(b) THD의 변화
(b) variation of THD

그림 11-(b) 부하역률각과 출력주파수를 가변한 시뮬레이션 결과
Fig. 11-(b) Simulation results when the load power factors and the output frequencies are varied

사용하여 인버터를 구성하였다. 실험은 9.55mH, 4Ω으로 구성된 R-L 수동부하를 Y결선하였으며, 직류링크 전압을 314V,

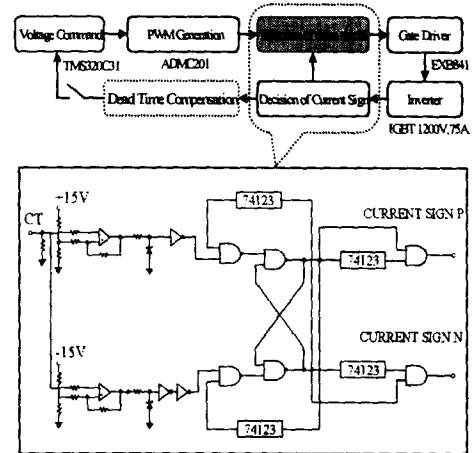


그림 12 시스템 구성 및 그림 5에서 제안한 알고리즘의 H/W구성

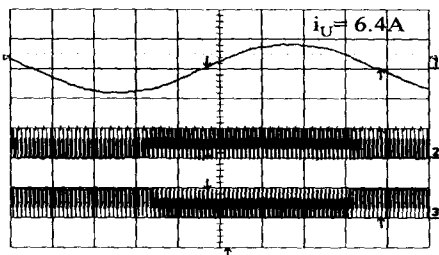
Fig. 12 System configuration and H/W realization of the proposed method as shown in fig. 5

인버터의 캐리어 주파수를 5kHz로 하고, SVPWM을 이용하여 전압을 발생하도록 하였다. 시뮬레이션에서와 같이 휴지기간 5μs를 갖는 경우, 휴지기간 보상법을 적용한 경우와 그림 4에서 제안한 방법을 각각 수행하였다. 제안하는 방법은 그림 12의 점선으로 표시된 H/W로 구성하였다. 그림 13의 (a)는 휴지기간 5μs를 갖는 인버터의 출력전류 파형과 게이트 구동 신호 및 고조파 분석 결과를 나타낸다. 휴지기간의 영향으로 5, 7, 11차 고조파의 크기가 크며 부하에 흐르는 기본과분 전류가 6.4A[rms]로 작음을 알 수 있다. (b)는 시뮬레이션에서 사용한 것과 동일한 휴지기간 보상법을 적용하여 실험한 결과이다. 전류 기본과분 크기는 6.9A[rms]로 증가되거나 휴지기간에 의한 지연으로 고조파가 발생하여 전류에 왜형율은 크게 개선되지 않음을 알 수 있다. (c)는 제안하는 방법의 실험결과이다. 기본과분의 크기는 7.2A[rms]로 (a)와 (b)에 비해 크고, 고조파 발생량도 저감하여 왜형율이 개선됨을 알 수 있다. 앞서 기술한 것과 같이 제안하는 방법의 실제 인가되는 게이트 구동 신호는 정군과 부군으로 나누어 인가되었다. 따라서 스위치 인가횟수는 기존 방식에 비해 절반으로 줄어 들고 게이트 스위칭 손실을 저감할 수 있다.

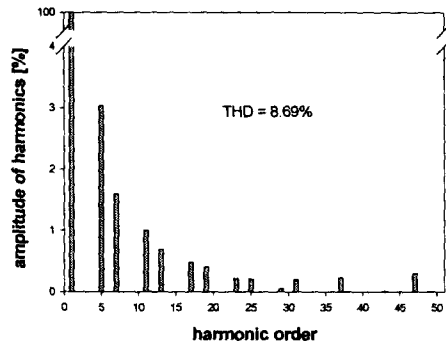
6. 결론 및 고찰

본 논문에서는 인버터 동작원리에 의해 불필요한 스위치 구동을 방지하여 휴지기간의 삽입을 최소화하는 새로운 휴지기간 최소화 알고리즘을 제안하였다. 제안하는 방법에 의해 발생하는 전압은 지령치 전압에 대해 크기의 감소없이 출력되고, 고조파발생에 의한 왜형율도 현저하게 줄어들음을 실험에 의해 확인하였다. 제안하는 알고리즘의 장점은 다음과 같다.

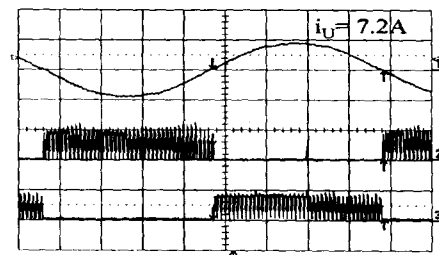
- 1) 제안하는 방법은 브리지 형태로 구성되고, 자기소호형 소



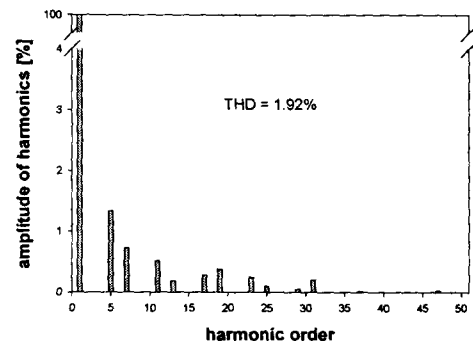
10A/div, 2ms/div



(a) 휴지기간 5 μ s를 갖는 인버터의 출력결과
(a) Simulation results of the 5 μ sec dead time inverter



10A/div, 2ms/div



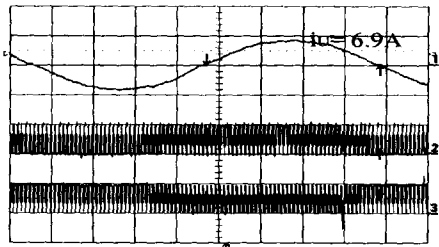
(c) 제안하는 방법에 의한 출력결과
(c) Simulation results of the proposed method

그림 9 제안하는 방법과 기존의 방법의 시뮬레이션 결과
Fig. 9 Simulation results of the proposed and the conventional methods

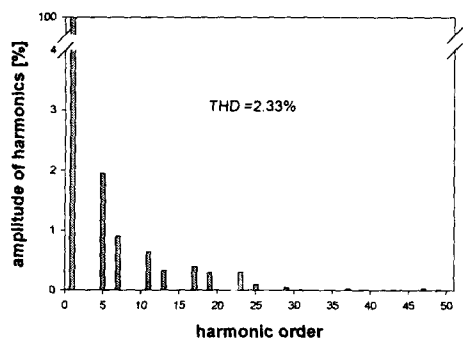
자를 사용한 인버터 및 컨버터에 대하여 모두 적용이 가능하며, 기존의 모든 펄스폭 변조 방식에 대해 적용할 수 있다.

- 2) 휴지기간을 거의 두지 않으므로 실제 모듈레이션 인덱스를 1까지 사용할 수 있다.
- 3) 기존의 휴지기간에 해당하는 만큼 인버터 스위칭 주파수를 증가할 수 있어, 출력전류의 파형을 개선하여 전류리플을 저감할 수 있다.
- 4) 별도의 휴지기간 보상법을 사용하지 않아도 원하는 크기의 출력을 얻을 수 있다.
- 5) 불필요한 스위치 구동을 방지함으로써 스위치 구동용 전원을 절약할 수 있다.
- 6) 휴지기간의 사용을 최소화함으로써 별도의 휴지기간 보상법을 사용하지 않아도 인버터 출력을 개선할 수 있다.
- 7) 구성 알고리즘의 논리가 간단하여 S/W, H/W로 간단히 구현할 수 있다.

특히, GTO소자로 구성된 대용량 인버터와 같이 스위치소자의 온, 오프 시간이 길어 휴지기간이 크고, 게이트 구동 전력의 소모가 많은 경우에 본 방법을 적용하여 인버터 출력의 개선 및 게이트 구동 전원을 절약할 수 있을 것으로 예상된다. 추후 연구과제로 스위칭 소자의 턴-온 시간 지연과 턴-온 상태에서 전압강하를 고려한 알고리즘과 연계하여 보다 향상된 결과를 얻는 것이다.



10A/div, 2ms/div



(b) 휴지기간 보상에 의한 인버터 출력결과
(b) Simulation results of the dead time compensation

참 고 문 헌

- [1] V. R. Stefanovic, "Space-Vector PWM Voltage Control with Optimized Switching Strategy", IEEE-IAS Ann. Meeting, Vol.1, pp. 1025~1033, 1992.
- [2] J. Holtz, "Pulsewidth Modulation-A Survey", IEEE PESC Conf. Rec.,pp.11~18, 1992.
- [3] Heinz van der Broeck,"Analysis of the Harmonics in Voltage Fed Inverter Drives Caused by PWM Schemes with Discontinuous Switching Operation",EPE Confer. Rec.3, pp.261~266, 1991.
- [4] H.W. Van der Broeck, "Analysis and Realization of a Pulse Width Modulator Based on Voltage Space Vectors", IEEE Trans. on Ind. App. vol. IA-24, no.1, pp. 142~150, 1988.
- [5] Takashi Sugegawa, Kenzo Kamiyama, Katsuhiro Mizuno, Takyuki Matsui, Toshiaki Okuyama,"Fully Digital Vector-Controlled PWM VSI-Fed ac Drives with an Inverter Dead-Time Compensation Strategy, IEEE Trans. I.A.,Vol 27, No 3,pp. 552~559, May, 1991
- [6] David Leggate, Russel J. Kerman, "Pulse Based Dead Time compensator for PWM Voltage Inverters", IEEE-IECON Conf. Rec. Vol.1, pp.474~481, 1995.
- [7] 최중우, 설승기,"새로운 데드타임보상법을 이용한 인버터 출력전압의 합성", 대한전기학회 논문집, 제44권, 제4호, pp.453~459, 1995.

본 논문은 기초공학공동연구소의 중기과제(98-중기-03)로 수행되었습니다.

저 자 소 개



한 윤 석 (韓潤錫)
 1972년 8월 5일생. 1995년 인하대 공대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정

Tel : (032) 860-7397
 E-mail : g9731488@inhavision.inha.ac.kr



최 정 수 (崔正秀)
 1965년 10월 7일생. 1992년 인하대 공대 전기공학과 졸업. 1994년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정

Tel : (032) 860-7397
 E-mail : jschoi@inhavision.inha.ac.kr



김 영 석 (金榮石)
 1951년 6월 11일생. 1997년 인하대 공대 전기공학과 졸업. 1987년 일본 나고야대 대학원 전기공학과 졸업(공학박사). 1987년~1989년 한국전기연구소 선임연구원 실장. 현재 인하대 공대 전기공학과 교수

Tel : (032) 860-7397
 E-mail : Youngseok.kim@inha.ac.kr