論 文
48C-12-2

Buried Channel 4단자 Poly-Si TFTs 제작

The Fabrication of Four-Terminal Poly-Si TFTs with Buried Channel

鄭 湘 勳* · 朴 喆 民** · 柳 俊 錫** · 崔 炯 培* · 韓 民 九***
(Sang-Hoon Jung · Cheol-Min Park · Juhn-Suk Yoo · Hyoung-Bae Choi · Min-Koo Han)

Abstract - Poly-Si TFTs(polycrystalline silicon thin film transistors) fabricated on a low cost glass substrate have attracted a considerable amount of attention for pixel elements and peripheral driving circuits in AMLCD(active matrix liquid crystal display). In order to apply poly-Si TFTs for high resolution AMLCD, a high operating frequency and reliable circuit performances are desired. A new poly-Si TFT with CLBT(counter doped lateral body terminal) is proposed and fabricated to suppress kink effects and to improve the device stability. And this proposed device with BC(buried channel) is fabricated to increase ON-current and operating frequency. Although the troublesome LDD structure is not used in the proposed device, a low OFF-current is successfully obtained by removing the minority carrier through the CLBT. We have measured the dynamic properties of the poly-Si TFT device and its circuit. The reliability of the TFTs and their circuits after AC stress are also discussed in our paper. Our experimental results show that the BC enables the device to have high mobility and switching frequency (33MHz at V_{DD} = 15 V). The minority carrier elimination of the CLBT suppresses kink effects and makes for superb dynamic reliability of the CMOS circuit. We have analyzed the mechanism in order to see why the ring oscillators do not operate by analyzing AC stressed device characteristics.

Key Words : BC, LBT, four-terminal, poly-Si, TFT

1. 서 론

다결정 실리콘 박막 트랜지스터는 대면적 전자회로의 기본 소자로서 응용 가능성을 가져 현재 많은 연구가 진행되고 있다. 특히 AMLCD같은 분야에서는 대면적의 유리 기판 위에 화소 배열을 구동하는 주변 회로를 집적시킴으로써 디스플레이 패널과 주변 제어 회로사이의 인터페이스를 간결하게 하고 전체 시스템 비용을 줄일 수 있다. 다결정 실리콘 박막 트랜지스터를 주변 구동회로의 기본 소자로 이용하기 위해서는 여러 가지 조건하에서 소자 동작의 안정성이 보장되어야 하며 회로의 오동작을 야기하는 Kink 현상이 억제되어야 한다[1][2][3]. 뿐만 아니라 대면적 고해상도의 디스플레이를 목표로 하기 위해서는 소자가 높은 전류구동 능력을 가지며 빠른 동작 주파수를 가져야 한다[4].

본 논문에서는 기존의 3-단자 top-gate 구조의 다결정 실리콘 박막 트랜지스터에서 채널 단자를 추가로 가지는 구조의 소자를 제작하여 전기적 특성을 비교하였으며, 이 구조의 소자를 이용하여 구동회로의 테스트 회로로 간단한 23-단 ring-oscillator를 제작하여 동작 주파수를 비교하였다. 소자 동작의 안정성을 조사하기 위해 3단자로 구성한 ring-oscillator와 4단자로 구성한 ring-oscillator회로의 동작 시간에 따른 동작 주파수 변화 추이를 관찰하였다. 이러한 ring-oscillator회로의 동작 특성에 대한 분석을 위해 단위 소자에 가상적인 인버터 동작 조건을 게이트와 드레인 사이에 약간의 중첩을 두고 오랜 시간 동안 인가하여 3단자 소자와 4단자 소자의 전기적 특성 변화를 관찰 비교하였다. 또한 소자의 스위칭 동작에서 반송자의 동적인 행동을 조사하기 위해 시뮬레이터를 이용한 분석을 수행하였다.

* 準 會 員 : 서울大 電氣工學部 碩士課程
** 正 會 員 : 서울大 電氣工學部 博士課程
*** 正 會 員 : 서울大 電氣工學部 敎授 · 工博
接受日字 : 1999年 4月 6日
最終完了 : 1999年 11月 11日

2. Buried channel 4단자 poly-Si TFT 제작

다결정 실리콘 박막 트랜지스터를 구동회로에 응용하기 위해 채널 단자를 추가로 가지는 4단자 BC소자를 제작하였다. 그림 1은 채널 단자를 갖는 제안된 다결정 박막 트랜지스터의 대략적인 구조를 보여주고 있는데, top-gate 구조의 소자와 유사하며 활성층막을 패턴할 때 채널 측면을 그림과 같이 남기고 패턴한 뒤, 이 채널 측면 쪽을 소스-드레인과 반대로 불순물을 주입한다. 그리고 채널 측면 쪽에 추가의 단자를 만들어 4단자 구조를 가지게 하였다. 또한 제안된 구조의 소자는 채널 아래 부분에 소스-드레인과 같은 type으로 저 농도로 도핑된 buried channel을 갖는다.

이러한 구조를 갖는 다결정 박막 트랜지스터의 n-type에

대한 공정 순서는 다음과 같다. 먼저 유리 기판 위에 500 Å 두께의 a-Si 박막을 PECVD 장치로 300 ℃에서 증착한 뒤 측면을 남겨둔 형태로 그림 1과 같이 a-Si 막을 패턴하였다. 측면 채널 단자에 p-type으로 도핑하기 위해 5×10^{12} cm^{-2}, 35 KeV의 조건에서 BF^{2+}를 이온 주입하였다. 그리고 buried channel 을 형성하기 위해 이온 주입막으로 TEOS막을 희생층으로 증착하여 1×10^{13} cm^{-2}, 70 KeV 조건에서 As^{+} 이온을 주입하였다. 다음으로 buried channel을 위해 주입된 이온의 활성화와 활성층의 재결정화를 위해 ELA(엑시머 레이저 어닐링)를 수행하였다. 마지막으로 소스-드레인 형성을 위해 n-type으로 도핑하였으며 채널 측면 단자 형성을 위해 p-type으로 도핑하였다.

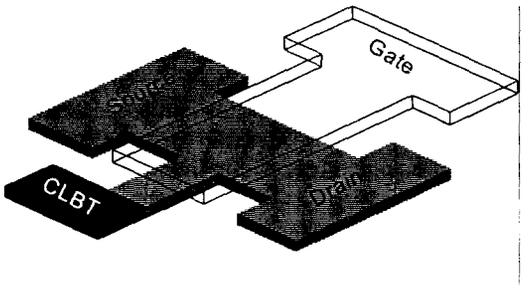


그림 1 Buried channel과 채널 측면 기판 단자를 갖는 4단자 poly-Si TFT의 구조

Fig. 1 The structure of TFTs with lateral body terminal and buried channel

제안된 구조의 소자는 n-type의 경우 n^{-} buried channel, p^{+} lateral body terminal 을 가지며 p-type 소자의 경우 p^{-} buried channel, n^{+} lateral body terminal 을 갖는다. 이러한 레이저 재결정화를 이용한 4단자 다결정 실리콘 박막 트랜지스터의 구동 회로 응용 가능성 조사를 위해 테스트 회로로 ring-oscillator 회로를 같은 유리 기판 위에 이 소자들을 이용하여 제작하였으며, 비교를 위해 기존의 3단자 소자를 갖는 top-gate 구조의 소자와 회로도 함께 제작하였다.

3. 제작된 소자의 전달 특성과 출력 특성 비교

제안된 소자의 전기적 특성을 조사하기 위해 제안된 4단자 buried channel poly-Si TFT와 기존의 3단자 poly-Si TFT의 I_D-V_G 전달 특성 곡선과 I_D-V_G 출력 특성 곡선을 관찰하였다. 그림 2는 기존의 3단자 소자와 제안된 4단자 buried channel 소자의 전달 특성 곡선을 비교하여 보여주고 있는데, 4단자 소자의 측정에서는 측면 채널 단자를 소스와 단락시켜 소스 쪽 단자와 같은 전위를 유지하도록 하였다. 그림에서 알 수 있듯이 제안된 소자가 기존의 3단자 소자에 비해 ON-전류도 높으며 문턱 전압 전 특성도 훨씬 우수하다. 이것은 채널 아래 부분에 저 농도로 미리 도핑한 buried channel 이 게이트 절연막과 채널 사이에서 반송자의 계면 산란을 억제하여 표면 효과를 줄이기 때문으로 설명할 수 있다[5]. 문턱 전압 전 전류는 거의 채널 표면을 따라 흐르는데 계면 산란 효과의 억제는 문턱 전압 이전 특성을 향상시킨다. 또한 채널이 완전히 형성된 강반전 상태에서는 buried channel 이 반송자 이동을 좋게 하여 높은 ON-전류가 흐르게 한다. 구동 회로에서 단위 소자의 높은 ON-전류는 다음 단의 전류 구동 능력을 좋게 하며, 좋은 전 문턱 전압 특성은 소자 자체의 스위칭 속도를 향상시켜 전체 회로의 동작 속도가 향상된다.

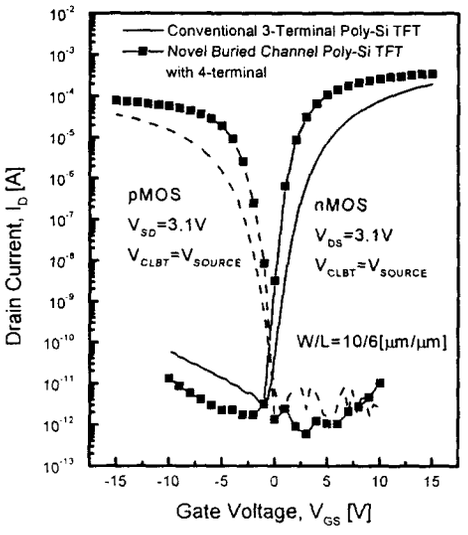


그림 2 3단자 소자와 제안된 buried channel를 이용한 4단자 소자의 전달 특성 비교

Fig. 2 The transfer characteristics of conventional and the proposed TFTs

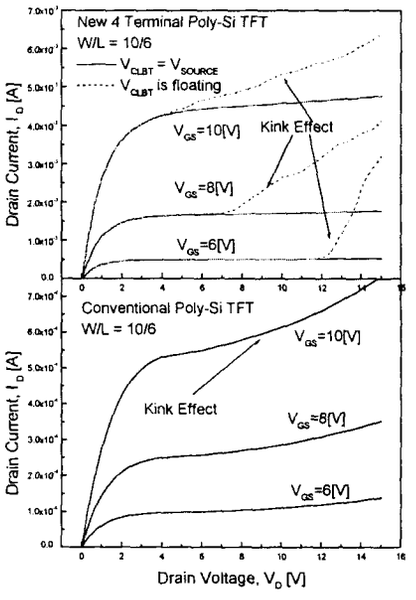


그림 3 3단자 소자와 제안된 buried channel 4단자 소자의 출력 특성 비교

Fig. 3 The output characteristics of conventional and the proposed TFTs

그림 3은 제작된 소자의 n-type poly-Si TFT에 대해 I_D-V_G 출력 특성 곡선을 비교하여 보여주고 있다. 구동 회로 소자에서 ON-특성을 보여주는 출력 특성은 매우 중요하

다. 전계 효과 이동도도 커야 하며 같은 게이트 전압에 대해서 높은 드레인 전류를 가지는 것도 중요하지만 회로의 단위 소자로 이용하기 위해서는 출력 전압(드레인 전압)이 변할 때 출력 전류(드레인 전류)의 변화가 없는것 즉, 무한대의 출력 저항을 갖는 것이 이상적이다[6]. 그림 3의 출력 특성 곡선을 보면 3단자 소자의 경우 드레인 전압에 따라 드레인 전류가 증가하는 포화 영역을 볼 수 있으며 드레인 전류가 갑자기 증가하는 Kink 현상도 보인다. 이는 단결정 실리콘 트랜지스터에서 나타나는 드레인 전압이 증가함에 따라 유효 채널 길이가 줄어들기 때문이라고 볼 수도 있으나 채널 길이 자체가 길기 때문에 이 영향은 거의 없다고 볼 수 있다. Poly-Si TFTs에서는 ON-상태에서 드레인 접합 부근에서 생성된 전자-전공이 박막내의 많은 포획 상태를 따라 이동하여 정상적인 채널 전류에 더해진다. n-type 소자의 경우 드레인 공핍영역 부근에서 강한 전계에 의해 전자-정공 쌍이 생성되는데 전자는 드레인 쪽으로 끌려가고 정공의 경우는 일부는 트랩을 타고 소스 쪽으로 흘러가고 일부는 전위가 상대적으로 낮은 채널 아래쪽으로 이동하여 축적된다[7]. 이렇게 축적된 정공은 채널 아래쪽의 전위를 높여 소스와 채널 아래쪽사이 접합에 순방향 전위를 형성한다. 이 전위가 어느 값 이상을 넘으면 소스에서 채널 아래쪽을 통해 드레인 쪽으로 반송자가 이동하여 전류가 갑자기 증가하는 Kink 현상이 생긴다[1].

4단자 buried channel 소자의 출력 특성 측정에서 채널 측면 단자를 소스 쪽과 단락 시켰을 때와 부동시켰을 때를 관찰하였다. 측면 기판 단자를 부동시켰을 때는 드레인 전압이 어느 값을 넘으면 드레인 전류가 갑자기 증가하는 Kink 현상이 확연히 나타난다. 이는 드레인 쪽에서 생성된 정공이 p-type으로 도핑된 채널 측면 단자 쪽으로 축적되다가 채널 측면 쪽 접합 사이의 전위를 변화시켜 어느 값 이상이 되면 이 접합을 통한 반송자 주입이 드레인 전류를 배가시키기 때문이다. 반면 측면 채널 단자를 소스 쪽과 단락시켜 전위를 가장 낮은 값으로 유지시킨 경우는 그림 4에서 보듯이 드레인 전류가 거의 일정한 포화 영역을 가지며 Kink 현상도 상당히 억제된 출력 특성 곡선을 관찰할 수 있다. 이는 드레인 쪽의 높은 전계에 의해 생성된 정공들이 효과적으로 측면 채널 단자 쪽으로 빠져나가 채널 아래쪽의 전위의 변화가 거의 없으며 측면 채널 단자도 소스 쪽과 단락되어 가장 낮은 전위로 유지되므로 정상적인 채널 전류 성분이외의 전류 성분이 드레인 쪽에서는 나타나지 않기 때문이다. 따라서 제안된 4단자 buried channel 소자의 회로에 응용에서는 측면 채널 단자를 소스 쪽과 단락시켜 사용하였다.

4. 제안된 소자로 구성한 ring-oscillator 회로

구동 회로의 테스터 회로로서 제안된 4단자 buried channel 소자와 기존의 3단자 소자로 각각 23-단 complementary-inverter로 구성된 ring-oscillator 회로를 같은 유리 기판 위에 제작하여 동작 주파수를 인가 전압에 따라 비교해 보았다. 회로에 사용된 소자의 크기는 n-TFTs는 W/L=10 ㎛/6 ㎛이고 p-TFTs는 W/L=20 ㎛/6 ㎛이다. 회로 구성에서 4단자 소자의 경우 측면 채널 단자는 소스 단자와 단락시켰다.

그림 4에서 볼 수 있듯이 ring-oscillator의 동작 주파수는 제안된 4단자 buried channel 소자로 구성한 회로가 기존의 3단자 소자로 구성한 회로에 비해 약 6-7배 가량 빠르다. 이것은 앞에서 전류-전압 전달 특성 곡선에서 보았듯이 소자의 빠른 스위칭 특성과 높은 전류 구동 능력 때문이다. 그림 2의 전달 특성을 보면 4단자 buried channel 소자의 경우 문턱 전압 부근의 특성이 기존의 3단자 소자에 비해 nTFT와 pTFT 모두 우수하다. 즉 소자의 스위칭 동작 중 작은 게이트 전압의 변화에 대해 드레인 전류의 스윙 폭의 변화가 훨씬 크다. 문턱 전압 이전 동작 영역은 소자의 채널 표면에 반전층이 형성되기 시작하는 구간으로 게이트 전압에 따라 반송자가 지수 함수적으로 증가하여 전도도와 전류도 지수 함수적으로 증가한다. 이 구간에서 게이트 전압에 따라 전류의 변화 폭이 크다는 것은 채널이 생성되고 소멸되는 속도가 크다는 것이다. 즉 소자의 ON-OFF 속도가 크다는 것을 의미한다. 그리고 그림 2에서 4단자 buried channel 소자의 ON전류 레벨과 전계 이동도가 커서 소자의 ON-OFF시 충방전 속도가 빨라진다. 이러한 채널 생성 속도와 충방전 속도가 큰 4단자 buried channel 소자로 디지털 회로를 구성할 때 전체 회로의 동작 속도는 빨라진다.

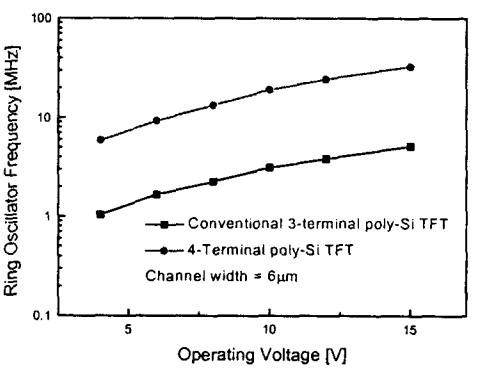


그림 4 3단자 소자와 4단자 소자로 제작된 ring-oscillator의 인가 전압에 따른 동작 주파수

Fig. 4 The ring oscillator frequency of conventional and the proposed TFTs

다결정 실리콘 박막 트랜지스터를 이용한 회로에서 소자 동작의 안정성은 상당히 중요한 문제다. 기존의 다결정 실리콘 박막 트랜지스터와 제안된 4단자 buried channel 소자의 동적인 안정성을 조사하기 위해 ring-oscillator 회로에 전기적 스트레스 실험을 하였다. 측면 채널 단자를 소스 쪽과 단락 시킨 뒤 상온에서 V_{DD}-V_{SS} = 15 V로 바이어스를 가하면서 시간별로 동작 주파수를 측정한 것이 그림 5에 있다. 제안된 4단자 buried channel 소자로 구성한 ring-oscillator의 동작 주파수는 한시간 동안의 스트레스를 가할 때까지 동작 주파수의 변화가 거의 없음을 알 수 있다. 이것은 회로의 동작 중에 각 단위 소자에서 측면 기판 단자를 통해 채널 아래쪽 전위를 소스와 같도록 해주기 때문에 드레인 공핍영역 부근에서 높은 전계에 의해 생성된 전계 방출 반송자들이 채널 아래 부분으로 축적되는 것을 억제한다. 이것은 높은 드레인 바이어스를 인가해 ring-oscillator

를 높은 주파수롤 동작 시켰을 때 채널 아래 쪽 부근의 전위가 소스 쪽 접합이 turn-on할 정도로 변하여 이 부분의 접합을 통한 비정상적인 전류 성분 증가로 인한 회로의 오동작을 막는다.

또한 전기적 스트레스를 가할 때 채널 표면과 드레인 접합 부근이 손상되어 소자의 문턱전압이 이동하고 sub-threshold swing이 나빠지는 것을 buried channel 을 이용해 소자를 제작함으로써 억제하였다. 특히 문턱 전압이 동작 중에 이동하는 것은 드레인 바이어스를 낮게 했을 때 소자가 켜지지 않아 저주파수에서 동작이 하지 않는 현상이 생기는데 본 연구에서 제안한 buried channel을 갖는 4단자 poly-Si TFTs로 제작한 회로에서는 전기적 스트레스 하에서 소자의 문턱전압 이동이 효과적으로 억제되어 그림 5에서 보듯이 전기적 스트레스에 따른 회로의 동작이 안정적이다.

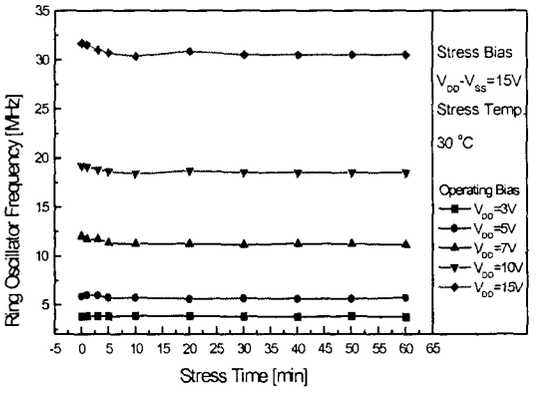


그림 5 제안된 4단자 소자로 구성한 ring-oscillator 회로의 바이어스 스트레스 시간에 따른 동작 주파수 변화

Fig. 5 The ring oscillator frequency of the proposed TFTs with the bias stress time

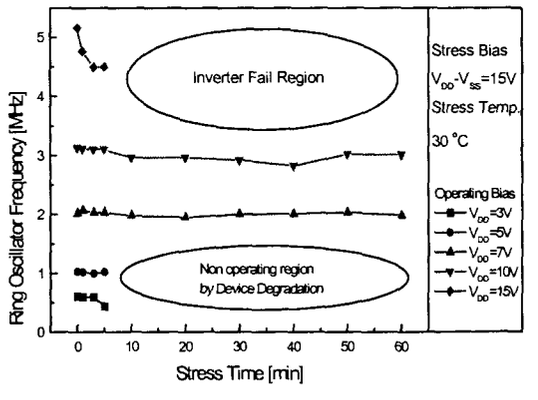


그림 6 기존의 3단자 소자로 구성한 ring-oscillator 회로의 상온에서 바이어스 스트레스 시간에 따른 동작 주파수 변화

Fig. 6 The ring oscillator frequency of conventional TFTs with the bias stress time at room temp.

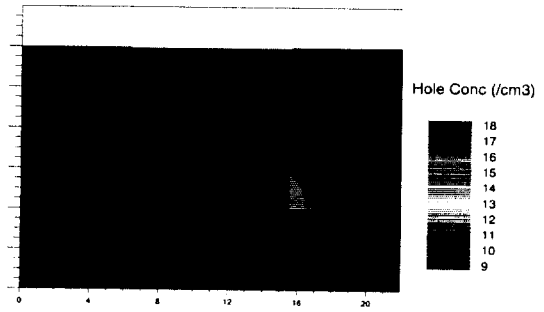
그러나 그림 6에서 볼 수 있듯이 기존의 3단자 poly-Si TFTs로 제작한 ring-oscillator 회로에서는 스트레스 실험 후 회로 동작에 있어 약간의 변화가 있다. 그림 6은 상온에서 전기적 스트레스를 가하면서 회로의 동작 주파수를 측정한 것이다. 스트레스를 가함에 따라 낮은 동작 주파수 영역과 높은 동작 주파수 영역에서 ring-oscillator가 동작하지 않는 영역이 존재함을 확인할 수 있다.

제안된 4단자 buried channel 소자와 달리 기존의 3단자 소자에서는 그림 6에서 볼 수 있듯이 스트레스를 가한 시간이 지남에 따라 ring-oscillator 회로에 가한 바이어스 전압이 높을 때와 낮을 때 회로가 동작하지 않는다. 낮은 주파수 영역 즉, 바이어스 전압이 낮을 때의 동작 영역에서 스트레스를 가함에 따라 회로가 동작하지 않는 것은 스트레스 시간이 지남에 따라 회로를 구성하는 단위 소자의 문턱전압이 커지기 때문이다. 소자의 문턱 전압이 커지면 바이어스 전압이 낮을 때 소자가 충분히 ON되지 않아 다음 단을 제대로 구동할 수 없다. 낮은 주파수 영역에서는 회로의 동작 중에 소자의 문턱전압 이동으로 회로를 구성하는 inverter의 동작이 제대로 되지 않아 ring-oscillator가 동작하지 않게 된다.

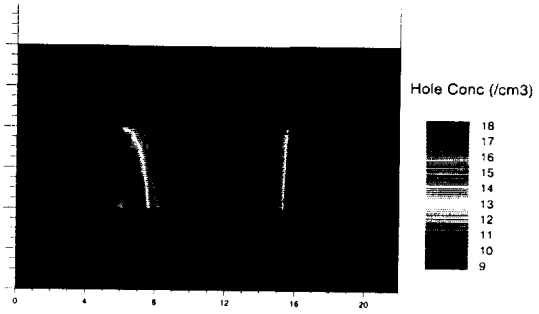
반면 높은 주파수 영역에서 스트레스를 가함에 따라 회로가 동작하지 않는 것은 각 단위 소자가 제대로 충분히 빨리 OFF되지 않아 inverter의 동작이 되지 않기 때문이다. 기존의 3단자 소자로 회로를 구성한 경우 각 단위 소자가 ON-상태가 되었을 때 드레인 접합 부근에서 생긴 전하들이 채널 아래쪽으로 축적되어 채널 하부 쪽 전위를 변화시키는데 드레인 전압이 커지면 채널 아래쪽을 통한 비정상적인 전류 성분이 더해지게 된다. 따라서 기존의 3단자 소자로 ring-oscillator회로를 구성해 장시간 동안 높은 바이어스 전압을 인가해 고속으로 동작시키면 각 소자의 채널 하부 쪽에 전하가 축적되며 비정상적인 전류 성분으로 인해 소자의 OFF가 충분히 빨리 이루어지지 않는다. 이러한 비정상적인 전류 성분은 채널의 전도도 조절을 통한 채널 전류와 달리 채널 하부의 전하 축적으로 인한 소스 쪽 접합의 turn-on으로 생기는 BJT성분의 전류이다. 일단 하부에 축적된 전하는 채널을 생성하는 전하와 달리 게이트 전압의 변화로 쉽게 조절할 수 없다. 게이트 전압을 ON에서 OFF로 할 때 채널의 생성과 소멸은 충분히 빨리 이루어지나 ON-상태에서 채널 하부에 축적된 전하들은 채널을 생성하는 전하들만큼 충분히 빨리 소멸되지 않는다. 따라서 높은 바이어스 전압을 인가해 회로를 고속 동작시킬 경우 각 소자의 채널 하부 전하 축적과 이를 통한 전류 성분으로 인해 충분히 빠른 시간 내에 소자가 OFF되지 않아 inverter의 동작이 제대로 되지 않는다. 즉 그림 6에서 보듯이 전기적 스트레스를 인가한 시간이 지남에 따라 고주파 영역에서 회로가 안정적으로 동작하지 않음을 알 수 있다.

소자의 스위칭 동작 시 n-type TFT에 대해 ON-상태에서 OFF-상태로 변할 때 정공의 동적인 움직임과 분포를 좀 더 자세히 분석하기 위해 소자 시뮬레이터 ATLAS를 이용하였다[9]. n-type TFT에서 강한 드레인 전계에 의해 드레인 공핍 영역 부근에서 전자-정공 쌍이 생성되어 전자의 경우 드레인 쪽으로 빠져나가고 정공의 경우는 전위가 상대적으로 낮은 채널 아래쪽 소스 쪽으로 이동한다고 알려져 있다[7].

그림 7과 그림 8은 드레인 전압을 15 V로 인가한 상태에서 게이트 전압을 15 V에서 -2 V로 50 ns동안 변화시킬 때 3단자 소자와 제안된 4단자 buried channel 소자에서 정공의 분포 변화를 보여주고 있다. 그림 7(a)와 그림 7(b)는 3단자 n-TFT에서 OFF되는 중의 한 순간인 t=45 ns에서 V_g=1 V, V_d=15 V일 때의 채널 내에서 정공의 분포와 완전히 OFF된 상태인 t=70 ns, V_g=-2 V, V_d=15 V일 때의 정공 분포이다. 그림 8(a)와 그림 8(b)는 같은 순간의 채널 단자와 소스 단자가 단락된 4단자 소자의 시뮬레이션으로 본 정공 분포이다. 그림 7(a)의 정공 분포를 보면 소스 쪽 채널 하부 쪽에 약 10^{18} 정도 농도의 정공이 축적되어 있다. 따라서 이 축적된 정공이 채널 하부 전위를 높여 어느 값 이상



(a) V_g=1V, V_d=15V, t=45ns



(b) V_g=-2V, V_d=15V, t=70ns

그림 7 3단자 n-type TFT의 드레인 전압이 15V로 가해진 상태에서 게이트 전압이 순간적으로 ON상태에서 OFF 상태로 변할 때 채널 내의 정공 분포 변화

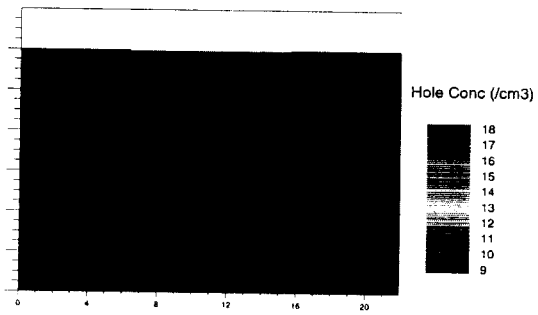
Fig. 7 The hole distribution in channel when the gate voltage of conventional TFTs turns off (V_d=15V)

으로 가면 이 접합을 통한 BJT성분의 전류가 형성되어 채널 전류에 더해진다. 이것은 드레인 전류의 급격히 증가하는 Kink 현상을 초래하여 순간적인 OFF-상태에서도 많은 전류가 흘러 ring-oscillator의 각 인버터가 제대로 OFF되지 않는 회로의 오동작을 야기한다[8]. 반면 4단자 buried channel 소자의 경우 그림 8의 정공 분포에서 볼 수 있듯이 생성된 정공들을 효과적으로 기판 단자로 뽑아 내어 채널 하부의 전위 변화를 억제하여 비정상적인 전류 성분을 줄인다.

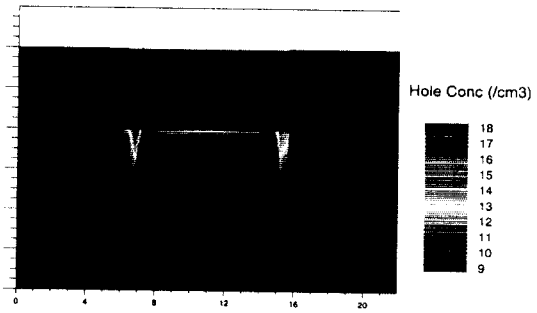
5. 소자의 AC 스트레스 영향 분석

앞에서 관찰한 ring-oscillator 회로 동작의 안정성에 대한 특성 변화를 조사하기 위해 가상적인 인버터 동작 조건을 단위 소자에 인가해 제작된 다결정 실리콘 박막 트랜지스터의 동적인 안정성을 관찰하였다. 가상적인 인버터 동작을 위해 1 MHz의 구형파를 게이트와 드레인에 각각 그림 9과 같이 1시간 동안 각 소자에 인가하였다. 이상적인 인버터 동작에서는 게이트와 드레인의 전위 레벨이 반대이므로 게이트와 드레인에 인가한 구형파는 그림과 같이 거의 반전된 파형을 인가했다. 각 전위 레벨로 천이하는 스위칭 시간을 반영하기 위해 약간의 중첩을 두었으며 게이트가 켜진 순간 드레인 전압이 높은 레벨을 갖는 시간을 10퍼센트로 하였다.

그림 10에서는 가상적인 인버터 동작 조건을 인가했을 때



(a) V_g=1V, V_d=15V, t=45ns



(b) V_g=-2V, V_d=15V, t=70ns

그림 8 4단자 n-type TFT의 드레인 전압이 15V로 가해진 상태에서 게이트 전압이 순간적으로 ON상태에서 OFF 상태로 변할 때 채널 내의 정공 분포 변화

Fig. 8 The hole distribution in channel when the gate voltage of the proposed TFTs turns off (V_d=15V)

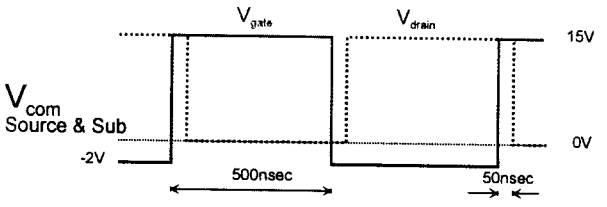


그림 9 가상적인 인버터 조건을 위한 n-type TFT에 가한 AC 스트레스 인가 전압

Fig. 9 The AC stress voltage applied to n-type TFTs for virtual inverter conditions

기존의 3단자 소자의 전달 특성 변화와 변화된 특성이 시간이 지남에 따라 회복되는 것을 보여주고 있다. 반면 buried channel과 측면 채널 단자를 갖는 소자에서 1시간 동안의 가상적인 인버터 동작 조건으로 AC 스트레스를 가한 후 전달 특성의 변화는 그림 11에서 보듯이 거의 없었다. 이것은 기존의 3단자 poly-Si TFTs로 구성한 ring-oscillator 회로가 동작 시간이 지남에 따라 동작 영역이 줄어드는 현상을 설명해 준다. 그림 10에서 보듯이 AC 스트레스 후 소자의 문턱 전압이 상당히 증가했음을 알 수 있다. 즉 ring-oscillator의 동작 시간이 지남에 따라 각 소자에는 AC 스트레스가 가해지게 되는데, 동작 중 문턱 전압 증가는 낮은 바이어스 전압에서 각 인버터 소자가 ON-상태로 가지 못해 ring-oscillator 회로가 제대로 동작을 하지 못한다[8]. 높은 바이어스 전압(V_{DS} > 12 V)에서는 채널 하부의 정공 축적에 의한 순방향 접합을 야기하여 3단자 소자의 경우 소자가 OFF-상태로 가지 못해 ring-oscillator가 제대로 작동하지 못한다. 또한 그림 10에서 스트레스로 인해 열화된 3단자 소자가 400 ℃에서 열처리한 후에 원래의 특성을 회복한 것을 볼 수 있다. 이는 열화의 원인이 스트레스 도중 축적된 정공에 의한 과전류 때문에 생긴 결함때문인 것을 알 수 있다.

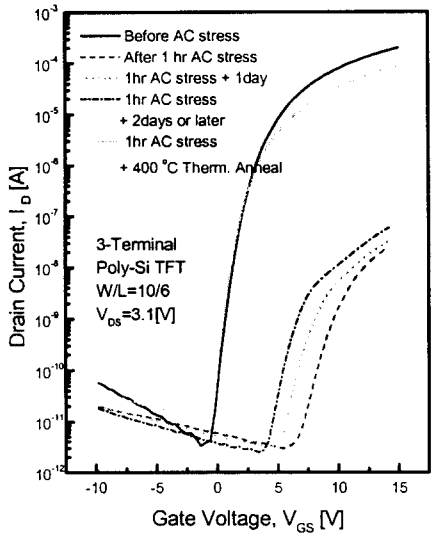


그림 10 한 시간의 AC 스트레스 후와 회복 시간에 따른 기존의 3단자 n-type TFT의 전달 특성 곡선 변화

Fig. 10 The change of transfer characteristics of conventional TFTs with AC stress and restoring time

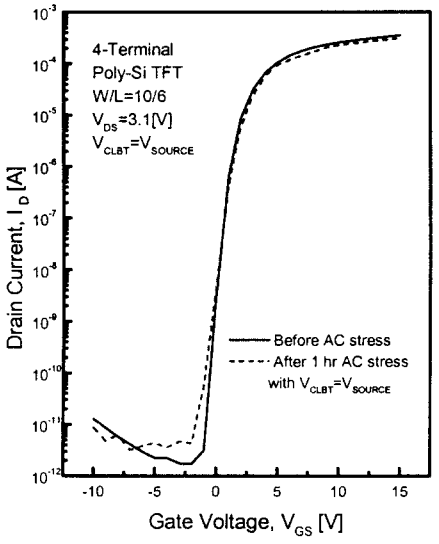


그림 11 제안된 4단자 n-type TFT의 한 시간의 AC 스트레스 전후의 전달 특성 곡선

Fig. 11 The characteristics of the proposed TFTs with AC stress

6. 결 론

본 연구에서는 ON-상태에서 활성층과 게이트 절연막 사이의 계면 효과를 줄여 문턱 전압 이전 특성을 향상시켜 스위칭 속도를 향상시키고 ON-전류를 높이는 buried channel과 채널 측면에 소스-드레인과 반대로 도핑하여 드레인 쪽에서 생성된 전자나 정공을 채널 측면 단자로 뽑아 내어 채널 하부에 축적되지 않도록 4번째 측면 기판 단자를 가지는 구조의 다결정 실리콘 박막 트랜지스터를 제작하여 기존의 3단자 소자에 대한 성능 비교를 하였다. 그리고 제안된 4단자 소자는 구동 회로 응용을 목적으로 한 것으로 테스트 회로로 23-단 ring-oscillator 회로를 같은 유리 기판 위에 제작하여 동작 속도를 측정하였다. 뿐만 아니라 회로 동작의 안정성도 전기적 스트레스와 온도에 따라 조사하여 기존의 3단자 소자로 구성한 회로와 비교하였다. Ring-oscillator 회로 동작의 분석을 위해 단위 소자에 대해 가상적인 인버터 동작 조건으로 AC 스트레스를 가하여 비교하였으며 또한, 소자의 스위칭 동작에서 드레인 쪽에서 생성된 전자나 정공의 동적인 움직임과 분포를 보기 위해 ATLAS 시뮬레이터로 분석하였다.

제안된 소자는 buried channel을 사용하여 기존의 3단자 소자에 비해 높은 ON-전류와 우수한 문턱 전압 이전 특성을 보였고 4단자를 사용함으로써 Kink 현상을 억제할 수 있었다. 그리고 이 소자를 이용하여 제작한 ring-oscillator 회로는 상온에서 peak-to-peak 15 V에서 동작시켰을 때 33 MHz의 동작 주파수를 보였으며 3단자 소자로 제작한 경우보다 약 6배 빨랐다. 뿐만 아니라 회로의 동작시 안정성 측면에서도 3단자 소자로 구성한 경우보다 훨씬 우수함을 관찰할 수 있었다.

참 고 문 헌

[1] A. G. Lewis, T. Huang, R. Bruce, M. Koyanagi, A. Chiang and I. Wu, "Polysilicon thin film transistors for analogue circuit applications". Proc. IEDM 88, p. 264, 1988

[2] A. G. Lewis, I. W. Wu, T. Y. Huang, M. Koyanagi, A. Chiang and R. H. Bruce, "Small geometry effects in N- and P- channel poly-silicon thin film transistor", Proc. IEDM 88, p. 260, 1988

[3] P. Francis, A. Terao, B. Gentinne, D. Flandre and J. P. Colinge, "SOI technology for high-temperature application", Proc. IEDM 92, p. 353, 1992.
[4] H. Firester, W. R. Roach and K, Stewant, "Poly-Si TFT devices and their application to LCD", Proc. Japan Display 92, p. 557, 1992
[5] C. M. Park, J. S Yoo, B. H. Min, J. H. Jeon and M. K. Han"A characteristics of buried channel poly-Si TFTs", Proc. SSDM 97, p. 350, 1997
[6] J. Ohwada et al., "Peripheral circuit integrated poly-Si TFT-LCD with gray scale presentation", IEEE Trans. Electron Devices, Vol. 36, p. 1923, 1989
[7] T. Nakamura et al., "Importance of top insulator quality for the stability of a-Si film transistor", Proc. IEDM 88, p. 272, 1988
[8] A. G. Lewis, D. D. Lee and R. H. Bruce, " Poly-silicon TFT circuit design and performance", IEEE J. Solid-State Circuits, Vol. 27, p. 1833, 1992
[9] **ATLAS**: SILVACO의 소자시뮬레이터.

저 자 소 개

정 상 훈 (鄭 湘 勳)

1976년 7월 30일 생. 1999년 서울대 전기공학부 졸업. 1999년~현재 동 대학원 전기공학부 석사과정.
Tel : 02)880-7992, Fax : 02)883-0827
E-mail : jsh@emlab.snu.ac.kr

박 철 민 (朴 喆 民)

1971년 1월 21일 생. 1994년 서울대 전기공학부 졸업. 1996년 동 대학원 전기공학부 석사과정 졸업. 1996년~현재 동 대학원 전기공학부 박사과정
E-mail : cmpark@emlab.snu.ac.kr

유 준 석 (柳 俊 錫)

1971년 9월 21일 생. 1995년 서울대 전기공학부 졸업. 1997년 동 대학원 전기공학부 석사과정 졸업. 1997년~현재 동 대학원 전기공학부 박사과정
E-mail : jsyoo@emlab.snu.ac.kr

최 형 배 (崔 炯 培)

1973년 7월 1일 생. 1997년 서울대 전기공학부 졸업. 1997년~현재 동 대학원 전기공학부 석사과정.
E-mail : choiex@emlab.snu.ac.kr

한 민 구 (韓 民 九)

1948년 7월 21일 생. 1971년 서울대 전기공학과 졸업. 1975년 University of Michigan, Electrical Engineering 석사, 1979년 Johns Hopkins University, Electrical Engineering 박사. 1984년~현재 서울대학교 전기공학부 교수
E-mail : mkh@emlab.snu.ac.kr