

# ON 저항이 작은 Recessed Source 구조 SOI LDMOS의 수치해석

論 文  
48C-9-1

## Numerical Analysis of a SOI LDMOS with a Recessed Source for Low ON Resistance

梁會允\* · 金成龍\*\* · 崔然益\*\*\*  
(Hoie-Yoon Yang · Sung-Lyong Kim · Yearn-Ik Choi)

**Abstract** - An SOI(Silicon-On-Insulator) LD(Lateral Double-diffused)MOS with a recessed source structure is proposed to improve the on-resistance and the breakdown voltage. The recessed source structure can decrease the on-resistance by reducing the path of electron current, also increase the breakdown voltage by extending the effective length of gate field plate. Simulation results by TSUPREM4 and MEDICI have shown that the on-resistance of the LDMOS with a recessed source was 26 % lower than conventional LDMOS. The breakdown voltage of proposed device was found to be 45 V while that of conventional device was 36.5 V. At the same breakdown voltage of 36.5 V, the on-resistance of the LDMOS with a recessed source was 41 % lower than that of conventional structure.

**Key Words** : SOI, LDMOS, breakdown voltage, on-resistance, numerical analysis

### 1. 서 론

LD(Lateral Double-diffused) MOSFET는 높은 입력 임피던스와 열적 안정성 그리고 빠른 스위칭 특성을 갖는 대표적인 MOS 게이트 수평형 전력소자이다. 특히 SOI(Silicon-On-Insulator) 기판 상에 이를 제작할 경우 우수한 격리 특성, 빠른 동작속도, 그리고 집적도의 향상, 낮은 누설 전류 등의 이점을 얻을 수 있다[1][2].

저손실 수평형 소자인 SOI LDMOS의 설계변수로 중요한 것이 on 저항과 항복전압이다. 모든 전력 반도체 소자의 설계의 목표는 on 저항은 최소로 낮추고 항복전압은 최대가 되도록 하는 것이다. 드리프트 영역의 농도를 낮추면 항복전압은 향상되지만 on 저항은 오히려 증가하고, 농도를 높이면 on 저항은 감소하지만 오히려 항복전압은 떨어지는 trade-off 관계가 있다. 따라서 주어진 항복전압에서 on 저항을 보다 감소시킬 수 있도록 소자를 설계하는 것이 중요하다[3].

그림 1은 본 논문에서 시뮬레이션에 사용한 소자들의 단면도를 나타내고 있다. 그림 1(a)는 기존의 SOI LDMOS이고 그림 1(b)는 제안된 recessed source 구조 SOI LDMOS이다. 기존의 LDMOS는 드리프트 영역에서의 전류 확산(current spreading)이 작고 드레인 쪽으로 휘어 들어가는 전류로 인해 그 경로가 길어져 on 저항이 증가하는 단점이

있다. 이러한 점을 고려하여 기존의 구조에 비해 전류 확산을 크게 하고 흐르는 경로를 줄일 수 있는 trench drain과 게이트 산화막의 유효길이를 확장시키고 게이트 경사면을 따라 완만하게 감소하는 전계분포를 갖는 recessed source 구조를 결합시킨 새로운 소자를 제안하였다.

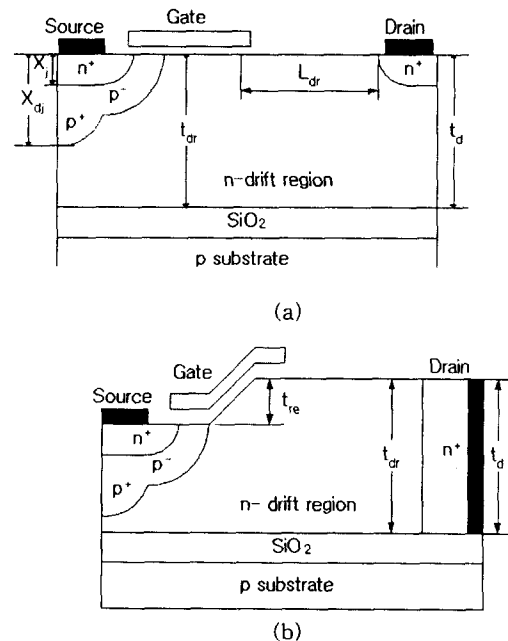


그림 1 SOI LDMOS의 단면도  
(a) 기존의 구조 (b) 제안한 구조  
Fig. 1 Cross-sectional view of SOI LDMOS  
(a) Conventional (b) Proposed

\* 正 會 員 : (주) 아이티엠비 IP 사업팀 연구원

\*\* 正 會 員 : 亞洲大 大學院 博士課程

\*\*\* 正 會 員 : 亞洲大 工大 電子工學部 教授 · 工博

接受日字 : 1998年 11月 30日

最終完了 : 1999年 8月 2日

제안된 구조는 RIE(Reactive-Ion-Etching)을 통해 드레인 부분에 트렌치를 형성하고 여기에 v-groove 에칭으로 실리콘을 recess시켜 소오스와 게이트의 위치를 기존의 경우보다 낮춘 것이다.

기존 구조와 제안한 LDMOS에 대한 on 저항과 항복전압 특성을 TSUPREM4[4]와 MEDICI[5]를 사용하여 비교 검토하고 그 타당성을 검증하였다.

2. 시뮬레이션 결과 및 고찰

Recessed source 구조를 만들기 위해 TSUPREM4로 공정 시뮬레이션을 먼저 수행하였다. 그림 1(b)에서 RIE로 형성된 trench drain의 깊이는 드리프트 영역의 두께와 같은 3 μm이고 v-groove 에칭으로 형성된 recess 깊이는 드리프트 영역 두께의 절반인 1.5 μm이다. 그리고 매몰 산화층(buried oxide layer)의 표면과 드레인 접합, p<sup>+</sup> 접합이 닿도록 하였다.

표 1은 기존의 LDMOS와 제안한 구조의 시뮬레이션에 사용한 여러 변수들의 값을 나타낸다. 이들 소자에 대한 on 저항과 항복전압 특성은 MEDICI를 사용하여 조사했다.

표 1 시뮬레이션에 사용한 변수들

Table 1 Simulation parameters

변수		값
N <sup>-</sup> 드리프트 영역	두께, D <sub>dr</sub>	3 μm
	길이, L <sub>dr</sub>	3.25 μm
P <sup>-</sup> body	표면 농도	3 × 10 <sup>17</sup> cm <sup>-3</sup>
	접합깊이, X <sub>di</sub>	1 μm
P <sup>+</sup>	표면 농도	1 × 10 <sup>19</sup> cm <sup>-3</sup>
	접합깊이, X <sub>bi</sub>	1.5 μm
N <sup>-</sup> 드레인, 소오스	표면 농도	1 × 10 <sup>20</sup> cm <sup>-3</sup>
	접합깊이, X <sub>j</sub>	0.25 μm
매몰 산화막의 두께, T <sub>box</sub>		2 μm
채널의 길이, L <sub>ch</sub>		0.95 μm
기판의 농도, N <sub>sub</sub>		4 × 10 <sup>15</sup> cm <sup>-3</sup>

2.1 ON 저항 특성

그림 1의 소자에 대한 ON 저항 특성은 게이트에 10 V 전압을 인가하고 드레인 전압을 증가시키면서 그 특성을 조사하였다. 그림 2의 시뮬레이션 값은 게이트 전압(V<sub>GS</sub>) 10 V, 드레인 전압(V<sub>DS</sub>) 0.1 V 일 때의 드레인 전류를 구하여 얻은 on 저항을 나타낸 것으로 이때 드리프트 영역의 농도는 1 × 10<sup>16</sup> cm<sup>-3</sup> ~ 1.5 × 10<sup>16</sup> cm<sup>-3</sup>의 범위로 변화시켰다. 그림 2의 결과와 같이 기존의 LDMOS에 비해 제안한 구조의 on 저항이 21 % ~ 26 %가 줄어들었다.

그림 3은 게이트에 10 V를 드레인에 0.1 V의 전압을 인가했을 때 기존의 구조와 제안한 구조에서의 전류의 흐름을 보여준다. 그림에서 보듯이와 같이 기존의 구조는 같은 드리프트 영역의 면적에 대해 전류흐름 분포가 작고 드레인

쪽으로 휘어 들어가는 전류의 경로가 형성되어 있다. 이에 반해 제안한 구조는 드레인이 매몰층 산화막 끝까지 내려와 있으므로 전류의 분포가 커지고 드레인 쪽으로 휘어 들어가는 전류의 경로가 거의 직선화되어 on 저항이 감소하는 효과를 가져왔다.

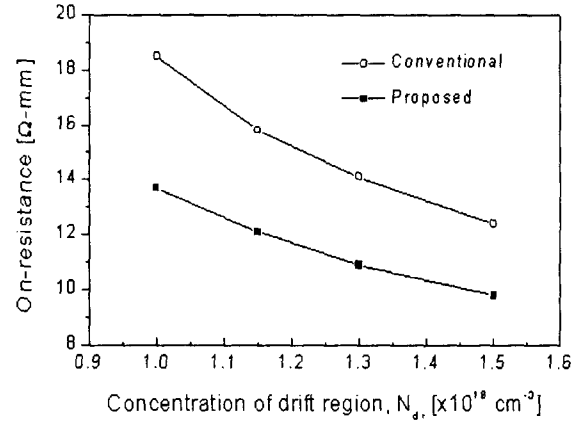


그림 2 드리프트 영역 농도에 대한 on 저항  
Fig. 2 On-resistance as a function of the concentration of drift region

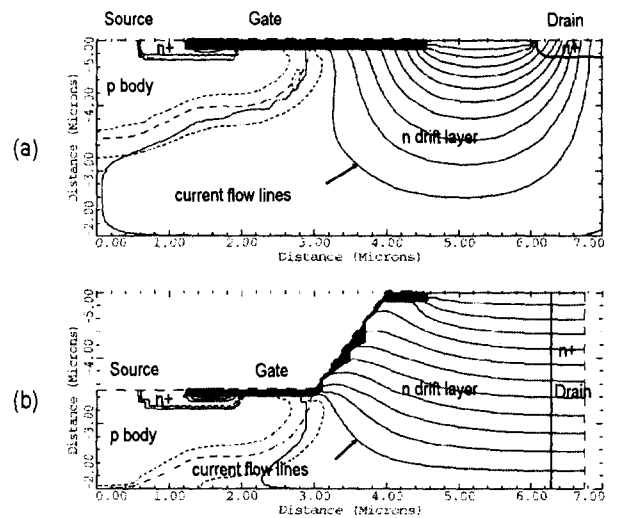


그림 3 V<sub>GS</sub> = 10 V, V<sub>DS</sub> = 0.1 V 일 때 전류의 흐름도  
(a) 기존의 구조 (b) 제안한 구조  
Fig. 3 Current-flow line when V<sub>GS</sub> is 10 V and V<sub>DS</sub> is 0.1 V  
(a) Conventional (b) Proposed

그림 4와 5는 recessed source 구조만이 갖는 on 저항 변화 요인인 트렌치 깊이, t<sub>d</sub>와 recess 깊이, t<sub>re</sub>를 변화시켜 가며 시뮬레이션한 결과를 나타낸다. 트렌치 깊이에 따른 변화를 보이는 그림 4에서 기존의 구조보다 그 깊이가 깊어 질수록 on 저항이 감소하는 것을 알 수 있으며 그 변화량을 살펴보면 on 상태에서 전자의 농도가 밀집된 0.25 μm으로 트렌치를 형성할 경우부터 10 % 이상 감소하였다. 하지만

확실한 효과를 얻기 위해서는  $2\ \mu\text{m}$  이상으로 트렌치 깊이를 파악한다. 그림 5의 recessed source 깊이에 대한 on 저항 변화에서 그 깊이가 깊어질수록 감소하는 경향을 보이는데 이것은 드리프트 두께가 커진 것과 같은 효과로 결과적으로 트렌치 깊이를 증가시켰을 때와 같이 전류의 흐름을 넓게 분포시켜 on 저항을 감소시킬 수 있다.

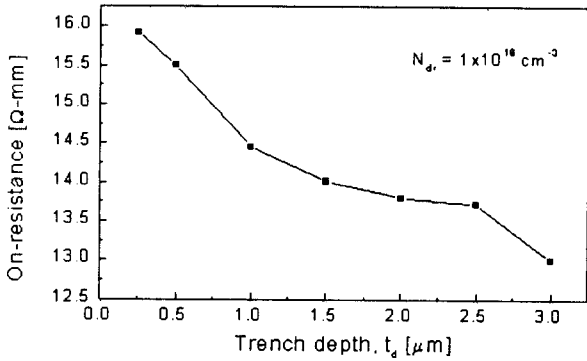


그림 4 제안한 구조에서 트렌치 깊이,  $t_d$  에 대한 on 저항  
Fig. 4 On-resistance as a function of the trench depth,  $t_d$  of proposed structure

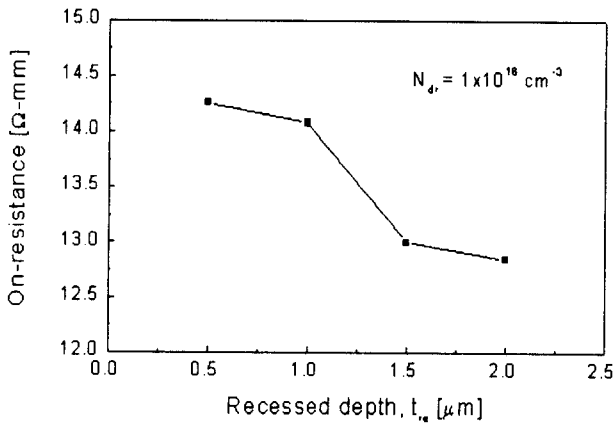


그림 5 제안한 구조에서 recess 깊이,  $t_r$  에 대한 on 저항  
Fig. 5 On-resistance as a function of the recessed depth,  $t_r$  of proposed structure

그림 6은 드리프트 영역의 두께,  $t_{dr}$  과 길이,  $L_{dr}$  에 따른 ON 저항과 항복전압의 변화를 도시한 것이다. 그림 6(a)의 드리프트 영역의 두께에 대한 on 저항 변화는 전류가 흐르는 면적이 커질수록 on 저항이 줄어드는 결과를 잘 보여주고 있다. 이와는 반대로 그림 6(b)의 드리프트 영역의 길이에 대한 on 저항의 변화는 오히려 커지는데 이는 커진 면적에 비해 전류의 경로가 더 길어졌기 때문이다.

제안한 recessed source 구조에서 on 저항을 보다 줄이기 위해서는 트렌치 깊이는 깊게 드리프트 영역의 두께는 두껍게, 그리고 길이는 짧게 할수록 확실히 감소시킬 수 있음을 확인할 수 있었다.

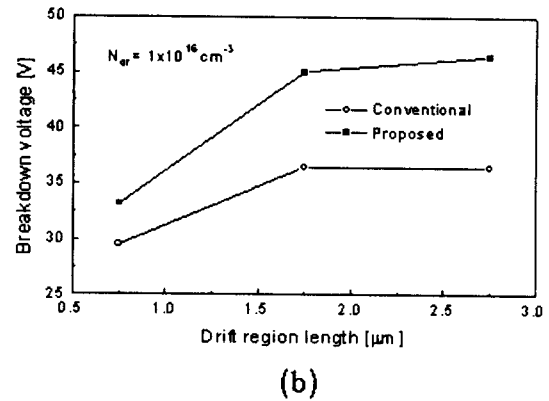
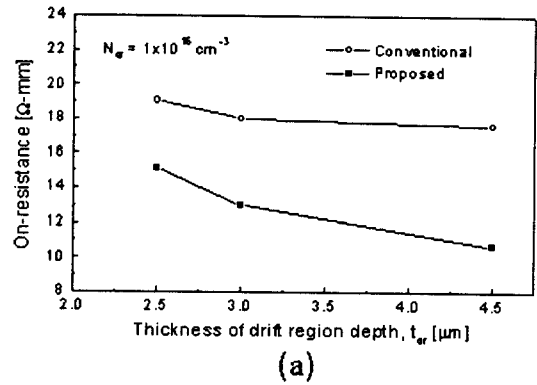


그림 6 드리프트 영역의 두께와 길이에 대한 on 저항  
(a) 드리프트 영역의 두께,  $t_{dr}$   
(b) 드리프트 영역의 길이,  $L_{dr}$

Fig. 6 On-resistance as a function of thickness and length of drift region  
(a) drift region thickness,  $t_{dr}$   
(b) drift region length,  $L_{dr}$

## 2.2 항복전압 특성

그림 1의 소자들에 대해 게이트와 소오스를 접지 시키고, 드레인에 양(+)의 전압을 인가하여 항복전압 특성을 계산하였다. 그림 7은 드리프트 영역의 농도가  $1 \times 10^{16}\ \text{cm}^{-3}$  일 때의 항복전압 특성을 보여주는 전압대 전류 특성 곡선이다. 기존의 경우 항복전압이 36.5 V이었고 recessed source 구조는 23 % 향상된 45 V였다.

그림 8은 드리프트 영역의 농도가  $1.3 \times 10^{16}\ \text{cm}^{-3}$  일 때의 2D 전계를 나타낸다. 게이트 산화막이 끝나는 부분부터 드레인 전극까지의 전계를 나타낸 것으로 A 부분은 실리콘의 표면 전계를 B는 게이트 산화막 부분을 표시하고 있다. A 부분을 살펴보면 기존의 LDMOS의 전계 침투치가  $5.65 \times 10^5\ \text{V/cm}$ 이고 recessed source 구조는  $5 \times 10^5\ \text{V/cm}$ 로 낮아졌다. 그리고 B 부분에서는 기존의 구조가 게이트 산화막 끝을 정점으로 급격히 감소하는 삼각형 모양을 보이는 반면에 제안된 구조는 경사진 게이트 산화막을 따라 완만한 감소를 보이고 있다. 이는 LDMOS에서 게이트 전극이 필드 플레이트(field plate) 역할을 하는 것과 관련하여 두 구조가

게이트 전극의 평면 길이는 2.75  $\mu\text{m}$ 로 같지만 recessed source의 경우에는 게이트 전극이 경사지게 형성되어 실제로는 기존의 구조보다 긴 3.5  $\mu\text{m}$  정도 된다. 이와 같은 요인으로 기존의 LDMOS보다 제안된 구조의 항복전압이 향상될 수 있었다.

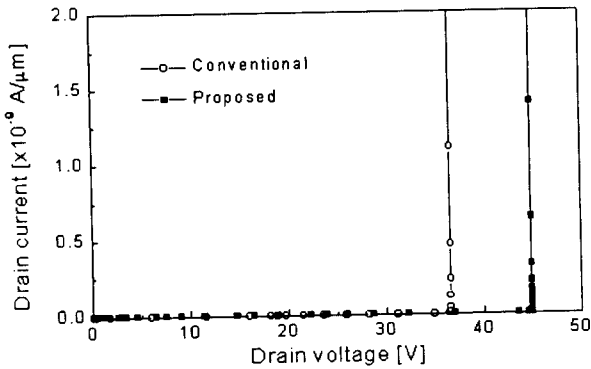


그림 7 SOI LDMOS의 항복전압 특성 ( $N_{dr} = 1 \times 10^{16} \text{ cm}^{-3}$ )  
 Fig. 7 Breakdown voltage characteristics of SOI LDMOS when  $N_{dr}$  is  $1 \times 10^{16} \text{ cm}^{-3}$

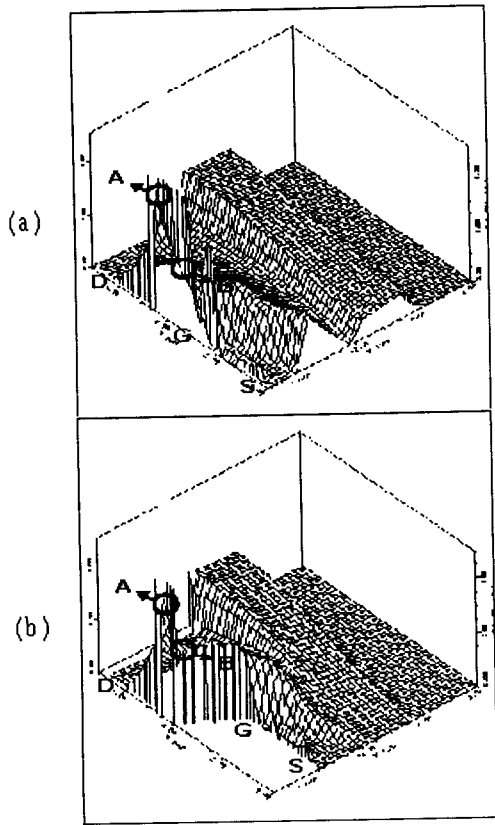


그림 8 SOI LDMOS의 2D 전계 ( $N_{dr} = 1 \times 10^{16} \text{ cm}^{-3}$ )  
 (a) 기존의 구조 (b) 제안한 구조  
 Fig. 8 2D electric field of SOI LDMOS when  $N_{dr}$  is  $1 \times 10^{16} \text{ cm}^{-3}$   
 (a) Conventional (b) Proposed

트렌치 깊이에 따른 항복전압의 변화를 나타내는 그림 9의 결과는 거의 변화가 없다. 이는 trench drain이 on 저항을 줄이기에는 유효하지만 항복전압에는 거의 영향을 미치지 않는 것을 알 수 있다. 즉 트렌치 깊이와 무관하게 게이트 산화막 끝부분에 전계가 집중되어 항복이 일어나기 때문이다. 그림 10의 recess 깊이에 대한 항복전압 변화는 그 깊이가 깊어질수록 게이트 산화막의 길이가 증가하는 효과로 인해 증가하는 양상을 보였다.

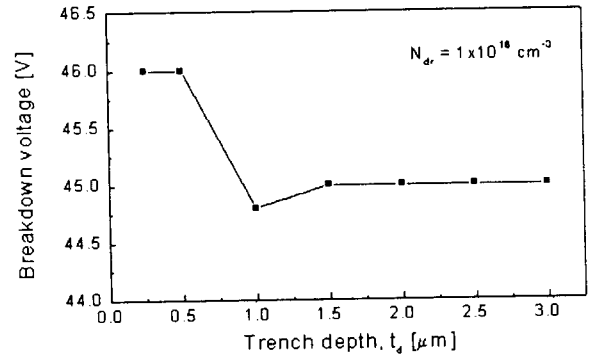


그림 9 제안한 구조에서 트렌치 깊이,  $t_d$ 에 대한 항복전압  
 Fig. 9 Breakdown voltage as a function of the trench depth,  $t_d$  of proposed structure

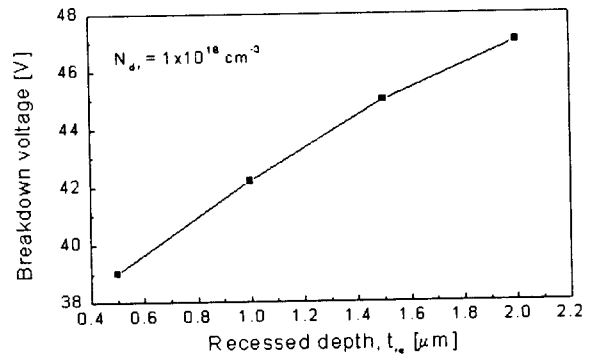


그림 10 제안한 구조에서 recess 깊이,  $t_{re}$ 에 대한 항복전압  
 Fig. 10 Breakdown voltage as a function of the recessed depth,  $t_{re}$  of proposed structure

드리프트 영역의 길이에 따른 항복전압의 변화를 나타낸 그림 11에서는 길이가 길어질수록 항복전압이 증가하는 것을 볼 수 있는데 이는 게이트 산화막 끝부터 드레인 전극까지의 길이가 길어짐으로써 이곳에 걸리는 전계의 면적이 커져 더 높은 전압을 견딜 수 있기 때문이다. 그림 12는 항복전압에 대한 on 저항의 변화를 나타낸다. 기존의 구조보다 제안된 구조의 on 저항이 훨씬 낮은 것을 알 수 있다. 또한 같은 on 저항을 갖는 경우라면 제안된 구조가 더 높은 항복전압을 얻을 수 있다. 따라서 recessed source를 갖는

LDMOS가 기존의 구조에 비해 on 저항을 낮추고 항복전압을 높일 수 있는 구조임을 알 수 있다.

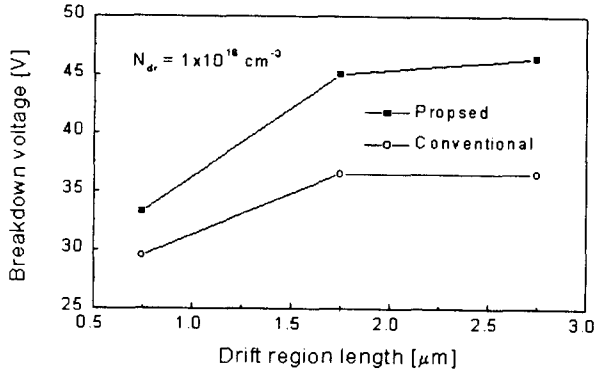


그림 11 드리프트 영역 길이에 대한 항복전압  
Fig. 11 Breakdown voltage as a function of the length of drift region

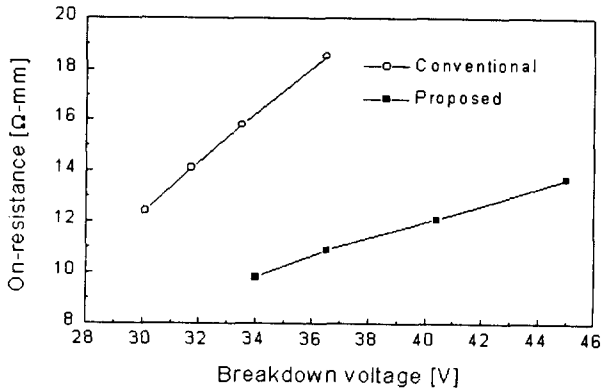


그림 12 항복전압에 대한 on 저항  
Fig. 12 On-resistance versus breakdown voltage

### 3. 소자의 제조공정

본 논문에서 제안된 recessed source 구조의 주요 공정 흐름도를 그림 12에 나타냈으며 다음과 같다.

SOI 기판 위에  $3\mu\text{m}$  두께의 드리프트 영역을 형성하고 우선적으로 소오스 부분을 v-groove 에칭을 통해 recess 시킨 뒤 p+-body를 붕소 이온주입(ion implantation)으로 형성한다. 게이트 산화막을  $250 \text{ \AA}$  기르고 폴리실리콘(polysilicon)을 CVD로 증착한다. 그리고 게이트와 필드 플레이트(field plate) 부분을 제외한 나머지 부분을 식각한 뒤 게이트를 마스크로 하여 이온 주입과 후 확산을 통해 연속적으로 p-body와 n+ 소오스를 형성한다. 그 다음으로 RIE을 통해 trench를 파고 각도를 준 이온 주입을 통해 n+ 드레인을 형성한다. 마지막으로 금속 공정을 통해 드레인, 게이트, 소오스 전극을 형성하여 제안한 소자를 완성한다.

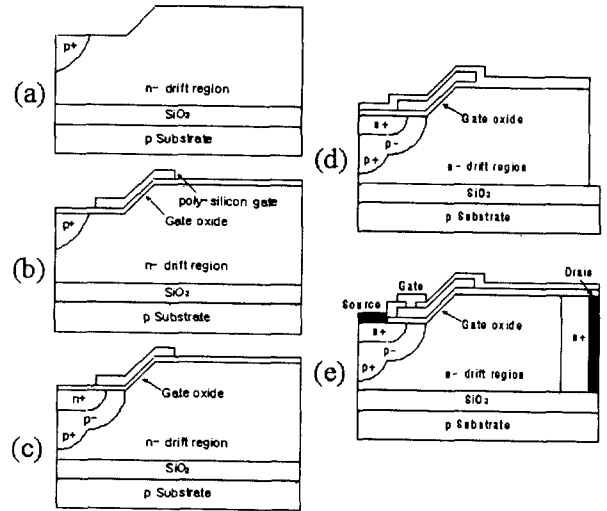


그림 13 제안한 구조의 제조공정 순서  
(a) V-groove 에칭, p+ 이온주입  
(b) 게이트 산화막 & 폴리실리콘 게이트 형성  
(c) p-body, n+ 소오스 형성  
(d) CVD 산화막 증착, RIE 공정  
(e) n+ 드레인 형성, 금속공정  
Fig. 13 A process sequence of proposed structure  
(a) V-groove etching and p+ ion-implantation  
(b) gate oxide and polysilicon gate deposition  
(c) ion-implantation of p-body and n+ source  
(d) CVD oxide deposition and RIE  
(e) ion-implantation of n+ drain, and metalization

### 4. 결 론

반도체 소자의 중요한 설계 변수인 on 저항 특성과 항복전압 특성을 향상시킨 recessed source 구조를 갖는 새로운 SOI LDMOS를 제안하였다. 제안한 구조는 기존의 구조보다 전류의 분포가 더 커지고 전류 경로가 줄어들어 on 저항이 감소함을 알 수 있었다. 또한 게이트 경사면을 따라 완만한 전계 분포를 갖으며 게이트 전극이 길어지는 효과로 항복전압이 향상됨을 확인할 수 있었다.

시뮬레이션 결과 제안된 구조는 기존의 경우보다 on 저항이 최고 26% 감소하였고 항복전압은 23% 향상된 특성을 보였으며 36.5 V의 같은 항복전압에서는 on 특성이 42% 향상 되었다.

#### 감사의 글

본 연구는 과학기술부와 산업자원부의 지원에 의하여 한국반도체연구소합주관으로 수행되었으며 아주대학교 95년도 연구용기자재 지원에 의하여 연구된 논문임.

참 고 문 헌

- [1] U. Apel, *et al.*, "A 100 V lateral LDMOS transistor with a 0.3 $\mu$ m channel in a 1 $\mu$ m Silicon Film on Insulator on Silicon," *IEEE Trans. on Electron Devices*, vol. 38, pp. 1655-1659, 1991.
- [2] S. Matsumoto, *et al.*, "Device simulation of a thin-film SOI power LDMOSFET for structure optimization," *SSDM Extended Abstracts*, pp. 276-278, 1993.
- [3] D. G. Lin, *et al.*, "A novel LDMOS structure with a step gate oxide," *IEDM Tech. Dig.*, pp. 963-966, 1995.
- [4] SUPREM4 "Two-dimensional process simulation program," *TMA User's Manual*, 1996.
- [5] MEDICI "Two-dimensional device simulation program," *TMA User's Manual*, 1996.

저 자 소 개



양 회 운 (梁 會 允)

1969년 1월 28일 생. 1997년 아주대 전자공학과 졸업. 1999년 동 대학원 전자공학과 졸업(석사). 1999년~현재 (주) 아이티엠비 IP 사업팀 연구원

Tel : (02) 521-6841

E-mail : itmb1@thrunet.com



김 성 룡 (金 成 龍)

1973년 6월 5일생. 1996년 아주대 공대 전자공학과 졸업. 1998년 동 대학원 전자공학과 졸업(석사). 1998년~현재 아주대 대학원 박사과정

Tel : (0331) 219-2485, Fax : (0331) 212-9531

E-mail : slkim@madang.ajou.ac.kr



최 연 익 (崔 然 益)

1953년 11월 23일생. 1976년 서울대 공대 전자공학과 졸업. 1981년 한국과학기술원 졸업(공학). 1982년 UC Berkeley 전기 및 전산공학과 Research Associate. 현재 아주대 공대 전자공학부 교수

Tel : (0331) 219-2363, Fax : (0331) 212-9531

E-mail : yearnik@madang.ajou.ac.kr