

# 니오비움 실리사이드가 코팅된 실리콘 팁 전계 방출 소자의 제조 및 동작 특성

論 文  
48C-7-4

## Fabrication and Operating Properties of Nb Silicide-coated Si-tip Field Emitter Arrays

朱炳權\*·朴宰奭\*·李相祚\*·金勳\*·李允熙\*·吳明煥\*  
(Byeong-Kwon Ju · Jae-Seok Park · Sanjo Lee · Hoon Kim · Yun-Hi Lee · Myung-Hwan Oh)

**Abstract** - Nb silicide was formed on the Si micro-tip arrays in order to improve field emission properties of Si-tip field emitter array. After silicidization of the tips, the etch-back process, by which gate insulator, gate electrode and photoresist were deposited sequentially and gate holes were defined by removing gradually the photoresist by O<sub>2</sub> plasma from the surface, was applied. Si nitride film was used as a protective layer in order to prevent oxygen from diffusion into Nb silicide layer and it was identified that the NbSi<sub>2</sub> was formed through annealing in N<sub>2</sub> ambient at 1100°C for 1 hour. By the Nb silicide coating on Si tips, the turn-on voltage was decreased from 52.1 V to 32.3 V and average current fluctuation for 1 hour was also reduced from 5 % to 2 %. Also, the fabricated Nb silicide-coated Si tip FEA emitted electrons toward the phosphor and light emission was obtained at the gate voltage of 40-50 V.

**Key Words** : Si-tip field emitter, Nb silicide, field emission, field emission display

### 1. 서 론

여타 고용점 금속들(몰리브덴, 크롬, 니켈, 티타늄 등)에 비하여 상대적으로 낮은 니오비움(Nb)의 일함수와 (~4.3 eV)[1], 강한 기계적 강도와 1900°C 이상의 높은 용융점을 갖는 니오비움 실리사이드(Nb silicide)를 고려할 때[2], 실리콘 팁 전계방출소자(field emitter array : FEA)의 팁 코팅 재료로서 잠재성이 충분하다고 볼 수 있다. 그러나 최근에 이르기까지 Nb 금속 전극이나 Nb nitride에 관하여는 전계 방출 특성이 일부 조사된 바가 있으나[3,4], 팁 형태의 Nb이나 Nb silicide 코팅된 실리콘 팁 등에 관한 연구는 찾아보기 어렵다.

따라서 본 연구에서는 실리콘 팁 상에 Nb silicide를 형성한 뒤, 게이트 절연막과 전극을 제조하여 FEA를 완성하고 제조된 소자의 전계방출특성을 조사해 보고자 한다.

### 2. 실험 방법

Nb silicide가 코팅된 Si-tip FEA는 그림 1에 보인 순서로

제조되었다. 기판으로는 (100), n형 Si 웨이퍼(N<sub>d</sub> = 10<sup>15</sup> cm<sup>-3</sup>)를 사용하였으며 이 위에 3,000 Å 두께의 열 산화막을 성장시킨 뒤, 사진 식각 공정에 의해 (300×300) μm<sup>2</sup>의 영역 내에 1.5μm의 원형 패턴을 60×60 개가 되도록 형성하였다. 다음으로 반응성 이온 식각에 의하여 원형 산화막 마스크들을 만들고 연속적으로 실리콘을 식각하여 팁의 기초 구조를 완성하였다. 실리콘 구조물에 대해 1100°C에서 산화 샤프닝을 하여 최종적으로 1μm 높이의 Si-tip array들을 제조하였다.

다음 단계로 Nb silicide를 형성시키는 공정이 진행되었는데, 전자선 증착법을 이용하여 Si-tip array 위에 3,000 Å 두께의 Nb를 코팅한 다음 이 위에 플라즈마 CVD에 의하여 2,000 Å 두께의 실리콘 질화막을 증착하였는데, 이는 후속될 열처리 공정 중에 외부로부터 Nb 막으로 산소가 유입되어 산화가 일어나는 것을 막아주는 보호막 역할을 한다. 이와 같이 Nb과 질화막이 코팅되어 있는 Si-tip array들을 1100°C의 질소 분위기에서 1 시간동안 열처리하여 Nb과 Si 간에 반응이 일어나도록 하였다.

열처리 후에 시편을 불산 내에 담가 질화막과 Si과 반응이 안된 Nb 막을 제거하였다. 후속 공정으로서 게이트 절연 막과 전극을 증착하였는데, 게이트 절연막으로는 전자선 증착된 뒤 치밀화 과정을 거친 두께 8,000 Å의 실리콘 산화막을 사용하였고, 게이트 전극으로는 3,000 Å 두께의 몰리브덴(Mo) 막을 증착하여 사용하였다. 다음으로 포토 레지스트를 전면에도포한 뒤, 팁 위에 증착된 게이트 전극

\* 正 會 員 : KIST 情報材料·素子研究센터 學生研究員/先任研究員 /責任研究員

接受日子 : 1999年 4月 27日

最終完了 : 1999年 6月 16日

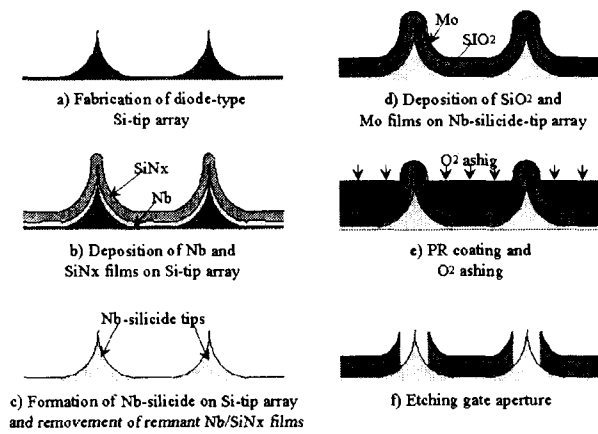


그림 1. Nb silicide가 형성된 Si-tip FEA의 제조 공정도  
 Fig. 1. Process steps for Nb silicide-coated Si-tip FEA

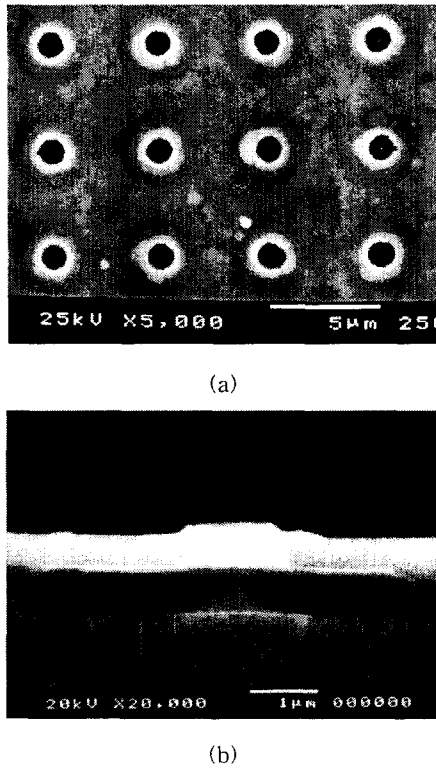


그림 2. Nb silicide가 형성된 Si-tip FEA의 평면도(a) 및 단면도(b)  
 Fig. 2. Plane view(a) and cross-sectional view of the Nb silicide-coated Si-tip FEA

과 절연막이 드러날 때 까지 산소 플라즈마를 이용하여 레지스트를 표면으로부터 점차로 제거하여 나갔다. 게이트 전극과 절연 막이 드러나게 되면 산소 플라즈마에 의한 ashing을 중단한 뒤, 건식 및 습식 식각에 의하여 전극과 절연막을 순차적으로 제거하여 게이트 홀을 완성하였으며 마지막으로 남아있는 레지스트를 완전히 제거하였다. 그림 2

는 이와 같은 공정을 거쳐 제조된 Nb silicide가 형성된 Si-tip FEA의 모양과 단위 소자의 단면을 나타낸 것으로 팁의 높이와 게이트 홀의 직경은 각각 1 $\mu$ m와 1.5 $\mu$ m로 정의 되어 있으며, 게이트 홀 내의 절연 막의 경우 습식 식각 과정에서 측면 식각이 과도하게 일어났음을 알 수 있다.

### 3. 분석 및 평가

#### 3-1. XRD 분석

Si-tip 상에 Nb silicide가 형성되었는지 알아보기 위하여 Si 기판 위에 Nb를 코팅한 후 열 처리 전과 후의 시편에 대하여 X-선 회절 분석법(X-ray diffractometry : XRD)을 사용하였다. 그림 3은 XRD 데이터로 A의 경우 열처리를 거치지 않은 단계로 Nb 산화막 피크만이 관찰되었는데 이는 증착된 Nb 막이 산소와 표면 반응을 하여 얇은 표면 산화막을 형성하고 있는 것으로 추측할 수 있다. Nb 박막 위에 보호용 질화막을 도포하고 1100 $^{\circ}$ C의 질소 분위기에서 1시간 동안 열처리를 한 뒤 질화막과 잔류한 Nb 층을 제거한 시편의 경우가 B에 해당하는데, Nb 산화막에 해당하는 피크가 무시될 정도로 작아지고 Si 피크와 함께 Nb silicide (NbSi<sub>2</sub>) 피크가 나타나고 있다. 따라서 Si-tip의 표면 근처에 Si이 다소 우세한 Nb silicide가 형성된 것으로 판단된다.

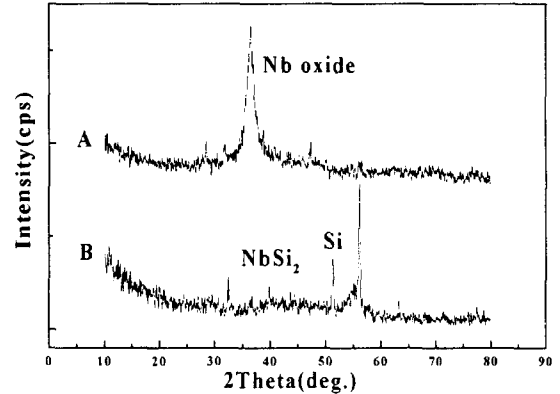
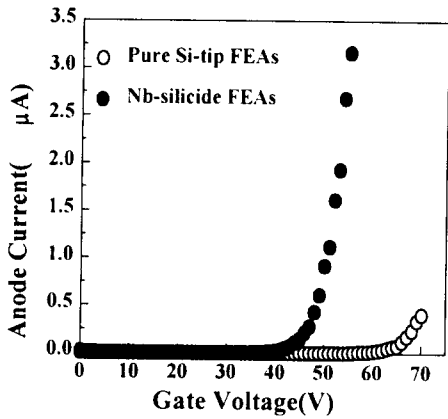


그림 3. Nb이 코팅된 Si 기판에 대한 열처리 전과 후의 XRD 데이터  
 Fig. 3. XRD data for the Nb-coated Si substrate before and after annealing

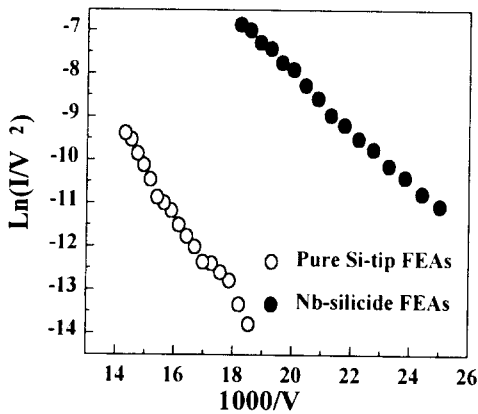
#### 3-2. 전기적 특성 평가

제조된 소자들을 1 $\times 10^{-8}$  Torr의 진공도를 갖는 전계방출 특성 평가장치 내에 넣고 동작시켜 보았다. 이때 팁과 양극 간의 거리는 1 mm를 유지하였고, 양극 전압으로는 400 V를 인가하였다. 그림 4의 (a)와 (b)는 각각 순수한 Si-tip FEA와 Nb silicide가 형성된 Si-tip FEA에 대하여 측정된 전류-전압 특성과 이에 대한 Fowler-Nordheim plot을 보인 것이다. 순수한 Si-tip에 비해 Nb silicide가 형성된 경우

동작 개시 전압이 52.1 V에서 32.3 V로 약 38 % 정도 감소한 것을 알 수 있다. 하나의 팁에서 방출하는 전류를 비교하여 보면 순수한 Si-tip의 경우 70 V의 게이트 전압에 대해 0.4 A의 전류가 발생하여 약 0.1 nA/tip인 반면에, Nb silicide가 형성된 Si-tip FEA의 경우 55 V의 게이트 전압에 대해 3.2 A의 방출 전류가 얻어져 0.9 nA/tip에 이르고 있다. Fowler-Nordheim plot으로부터 Nb silicide의 유효 일함수는 3.1 eV 정도로 얻어졌는데, 이러한 일함수의 감소로 인하여 동작 개시 전압이 감소하고 방출 전류가 증가한 것으로 판단된다.



(a)



(b)

그림 4. 제조된 소자들에 대한 전류-전압 특성(a) 및 Fowler-Nordheim plot(b)

Fig. 4. Current-voltage curve(a) and Fowler-Nordheim plot of the fabricated devices

아울러 전계 방출 소자들로부터 얻어지는 방출 전류의 표동을 1 시간 동안 측정하여 그림 5에 나타내었다. 순수한 Si-tip의 경우 5 %에 해당하는 평균 표동률이 Nb silicide를 코팅함으로써 2 %로 감소하는 것으로 나타났다. 이는 열처

리에 따른 금속과 Si 계면의 물리-화학적 안정성에 기인한 결과로 볼 수 있다[5].

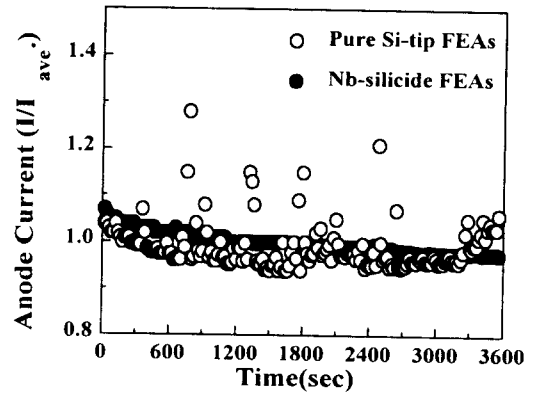


그림 5. 제조된 소자들에 대한 전계방출전류의 표동특성

Fig. 5. Current fluctuation of the fabricated devices

### 3-3. 형광체의 여기 효과

그림 5는 Nb silicide가 형성된 Si-tip FEA를 이용하여 청색 형광체를 여기시킨 사진이다. 400 V의 양극 전압에 대하여 게이트 전압이 40 V에서 가시적인 발광을 얻을 수 있었으며, 50 V에 이르면 발광 정도가 매우 증가하는 것을 알 수 있다.

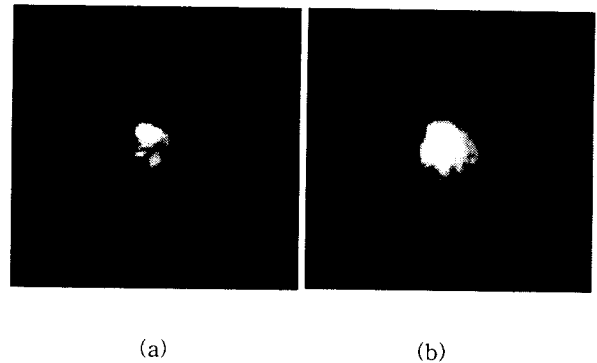


그림 6. Nb silicide가 형성된 Si-tip FEA에 의한 청색 형광체의 발광 모양

(a) 양극 전압 : 400 V, 게이트 전압 : 40 V

(b) 양극 전압 : 400 V, 게이트 전압 : 50 V

Fig. 6. Light emission patterns of the blue phosphor excited by the electrons emitted from the Ni silicide-coated Si-tip FEA

(a) anode voltage : 400V, gate voltage : 40V

(b) anode voltage : 400V, gate voltage : 50V

## 4. 결 론

Si-tip 위에 Nb silicide를 형성하여 전계방출 특성을 평가한 결과 다음과 같은 점들을 알 수 있었다.

1) Si-tip 위에 Nb silicide를 형성할 경우, Nb 박막을 코팅한 다음 보호막으로서 실리콘 질화막을 도포하고, 이를 열처리한 뒤 보호막과 잔류 Nb 층을 제거하는 방법에 의하여 산화를 방지하면서 Nb silicide가 형성된 Si-tip을 얻을 수 있었다. 또한 Nb silicide 형성 후에 다음 단계로 etch-back 공정을 진행하여 게이트 구조가 있는 Si-tip FEA를 제조할 수 있었다.

2) Nb silicide가 형성된 Si-tip FEA의 동작 특성을 평가한 결과 동작 개시 전압의 감소와 방출 전류의 증가, 그리고 전류 변동 특성의 향상을 얻을 수 있었으며, 이는 Nb silicide의 낮은 일함수와 물리-화학적 안정성에 기인한 것으로 추측된다.

참 고 문 헌

[1] "Handbook of Chemistry and Physics(59th ed.)", edited by R.C.West, CRC Press, USA, pp.E-81-E-82 (1978-1979)

[2] "Properties of Metal Silicides", edited by K.Maex and M.V.Rossum, INSPEC, U.K, pp.27-35 (1995)  
[3] N.Pupeter, T.Habermann, A.Kirschner, E.Mahner, G. Muller and H.Piel, "Comparative studies on enhanced field emission from mechanically and chemically polished broad-area Nb, Cu, and Al cathodes", Applied Surface Sciences, vol.94/95, pp.94-100 (1996)  
[4] M.Endo, H.Nakane and H.Adachi, "Fabrication of transition metal nitride field emitters", Applied Surface Sciences, vol.94/95, pp.113-116 (1996)  
[5] 주병권, 맹인영, 이윤희, 전덕영, 오명환, "크롬이 코팅된 실리콘 팁 어레이의 전계 방출 특성", 전기학회논문지, 46권, 10호, pp.1557-1561 (1997)

저 자 소 개

주 병 권 (朱 炳 權)

전기학회논문지 제48C권 제1호 참조



박 재 식 (朴 宰 奭)

1971년 12월 5일생. 1996년 영남대학교 물리학과 졸업. 1999년 경희대학교 대학원 정보 디스플레이 공학과 졸업. 1999년~현재 LGLCD 공정 기술팀 연구원.

김 훈 (金 勳)

전기학회논문지 제48C권 제1호 참조

이 윤희 (李 允 熙)

전기학회논문지 제48C권 제1호 참조



이 상 조 (李 相 祚)

1969년 11월 13일생. 1994년 명지대학교 물리학과 졸업. 1996년 동 대학원 물리학과 졸업(석사). 1996~현재 동 대학원 물리학과 재학중 (박사과정) 관심 분야 : Si 전계방출소자

오 명 환 (吳 明 煥)

전기학회논문지 제48C권 제1호 참조