

# 다결정 실리콘 박막 트랜지스터의 수소화에 따른 전기적 스트레스의 영향

論 文  
48C-5-15

## Effects of Electrical Stress on Polysilicon TFTs with Hydrogen Passivation

黃聖洙\* · 黃漢郁\*\* · 金容商\*\*\*  
(Seong-Soo Hwang · Han-Wook Hwang · Yong-Sang Kim)

**Abstract** - We have investigated the effects of electrical stress on poly-Si TFTs with different hydrogen passivation conditions. The amounts of threshold voltage shift of hydrogen passivated poly-Si TFTs are much larger than those of as-fabricated devices both under the gate only and the gate and drain bias stressing. Also, we have quantitatively analyzed the degradation phenomena by analytical method. We have suggested that the electron trapping in the gate dielectric is the dominant degradation mechanism in only gate bias stressed poly-Si TFT while the creation of defects in the channel region and poly-Si/SiO<sub>2</sub> interface is prevalent in gate and drain bias stressed device.

**Key Words** : Hydrogenation, Polycrystalline Silicon, Thin-film transistor, Degradation, Defect creation, Charge trapping

### 1. 서론

다결정 실리콘 박막 트랜지스터(poly-Si TFT)는 최근 액정 평판 표시기의 구동 소자로서 그 물성과 소자 개발에 관한 연구가 활발히 진행되고 있다[1]. 특히, poly-Si TFT는 비정질 실리콘 박막 트랜지스터(a-Si TFT)보다 전계 효과 이동도가 높아 액정을 변위시키는 스위칭 소자와 주변 회로를 동일 유리 기판 위에 동시에 제작할 수 있는 장점을 가지고 있으나 OFF 상태에서의 누설 전류가 큰 단점을 지니고 있으며[2,3], 이런 단점을 보완하기 위하여 수소화는 poly-Si TFT의 특성을 개선시키는 방법으로 널리 알려져 있다[4,5]

대면적 고해상도의 액정 평판 표시기에서 poly-Si TFT는 화소 스위칭 소자로의 응용이 기대되는 바, 소자의 크기가 작아짐으로 인해 소자의 장기적 동작 안정성 및 소자 제작 공정상의 문제로 전기적 스트레스에 의한 소자의 열화 현상이 중요한 문제로 대두되고 있다. Poly-Si TFT의 전기적 스트레스에 의한 열화 현상은 게이트-드레인 전압인가 조건에서 큰 채널 전류에 의해 poly-Si 박막 내의 약한 Si-H 결합의 파괴로 생성되는 결합 발생 현상[6]과 강한 게이트 전압의 인가로 생성되는 전하 포획의 두 가지 형태로 보고된 바 있다[7]. 그러나, 소자의 특성을 향상시키기 위한 수소화와 관련된 열화 현상의 발생 기구는 아직 명확하게 규명되어 있지 않다.

본 논문에서는 수소화를 수행한 소자에서의 전기적 스트레스에 의한 영향을 고찰하기 위해 게이트 바이어스 스트레스

와 게이트-드레인 바이어스 스트레스 등의 두 가지 형태의 전기적 스트레스를 인가하였으며, 바이어스 스트레스 후의 소자 특성의 변화를 관찰하여 각 바이어스 스트레스 조건에서의 열화 현상을 규명하여 소자 특성을 향상시키기 위한 수소화가 전기적 스트레스인가 후에 소자 특성 변화에 미치는 영향을 고찰하였다. 또한, 수소화 전후의 게이트-드레인 바이어스 스트레스 인가 조건에서 스트레스 시간의 변화에 따른 열화 현상의 변화를 규명하였다.

### 2. 저온 다결정 실리콘 박막 트랜지스터의 제작과 특성

Co-planar 구조의 poly-Si TFT는 저온에서 증착된 a-Si 박막을 결정화한 poly-Si TFT 박막을 사용하여 제작하였다. APCVD 방법으로 375°C에서 5000Å의 SiO<sub>2</sub> 박막을 증착시킨 다음, LPCVD에 의하여 550°C에서 1000Å의 a-Si을 증착하여 활성 영역을 형성하고, RTA 방법에 의해 850°C에서 30초 동안 열처리하여 다결정화하였다.

게이트 SiO<sub>2</sub> 박막으로는 PECVD 방법으로 TEOS SiO<sub>2</sub> 박막을 350°C에서 1000Å 두께로 증착하였다. 이후 게이트 전극을 형성하기 위하여 LPCVD 방법으로 550°C에서 2000Å의 a-Si을 증착하여 게이트를 형성하였다. 자기 정렬 (self-alignment) 방법에 의하여 소오스, 드레인 및 게이트 영역을 이온 주입 방법으로 40keV에서  $5 \times 10^{15} \text{ cm}^{-2}$  농도의 P<sup>+</sup>로 도우핑한다.

P<sup>+</sup>이온의 이온 주입 공정을 행한 후 850°C의 질소 분위기에서 30초 동안 RTA를 이용하여 주입된 이온을 활성화시켰다. 그리고 보호막으로서 SiO<sub>2</sub> 박막을 APCVD 방법으로 7000Å 두께로 증착하였고 금속화 공정을 거쳐 소자를 제작하였으며 완성된 poly-Si TFT의 단면 구조를 그림 1에 나타내었다.

\* 準 會 員 : 三和電子工業株式會社 R&D센터 研究員

\*\* 準 會 員 : 明知大 電氣工學科 碩士課程

\*\*\* 正 會 員 : 明知大 電氣情報制御工學部 助教授

接受日字 : 1999년 1월 4일

最終完了 : 1999년 3월 16일

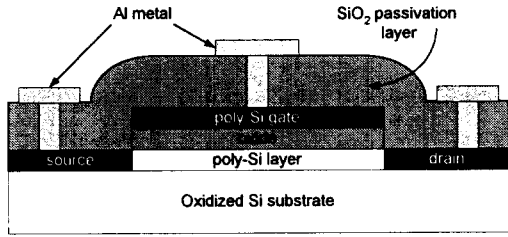


그림 1. 저온 공정에서 제작된 poly-Si TFT.  
 Fig 1. The schematic of low-temperature processed poly-Si TFT.

3. 수소화에 따른 전기적 스트레스에 의한 열화 현상

저온에서 제작된 poly-Si TFT의 전기적 스트레스에 의한 열화 현상을 고찰하기 위하여 두 가지 종류의 전기적 스트레스를 인가하였다. 먼저 30V의 D.C 바이어스를 게이트에만 인가하여 수소화 전·후의 소자 특성의 변화를 측정하였으며, 게이트-드레인 사이에 동시에 30V의 전압을 인가하여, 수소화 전·후의 열화 현상을 고찰하였다. D.C 바이어스는 3시간 까지 인가하였다. 수소화는 13.56 MHz의 r.f. 플라즈마 반응 챔버에서 수소를 100 sccm 유입하며 300 °C에서 5시간동안 수행하였다. 변수들의 측정은 HP4145B 반도체 변수 분석 장비를 이용하였다.

전기적 스트레스에 의한 소자의 열화 현상은 문턱 전압과 문턱 이전 기울기의 변화로 나타나는데, 이는 게이트 절연층으로의 전하 포획과 poly-Si 활성층과 게이트 절연층의 계면에서 약한 Si-H 결합의 파괴로 발생하는 결함에 의한 것으로 보고된 바 있다[8].

그림 2와 그림 3에 수소화 전과 수소화 후의 소자에 게이트 바이어스 스트레스를 인가하여 특성 변화를 스트레스 인가 시간의 함수로 각각 나타내었다. 수소화 전의 소자에서는 스트레스 시간에 따른 전달 특성의 변화는 거의 나타나지 않은 반면 수소화한 소자에서는 급격한 문턱 전압의 변화가 나타났다. 수소화 이후의 소자에서는 스트레스인가 초기부터 급격한 문턱 전압의 수평 이동이 발생하고, 스트레스가 진행되면서  $\sqrt{I_{DS}} - V_G$  기울기는 변화하지 않고 수평 이동이 지속적으로 나타났다. 이는 문턱 전압의 변화가 기울기의 수평 이동에 의해 나타난 현상으로 활성층과 게이트 절연층 사이의 계면 상태로 인해 활성층에 형성된 채널에서 게이트 절연막으로의 전하 포획에 의한 것이며, 수소화된 소자의 경우 전하 포획에 의한 문턱 전압의 변화가 수소화 전보다 크게 발생한다.

30V의 게이트 바이어스와 드레인 바이어스를 동시에 인가한 경우, 수소화전의 전압인가 시간에 따른 소자 특성 변화를 그림 4에 나타내었으며, 그림 5에는 5시간 수소화한 후의 기울기 변화를  $\sqrt{I_{DS}} - V_G$  곡선으로도 시하였다.

수소화 전·후의 게이트-드레인 바이어스 스트레스인가에 따른 변화를 관찰한 바, 수소화 이전의 소자에서는 전압인가 시간이 지남에 따라 기울기와 문턱 전압의 변화가 서서히 감소하는 경향을 보이고 있다. 반면 수소화한 소자에서는 문턱 전압과 기울기의 변화가 거의 일정한 경향을 보이며 감소한다. 게이트-드레인 전압 스트레스에 의하여 수소화 전보다

수소화 이후에 문턱 전압과 곡선의 기울기가 더욱 크게 변화하였다. 게이트-드레인 전압 스트레스에 의한 주된 열화 기구는 poly-Si 내에 존재하는 약한 Si-H 결합이 드레인 접합 부근에서 높은 드레인 전압으로 생성된 높은 전계에 의해 가속된 큰 에너지를 지닌 전자가 Si-H 결합을 파괴하여 결함을 생성하게 된다. 수소화 후 poly-Si 박막의 그레인 내부와 그레인 경계면의 결합에 다수의 약한 Si-H 결합을 형성하여 전계 효과 이동도와 문턱 이전 기울기가 증가하지만, 스트레스 시간이 증가할수록 많은 Si-H 결합이 파괴되어, 수소화 이전의 결함의 생성량 보다 많은 결함을 생성하여 전계 효과 이동도가 감소하여 수소화 전보다 곡선의 기울기와 문턱 전압의 변화가 더욱 크게 발생한다.

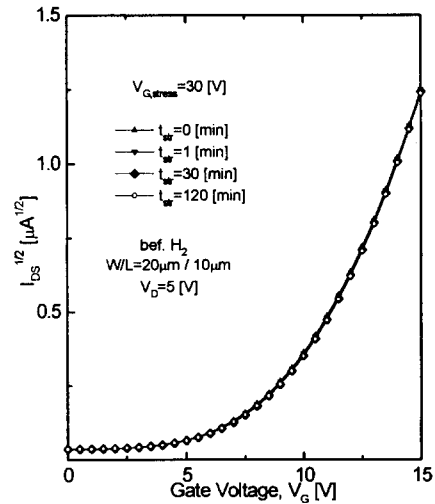


그림 2. 수소화 이전의 게이트 바이어스 스트레스인가에 따른  $\sqrt{I_{DS}} - V_G$  특성.  
 Fig. 2. The  $\sqrt{I_{DS}} - V_G$  characteristics with applying the gate bias stress before hydrogenation

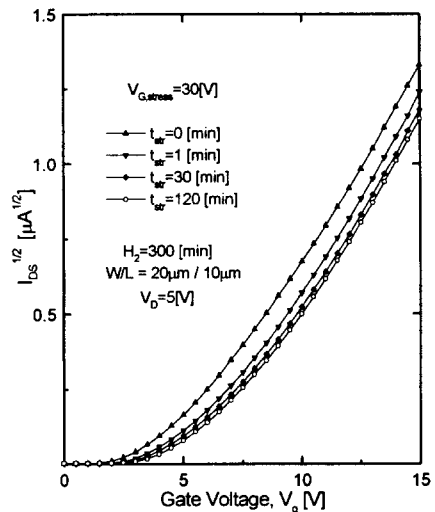


그림 3. 5시간 수소화 후의 게이트 바이어스 스트레스인가에 따른  $\sqrt{I_{DS}} - V_G$  특성.  
 Fig. 3. The  $\sqrt{I_{DS}} - V_G$  characteristics with applying the gate bias stress after 5hours hydrogenation

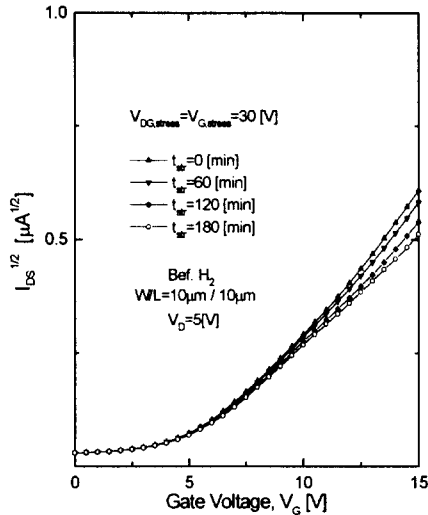


그림 4. 수소화 이전의 게이트-드레인 바이어스 스트레스트 인가에 따른  $\sqrt{I_{DS}} - V_G$  특성.

Fig. 4. The  $\sqrt{I_{DS}} - V_G$  characteristics with applying the gate-drain bias stress before hydrogenation

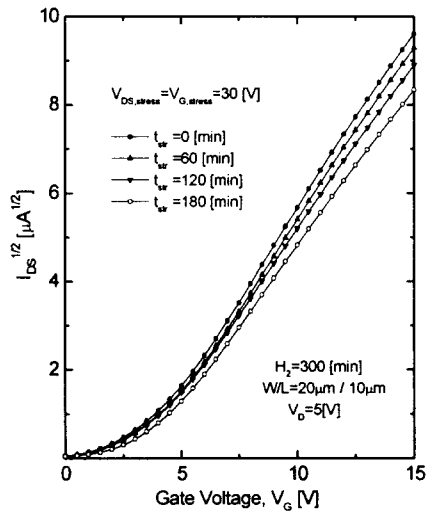


그림 5. 5시간 수소화 후의 게이트-드레인 바이어스 스트레스트 인가에 따른  $\sqrt{I_{DS}} - V_G$  특성.

Fig. 5. The  $\sqrt{I_{DS}} - V_G$  characteristics with applying the gate bias stress after 5 hours hydrogenation

#### 4. 전기적 스트레스에 의한 열화 현상의 정량적 분석

전기적 스트레스에 의한 Poly-Si TFT에서의 열화 현상은 전하 포획과 결함 생성의 형태로 나타난다. 게이트 바이어스만을 인가한 경우나 혹은 게이트-드레인 바이어스를 동시에 인가할 경우 발생하는 소자의 열화는 각 전기적 스트레스 조건에서 독립적으로 발생하기도 하지만 두 현상이 동시에 발생하게 되며, 각 스트레스 인가 조건에서 발생하는 열화 현상을 독립적으로 이해하기란 매우 어려운 일이다. 따라서, 본 논문에서는 전기적 스트레스에 의하여 발생하는 Poly-Si TFT의 열화 현상을 MOS 시스템에서의 열화 현상을 기초로

하여 열화 기구를 이해하고, 각 바이어스 인가 조건에서의 열화 현상을 정량적으로 분석하였다.

Poly-Si TFT의 문턱 전압의 변화를 일으키는 요소로는 ionizing radiation, hot-carrier, high-field stress와 그 외의 여러 가지 요인이 존재한다[9-11]. 소자의 많은 응용 분야에서 문턱 전압의 변화에 기여하는 서로 다른 요소를 이해하는 것은 매우 중요한 일이다. 문턱 전압의 변화 ( $\Delta V_{th} = \Delta V_{N_s} + \Delta V_{N_i}$ )는 게이트 절연층으로의 전하 포획( $\Delta V_{N_s}$ ), 다결정 실리콘 활성층의 약한 Si-H 결합의 파괴에 의한 결합의 발생( $\Delta V_{N_i}$ )등의 두 요인이 결합되어 나타난다[12]. 그림 6에 게이트 바이어스와 게이트-드레인 바이어스 스트레스트 조건에 따른 열화 현상을 도식적으로 표현하였다. 전하 포획과 결함의 발생은 미드갭 전류와 문턱 전류, 각각의 전압인 미드갭 전압과 문턱 전압을 정의함으로써 정량적 해석이 가능해진다.

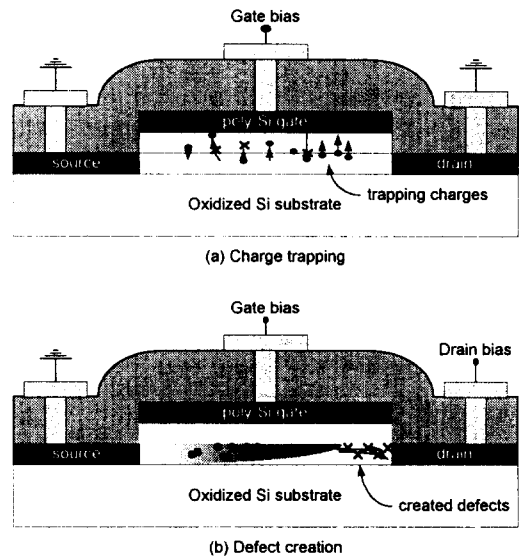


그림 6. 게이트 바이어스, 게이트-드레인 바이어스 스트레스트 인가의 열화 기구; (a) 전하 포획, (b) 결함 생성.

Fig. 6. Degradation mechanism with applying the gate and gate-drain bias stress; (a) Charge trapping, (b) Defect creation.

미드갭 전류는 Fermi level과 진성 Fermi level과의 전위차만큼 밴드가 휘었을 때의 전류로 표면 밴드 밴딩의 함수로 표현된 식에 의해 구할 수 있다.

$$I_d = \sqrt{2} C_m (q N_A L_B / \beta) (n_i N_A)^2 \exp(\beta \phi_s) \sqrt{\beta \phi_s}$$

- $\phi_s$  : the band bending at the surface
- $N_A$  : the channel doping
- $n_i$  : the intrinsic carrier concentration
- $L_B = [\epsilon_s / (\beta q N_A)]^{1/2}$ ,  $\beta = q/kT$ ,  $C_m = \mu(W/2L)$

미드갭 전압은 미드갭 전류일 때의 전압으로 전달 특성 곡

선에서 문턱 이전의 선형 영역에서의 접선을 외삽하여 구할 수 있으며, 미드갭 전류의 크기는  $0.01\mu A - 1\mu A$  사이의 값을 지니게 된다. 문턱 전류는 문턱 전압일 때의 전류로  $\sqrt{I_{DS} - V_G}$  곡선에서 구한 문턱 전압을 이용하여 구할 수 있다. 결함 발생으로  $I_{DS} - V_G$  곡선 상에서 문턱 이전 기울기의 변화가 일어나는데(stretchout), 이는 문턱 전압과 미드갭 전압의 차로 정의되는 전압 ( $V_{SO} = V_{th} - V_{mg}$ )의 각 스트레스 시간에서의 변화량으로 구할 수 있다. 또한, 게이트 절연층으로의 전하 포획에 의한 문턱 전압의 변화는 미드갭 전류일 때의 전압인 미드갭 전압의 각 스트레스 시간에서의 차로 정의된다. 그림 7에 정량적 해석을 위한 각 변수의 정의를 간단히 나타내었다.

결함 발생과 전하 포획에 의한 문턱 전압의 변화를 구별하기 위해서는, 각 스트레스 조건에서 인가된 전압 바이어스에 의해 문턱 이전 전달 특성에 어떤 영향을 줄 것인가를 이해할 필요가 있다. 에너지 밴드의 미드갭 윗 부분의 계면 트랩은 억셉터상이 되고, 반대로 미드갭 아래 부분에서의 계면 트랩은 도우너상이 된다. 결함 발생의 경우, 밴드가 미드갭에서 문턱 영역으로 휘어짐에 따라, 억셉터 계면 트랩의 증가되는 수는 페르미 준위 아래로 떨어지게 되고, 음으로 충전되게 된다. 결과적으로 미드갭과 문턱 영역 사이에서 문턱 이전 전달 곡선은 왜곡된다. 전하 포획에 의한 문턱 전압의 변화는 게이트 전압과 무관하며, 문턱 이전 전달 곡선을 오른쪽으로 수평 이동시킨다. 밴드가 진성 준위와 페르미 준위의 차만큼 휘었을 때, 도우너 트랩은 페르미 준위 아래로 떨어지게 되고, 억셉터 준위는 페르미 준위 위로 증가하게 된다.

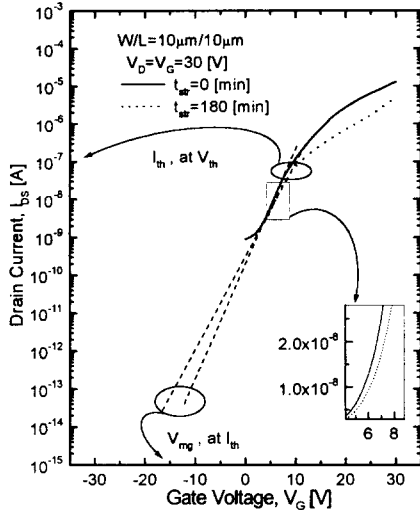


그림 7. 스트레스 전후의 문턱 이전 전달 특성 곡선.  
 Fig. 7. The subthreshold characteristics before and after electrical stress.

그림 8에서, 수소화 이전의 게이트-드레인 바이어스 스트레스를 인가한 소자의 게이트 절연층으로의 전하 포획에 의한 문턱 전압의 변화와 결함 생성으로 발생하는 문턱 전압의 변화를 스트레스 인가 시간의 함수로 나타내었다. 스트레스가 진행됨에 따라 전하 포획에 의한 문턱 전압과 결함 생성에 의한 문턱 전압이 동시에 증가하는데, 결함 생성에 의한 문턱 전압의 변화가 전하 포획에 의한 문턱 전압의 변화보다

크게 나타난다. 그림 9는 게이트-드레인 바이어스 스트레스를 동시에 인가한 경우에 발생하는 결함 생성의 변화비율 스트레스 인가 시간의 함수로 나타냈다. 그림에서, 스트레스 초기에는 게이트 절연층으로의 전하 포획에 의한 트랩이 많이 생성되고 스트레스인가 시간이 증가함에 따라 결함 발생이 우세하게 나타나며, 수소화 전 보다 수소화 후 결함 발생이 많이 발생한다. 이는 수소화 후, 수소화 전 보다 다결정 실리콘 박막 안에 다량의 수소가 유입되어, 많은 Si-H 결함을 형성하기 때문이다.

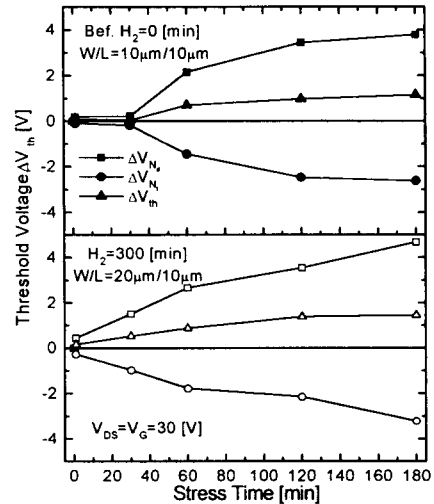


그림 8. 게이트-드레인 바이어스 스트레스인가 시간에 따른 문턱 전압의 변화.  
 Fig. 8. The threshold voltage shift with different gate-drain bias stress time.

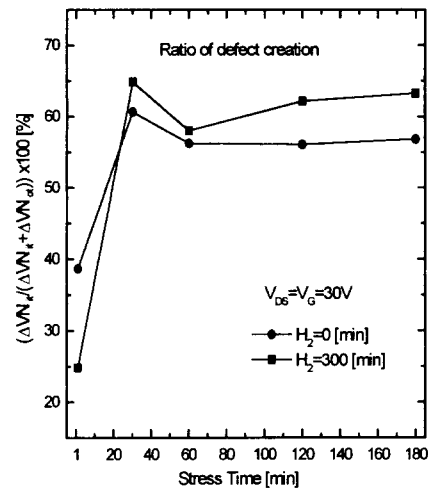


그림 9. 게이트-드레인 바이어스 스트레스인가 시간에 따른 결함 생성의 변화.  
 Fig. 9. The change of defect creation shift with different gate-drain bias stress time.

게이트-드레인 전압 스트레스인가에 따른 문턱 전압의 변화는 게이트 절연층으로의 전하 포획이나, 큰 드레인 전압이 인가됨으로써 다결정 실리콘 박막 내에 존재하는 약한 Si-H

결합이 강한 전계에 의해 가속된 전자에 의해 파괴에 되어 발생하는 결합 생성에 의해 동시에 일어난다. 게이트-드레인 전압 스트레스 인가에 의한 소자의 열화 현상은 게이트 절연층으로의 전하 포획보다는 결합 생성이 주된 요인으로 사료된다. 이와는 반대로 게이트 바이어스 스트레스만을 인가한 경우에는 게이트 전압에 의해 다결정 실리콘 박막에 형성된 채널층에서 게이트 절연막으로의 전하 포획이 우세하게 나타난다.

### 5. 결론

수소화에 따른 게이트 전압, 게이트-드레인 전압 스트레스에 의한 다결정 실리콘 박막 트랜지스터의 열화 현상을 고찰하였다. 게이트 전압 스트레스를 인가한 경우, 수소화 이전의 소자에서는 전달 특성의 변화가 없었으나, 수소화 이후의 소자에서는 게이트 절연층에 전하 포획에 의한 문턱 전압의 변화가 발생하였다. 또한 수소화된 박막 트랜지스터에 게이트-드레인 전압 스트레스를 인가한 경우, 수소화 전보다 큰 문턱 전압의 변화가 발생하였다. 이는 게이트-드레인 전압 스트레스인가에 의한 게이트 절연층으로의 전하 포획과 다결정 실리콘 박막 내에 존재하는 약한 Si-H 결합의 파괴에 의한 결합 생성에 의한 것으로 사료된다.

전기적 스트레스에 의한 소자 특성의 변화를 정량적으로 분석한 결과, 스트레스가 진행됨에 따라 전하 포획에 의한 문턱 전압과 결합 생성에 의한 문턱 전압이 동시에 증가하는데, 결합 생성에 의한 문턱 전압의 변화가 전하 포획에 의한 문턱 전압의 변화보다 크게 나타난다. 게이트-드레인 바이어스 스트레스를 동시에 인가한 경우에 발생하는 결합 생성의 변화비는 스트레스 초기에는 게이트 절연층으로의 전하 포획에 의한 트랩이 많이 생성되고 스트레스인가 시간이 증가함에 따라 결합 발생이 우세하게 나타나며, 수소화 전 보다 수소화 후 결합 발생이 많이 발생한다. 이는 수소화 후, 수소화 전 보다 다결정 실리콘 박막안에 다량의 수소가 유입되어, 많은 Si-H 결합을 형성하기 때문이다.

#### 감사의 글

본 연구는 교육부 반도체 분야 학술 연구 조성비(ISRC-97-E-1063)에 의해 연구되었습니다.

### 참 고 문 헌

[1] G. Fossum and A. Ortiz-Conde, " Anomalous Leakage Current in LPCVD Polysilicon MOSFETs," IEEE Trans. Electron Devices, vol.32, pp.1878-1844, 1985  
 [2] Y. Kaneko, Y. Tanaka, N. Kabuto, and T. Tsukada, "A new address scheme to improve the display quality of a-Si TFT/LCD panel," IEEE Trans. Electron Devices, ED-36, pp.2949-2952, 1989.  
 [3] K. Tanaka, H. Arai, and S. Kohda, "Characteristics of offset-structure polycrystalline-silicon thin-film transistors," IEEE Electron Device Lett., vol.9, pp.23- 25, 1988.

[4] I. W. Wu, A. G. Lewis, T. Y. Huang, and A. Chiang, "Effects of trap-state density reduction by plasma hydrogenation in low-temperature poly-Si thin film transistors," IEEE Electron Device Lett., vol.10, pp.123-125, 1989.  
 [5] Y. S. Kim, K. Y. Choi, and M. K. Han, "Different hydrogenation passivation effects on low-temperature and high-temperature processed poly-Si TFTs," Jpn. J. Appl. Phys., vol.34, pp.719-723, 1995.  
 [6] Noriji Kato, Takayuki Yamada, So Yamada, Takeshi Nakamura and Toshihisa Hamano, "Degradation Mechanism of Polysilicon TFTs under D.C. Stress." IEDM 92, pp. 677-680, 1992.  
 [7] M. Hack, A. G. Lewis, and I. W. Wu, "Physical Models for Degradation Effects in Polysilicon Thin-Film Transistors," IEEE Trans. Electron Devices, vol.40, no.5, pp.890-897, 1993  
 [8] Y. S. Kim and M. K. Han, "Degradation due to Electrical stress in Poly-Si Thin Film Transistors with Various LDD lengths," IEEE Electron Device Lett., vol. 16, no. 6, pp. 245-247, 1995.  
 [9] E. H. Snow, A. S. Grove, and D. J. Fitzgerald, "Effect of Ionization Radiation on Oxidized Silicon Surfaces and Planar Devices," Proc. IEEE, vol.55, pp.1168-1180, 1967  
 [10] M. Koyanagi, H. Kurino, T. Hashimoto, H. Mori, K. Hata, and Y. Hiruma, "Relation between Hot-Carrier Light Emission and Kink Effect in Poly-Si Thin Film Transistors," IEDM 91, pp.571-574, 1991  
 [11] N. D. Young and A. Gill, "State creation and hole trapping in polycrystalline silicon thin film transistors at high drain bias," Semicond. Sci. Technol., vol.5, pp.728-732, 1990  
 [12] P. J. McWhorter and P. S. Winokur, "Simple technique for seperating the effects of interface traps and trapped oxide charge in metal-oxide-semiconductor transistors," Appl. Phys. Lett., vol.48, no.2, pp.133-135, 1986

### 저 자 소 개



#### 황성수 (黃聖洙)

1971년 7월 25일생. 1997년 명지대 전기공학 졸업. 1998년 동 대학원 졸업(석사), 현재, 삼화전자공업주식회사 R&D센터 연구원. 주관심 분야는 자기 박막 및 디스플레이 소자.

Tel : (0342) 712-2509

E-mail : tft71@hanmail.net



**황한욱 (黃漢郁)**

1975년 2월 6일생. 1998년 명지대 전기공학  
학과 졸업. 1998년 동 대학원 입학, 현재  
동 대학원 석사과정, 주관심분야는 폴리  
실리콘 박막 트랜지스터의 구조개선 및  
박막 물성 향상

Tel : (0335) 335-9039

E-mail : wook@wh.myongji.ac.kr



**김용상 (金容商)**

1965년 6월 5일생. 1988년 서울대 전기공  
학과 졸업. 1994년 서울대 대학원 전기공  
학과 졸업(공학), 현재 명지대 전기정보제  
어공학부 조교수. 주관심분야는 폴리 실리  
콘 박막 트랜지스터, SiC 등.

Tel : (0335) 330-6363

E-mail : kys@wh.myongji.ac.kr