

ON/OFF 전류비를 향상시킨 새로운 bottom-gate 구조의 다결정 실리콘 박막 트랜지스터

論 文
48C-5-6

A Novel Bottom-Gate Poly-Si Thin Film Transistors with High ON/OFF Current Ratio

全 宰 弘* · 崔 權 永** · 朴 基 燦* · 韓 民 九***
(Jae-Hong Jeon · Kwon-Young Choi · Kee-Chan Park · Min-Koo Han)

Abstract - We have proposed and fabricated the new bottom-gated polycrystalline silicon (poly-Si) thin film transistor (TFT) with a partial amorphous-Si (a-Si) region by employing the selective laser annealing. The channel layer of the proposed TFTs is composed of poly-Si region in the center and a-Si region in the edge. The TEM image shows that the local a-Si region is successfully fabricated by the effective cut out of the incident laser light in the upper a-Si layer. Our experimental results show that the ON/OFF current ratio is increased significantly by more than three orders in the new poly-Si TFT compared with conventional poly-Si TFT. The leakage current is decreased significantly due to the highly resistive a-Si region like that of a-Si TFTs while the ON-series resistance of the local a-Si is reduced significantly due to the considerable inducement of electron carriers by the positive gate bias, so that the ON-current is not decreased much.

Key Words : 다결정 실리콘, 비정질 실리콘, 박막 트랜지스터, 레이저 어닐링, Bottom-gate 구조

1. 서 론

액시머 레이저 어닐링 공정을 이용하여 제작된 다결정 실리콘 (polycrystalline silicon, poly-Si) 박막 트랜지스터 (thin film transistor, TFT) 는 300°C 이하의 저온에서 제작이 가능하기 때문에 저가의 유리 기판을 이용할 수 있으며, 제작된 소자의 전기적 이동도가 높아 이를 LCD (liquid crystal display) 의 스위칭 소자로 응용하기 위한 많은 연구가 진행되어 왔다[1]. 지금까지 다결정 실리콘 TFT의 소자 구조로서 소오스/드레인의 도핑 시에 자기 정합이 가능한 top-gate 구조에 관심이 집중되어 왔으나 최근에는 소자의 구조와 제작공정이 기존의 대량생산체제의 비정질 실리콘 (amorphous silicon, a-Si:H) TFT와 거의 동일한 장점이 있는 bottom-gate (BG) 구조의 다결정 실리콘 TFT의 제작에 대한 연구가 진행되고 있다.

BG구조의 다결정 실리콘 TFT는 활성층과 소오스/드레인 영역에 각각 사용되는 비도핑 비정질 실리콘 박막과 n⁺ 비정질 실리콘 박막을 플라즈마 화학 기상 증착법 (plasma enhanced chemical vapor deposition, PECVD) 을 통해 형성한 다음 레이저 어닐링을 이용하여 다결정 실리콘으로 재결정화 함으로써 쉽게 제작할 수 있다[2,3]. 그러나 다결정 실리콘 TFT의 단점으로 지적되고 있는 높은 누설전류는 여

전히 해결해야 하는 문제로 남아있다. 누설 전류의 억제를 위해 거의 필수적인 저농도 도핑 드레인 영역 (lightly doped drain, LDD) 을 가지는 TFT를 실현하기 위해서는 추가적으로 n⁺ 비정질 실리콘 영역의 형성과 포토마스크가 요구되기 때문에 이로 인해 공정이 복잡해지며 LDD 영역의 직렬 저항 성분은 ON전류의 감소를 야기할 수 있기 때문에 누설전류의 효과적인 억제를 위한 최적의 저농도 도핑조건을 찾아야 하는 까다로운 문제가 있다. 또한, 활성층과 소오스/드레인 ohmic접촉 층을 위한 두 번의 레이저 어닐링 공정 또한 제작공정을 복잡하게 만드는 요인이다[3].

본 논문에서는 선택적 레이저 어닐링을 통해 채널에 국부 비정질 실리콘 영역을 가지는 새로운 BG-poly-Si TFT를 제안하여 제작 공정이 간단해 지고 소자의 전기적 특성이 현저하게 향상된 결과를 얻었다. 제안된 소자에서 소오스/드레인 접합 부근에 형성되어 있는 높은 저항성분의 비정질 실리콘 영역으로 인해 누설전류가 현저하게 감소되는 효과를 얻을 수 있었으며 ON 상태에서 게이트 전압에 의해 유기되는 많은 수의 전자들로 인해 이 영역의 저항이 현저하게 감소함으로 인해 기존의 다결정 실리콘 TFT와 거의 비슷한 ON 전류 특성을 보였다. 레이저 어닐링 공정을 제외하고는 전체 마스크의 수와 제작 공정이 상업적으로 제작되는 비정질 실리콘 TFT와 거의 동일하며 LDD 영역을 형성하기 위한 별도의 저농도 도핑 공정을 추가하지 않고 우수한 소자의 ON/OFF 전류 특성을 실현하였다.

2. 소자 구조 및 제작

제안된 BG-poly-Si TFT의 단면은 그림1과 같다. 기존에 이미 알려져 있는 etch -stopper (E/S) 구조의 BG-poly-Si

* 正 會 員 : 서울大 電氣工學部 博士課程
** 正 會 員 : 三星電子 先任研究員, 工博
*** 正 會 員 : 서울大學校 電氣工學部 教授, 工博
接受日字 : 1998年 8月 23日
最終完了 : 1999年 3月 19日

TFT와의 주요한 차이점은 채널 영역에 있다. 제안된 TFT에서 채널의 가운데 영역은(영역 a) 다결정 실리콘으로 가장자리 영역은(영역 b) 비정질 실리콘으로 구성되어 있다.

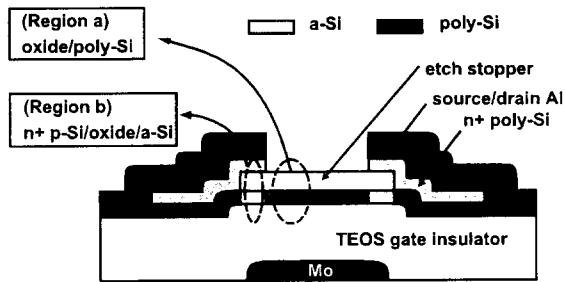


그림 1 제안된 bottom-gated 다결정 실리콘 박막 트랜지스터의 단면구조. 채널영역은 가장자리의 비정질 실리콘과 중앙의 다결정실리콘으로 구성되어 있음.

Fig. 1 The cross-section of the proposed bottom-gate poly-Si TFT with the local a-Si region near the drain junction. The channel region is composed of poly-si (region a) and a-Si (region b).

제안된 소자에서는 OFF 상태에서 채널에 있는 국부 진성 비정질 층은 드레인 접합 부근의 홀 캐리어의 전계 방출을 억제하여 누설전류를 줄이며[4] ON 상태에서는 게이트 전압에 의한 많은 전자들의 유도로 인해 진성 비정질 실리콘 영역의 직렬 저항이 현저히 감소하여 ON전류의 감소를 방지할 수 있다.

제안된 BG-TFT의 주요 공정 순서는 그림2와 같다. 2000 Å의 sputter된 Mo (molybdenum) 층을 5000Å 산화막이 형성된 웨이퍼에 증착하고 게이트 전극을 정의하기 위해 습식 식각을 하였다. PECVD(plasma enhanced chemical vapor deposition)를 이용하여 1500Å의 TEOS(tetra ethyl ortho silicate) 산화막 (390°C), 600Å의 비정질 실리콘 (250°C), 1000Å의 TEOS 산화막 (390°C)을 각각 게이트 절연막, 활성층, etch-stopper(E/S)로서 증착을 하였다. Etch-stopper를 패터한 다음(그림2a), 400Å의 n⁺ 비정질 실리콘 박막을 PECVD를 이용하여 250°C에서 증착하였다. 소오스/드레인 마스크 과정에서는 n⁺ 비정질 실리콘 영역과 진성 비정질 실리콘 영역이 연속적으로 식각되어 활성층을 정의하기 위한 추가적인 포토마스크 작업은 요구되지 않는다.(그림2b) 레이저 어닐링에 앞서, 450°C의 질소 환경에서 90분 동안의 노(furnace) 어닐링을 통해 탈수소 공정을 실시하였다[5]. 측면 방향으로의 열 전달이 적은 엑시머 레이저 어닐링을 이용하여 비정질 실리콘 활성층은 선택적으로 결정화된다[6]. 오염 접촉을 위한 n⁺ 비정질 실리콘 층은 레이저 에너지를 흡수하여 다결정 실리콘으로 결정화되고 이 n⁺ 비정질 실리콘 층과 겹치는 활성층 영역은 비정질 실리콘 상태로 남게 된다.(그림2c). 이 위에 3000Å의 r.f. sputter를 이용하여 증착된 Al(aluminum)을 소오스/드레인 메탈로 패터닝하고 300°C, 500 mTorr의 조건에서 수소 플라즈마를 이용해 PECVD를 이용하여 1시간 동안 수소화를 실시하였다[7]. 제안된 TFT의 마스크 수는 전체 5개이고, 이것은 기존의 E/S

TFT와 동일한 것이다.

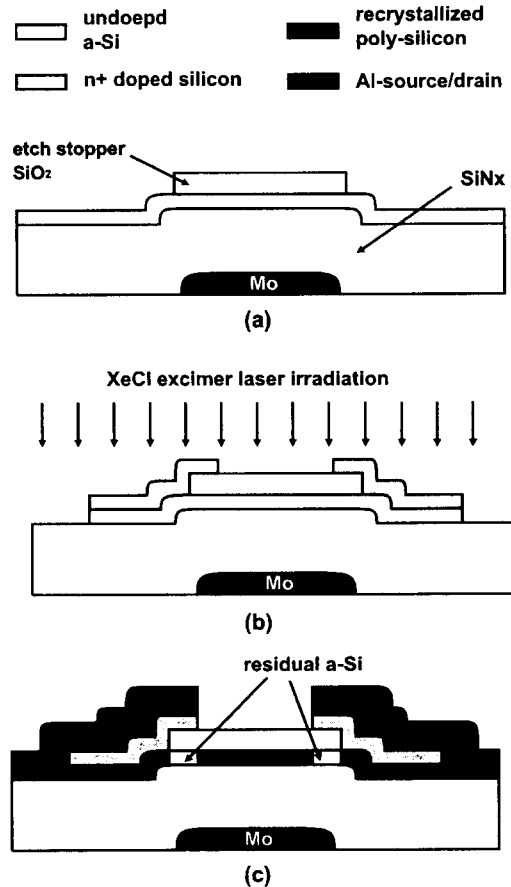


그림 2 제안된 소자의 공정 순서.

Fig. 2 The key process sequence for the new bottom-gated TFT.

3. 결과 및 분석

단 한번의 레이저 어닐링을 통해 채널의 가운데 영역과 (영역 a) 채널의 가장자리 영역이(영역 b) 선택적으로 결정화되는지 확인하기 위해 TEM(transmission electron microscopy)을 이용하여 관찰하였다. 그림 3 (a)는 채널 가운데 영역의 TEM 상으로서 1000Å 두께의 비정질 실리콘 영역은 300mJ/cm² 에너지의 레이저 어닐링에 의해 TEOS (tetra ethyl ortho silicate) 산화막 아래에서 완전히 재결정화됨을 볼 수 있다. 그러나, 그림 3 (b)에 나타나 있는 채널의 가장자리 영역은 레이저 어닐링 후에도 상변화 없이 비정질 상태로 유지되는데 이는 E/S TEOS층 위에 있는 400 Å 두께의 n⁺ 비정질 실리콘 층이 입사되는 레이저의 에너지 대부분을 흡수하여 하부 비정질 실리콘에는 에너지의 전달이 차단되기 때문이다. 한편, 소오스/드레인 영역은 n⁺ 비정질 실리콘과 도핑되지 않은 비정질 실리콘의 이중막으로 구성되어 두께가 약1400Å로 상대적으로 두껍지만 300mJ/cm² 에너지의 레이저에 의해 상,하부 모두 완전히 재결정화가

이루어진다.

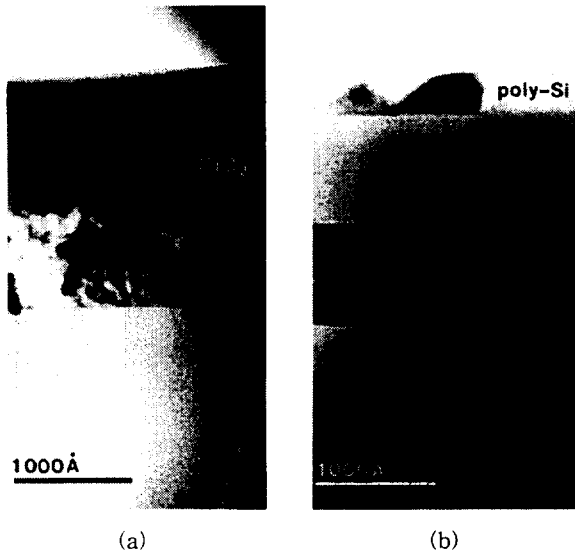


그림 3 그림1의 단면구조에서 보여진 두 영역에서의 TEM사진. (a) 다결정 실리콘 부분, (b) 비정질 실리콘 영역.

Fig. 3 The TEM images of two regions shown in Fig. 1, (a) the poly-Si under the TEOS layer, (b) the residual a-Si under the n⁺ poly-Si/TEOS layer.

기존의 BG-TFT와 제안된 TFT의 전류-전압 특성 곡선은 그림4와 같다. 그림에 나타나 있듯이 비정질 실리콘 영역이 존재하는 소자의 누설 전류가 비정질 실리콘 영역이 없는 소자에 비해 현저히 줄어들었음을 알 수 있다. 또한, 비정질 실리콘 영역이 존재하는 소자에서 비정질 실리콘 영역의 길이에 따라 전류-전압 특성이 변함을 알 수 있다. 일반적으로 다결정 실리콘 TFT의 누설전류는 드레인 공핍 영역에 집중되는 전계에 의해 그레인 경계에 존재하는 많은 결함들로부터의 전계 방출이 주 원인이라고 보고되고 있다.[4] 반면, 비정질 실리콘 TFT의 누설전류는 다결정 실리콘 TFT와 달리 게이트 전압에 따라 증가하지 않는데 이는 비정질 실리콘 TFT에서의 전계 방출이 무시할 만큼 작기 때문이다. 그러므로, 제안된 TFT에서의 현저한 누설 전류 감소는 드레인 공핍 영역에서 트랩을 통한 전계 방출이 채널의 가장자리 부분의 비정질 실리콘 영역에 의해 효과적으로 억제되었기 때문으로 설명될 수 있다.

제안된 TFT의 ON전류 특성은 채널에 삽입된 비정질 실리콘 영역의 높은 저항 성분에 의해 적지 않은 영향을 받는다. 제안된 소자는 비정질 실리콘 영역에도 게이트 전압에 의해 상당량의 전자가 비정질 실리콘 영역에 유도되도록 하여 소자가 ON 상태시에 국부 비정질 실리콘의 직렬 저항이 현저히 감소하도록 설계하였다. 그림 4에서 비정질 실리콘 영역의 길이가 길어질수록 ON 전류의 감소 현상이 증가함을 알 수 있다. 비정질 실리콘 영역의 길이가 2 μm 인 소자는 누설전류의 감소가 현저하게 나타나지만 ON 전류의 감소 또한, 심각하기 때문에 제안된 소자의 장점이 상쇄되는 효과가 나타난다. 반면, 비정질 실리콘 영역의 길이가 0.5 μm 인 제

안된 소자의 경우, 심각한 ON 전류의 감소가 없이 누설전류를 효과적으로 억제하여 ON/OFF 전류비가 비정질 실리콘 영역이 없는 소자와 비교해 볼 때, 10³ 정도 증가했음을 알 수 있다. 비정질 실리콘 영역의 길이에 따른 각 소자의 전기적 특성 변수를 표 1에 나타내었다.

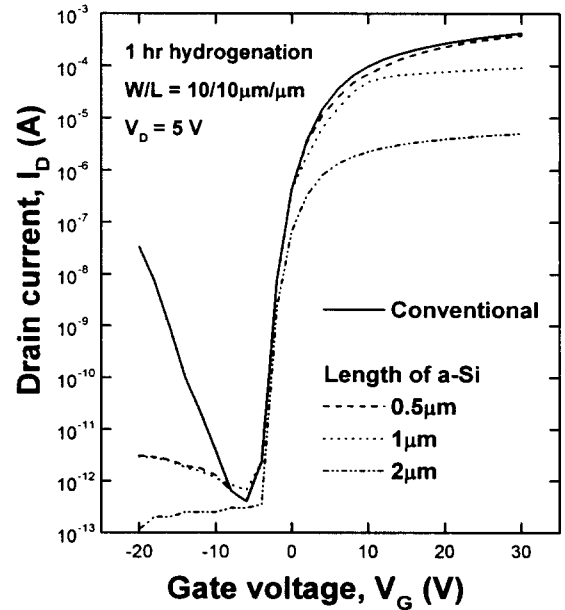


그림 4 제안된 소자와 기존의 소자의 전류-전압 특성곡선, 비정질 실리콘 길이는 0.5 μm 에서 2 μm 사이에서 변화시킴.

Fig. 4 The I_D - V_G curves of the conventional bottom-gated TFT and proposed bottom-gated TFT. The length of a-Si region is varied from 0.5 μm to 2 μm .

표 1 비정질 실리콘 영역의 길이에 따른 소자의 특성 변수.

Table 1 The values of the device parameters derived from conventional and various proposed poly-Si TFTs.

a-Si 길이 (μm)	V_{th} (V)	S (V/dec)	I_{on}/I_{off}	μ_{eff} ($\text{cm}^2/\text{V} \cdot \text{s}$)
0	-1.58	0.90	5.7×10^4	99.63
0.5	-1.57	0.93	1.3×10^5	49.32
1	-0.74	0.98	3.3×10^4	24.48
2	0.23	1.02	2.5×10^4	2.14

위의 결과로부터 드레인 접합 부분에 비정질 실리콘 영역을 가지는 새로운 구조를 이용함으로써 소자의 전류-전압 특성은 현저히 향상되며, 특히 OFF 상태의 특성은 비정질 실리콘 TFT의 특성과 비슷함을 알 수 있다. 그러나 ON 상태에서는 다결정 실리콘 TFT의 특성을 보이고 있으며 이로 인해 ON/OFF 전류비는 현저히 향상되는 것을 알 수 있다.

4. 결 론

선택적인 레이저 어닐링을 이용하여 국부 비정질 실리콘 채널 영역을 가지는 새로운 BG-poly-Si TFT를 제작하고 그 특성을 분석하였다. 드레인 공핍 영역에서의 효과적인 전계 방출 억제에 의하여 새로운 다결정 실리콘 TFT의 누설전류는 현저히 감소하였으며 ON 전류는 게이트 전압으로 인해 유기되는 전자에 의해 비정질 채널 영역의 직렬 저항이 감소하여 다결정 실리콘 TFT에 비해서 거의 감소하지 않는 것을 확인하였다. 제안된 소자를 제작함에 있어 기존의 비정질 실리콘 공정을 이용하였기 때문에 추가의 마스크 공정이 필요하지 않았고 선택적인 레이저 어닐링 방법을 이용하여 비정질 실리콘과 다결정 실리콘 TFT의 장점이 결합된 새로운 구조의 BG-poly Si TFT를 제작할 수 있었다.

참 고 문 헌

- [1] K. Sera, F. Okumura, H. Uchida, S. Itoh, S. Kaneko, and K. Hotta, High-performance TFTs fabricated by XeCl excimer laser annealing of hydrogenated amorphous silicon. *IEEE Trans. Electron Devices*, vol. 36, pp. 2868-2872, 1989.
- [2] T. Aoyama, K. Ogawa, Y. Mochizuki, and N. Konishi, Inverse Staggered Poly-Si and Amorphous Si Double Structure TFTs for LCD Panel with Peripheral Driver Circuits Integration, *IEEE Trans. Electron Devices*, vol. 43, No.5, pp 701-705, 1996.
- [3] D. P. Gosain, J. Westwater, and S. Usui, High Performance Bottom Gate TFTs by Excimer Laser Crystallization and Post Hydrogenation, *Jpn. J. Appl. Phys.*, vol 34, No 2B, pp. 937-941, 1995.
- [4] J. G. Fossum, and A. Ortiz-Conde, H. Shichijo, and S. K. Banerjee, Anomalous Leakage Current in LPCVD Polysilicon MOSFETs, *IEEE Trans. Electron Devices*, vol. 32, No 9, pp. 1878-1884, 1985.
- [5] M. Furuta, T. Kawamura, T. Yoshioka, and Y. Miyata, Bottom-Gate Poly-Si Thin Film Transistors Using XeCl Excimer Laser Annealing and Ion Doping Techniques, *IEEE Trans. Electron Devices*, vol. 40, No 11, pp. 1964-1969, 1993.
- [6] K. Shimizu, S. Imai, O. Sugiura, and M. Matsumura, Transient Temperature Profiles in Silicon Films during Pulsed Laser Annealing, *Jpn. J. Appl. Phys.* vol. 30, No 11A, pp. 2664-2672, 1991.
- [7] K. Y. Choi, J. S. Yoo, M. K. Han, and Y. S. Kim, Hydrogen Passivation on the Grain Boundary and Intragranular Defects in Various Polysilicon Thin-Film Transistors, *Jpn. J. Appl. Phys.*, Vol. 35, Part 1B, No. 2B, pp. 915-918, 1996.

저 자 소 개



전 재 홍 (全宰弘)

1972년 7월 12일생. 1995년 서울대 공대 전기공학과 졸업. 1997년 동 대학원 전기공학과 석사 졸업. 현재 동 대학원 전기공학과 박사과정 재학중.

Tel : (02) 880-7992

E-mail : jjh@emlab.snu.ac.kr

최 권 영 (崔權永)

1970년 1월 23일생. 1992년 서울대 공대 전기공학과 졸업. 1994년 동 대학원 전기공학과 석사 졸업. 1998년 동 대학원 전기공학과 박사 졸업. 현재 삼성전자 LCD 사업부 선임 연구원.

Tel : (02) 880-7992



박 기 찬 (朴基燦)

1974년 8월 16일생. 1997년 서울대 공대 전기공학부 졸업. 1999년 동 대학원 전기공학과 석사 졸업. 현재 동 대학원 전기공학부 박사과정 재학중.

Tel : (02) 880-7992

E-mail : pkch@emlab.snu.ac.kr

한 민 구 (韓民九)

전기학회논문지 제48C권 제3호 참조

Tel : (02) 880-7248

E-mail : mkh@emlab.snu.ac.kr