

자기정렬된 물결모양 P-베이스를 갖는 베이스 저항 제어 사이리스터의 소자특성에 관한 연구

論 文
48C-3-2

Study of The Device Characteristics of The Base Resistance Controlled Thyristor With The Self-Align Corrugated P-base

李裕相*, 邊大錫**, 李炳勳**, 金杜泳**, 韓民九***, 崔然益***
(You-Sang Lee, Dae-Seok Byeon, Byeong-Hoon Lee,
Doo-Young Kim, Min-Koo Han, Yeorn-Ik Choi)

Abstract - The device characteristics of the base resistance controlled thyristor with the self-align corrugated p-base is demonstrated for the first time with varying the n+ cathode width and the temperature from room temperature to 125°C. The experimental results show that the snap-back in the CB-BRT is significantly suppressed irrespective of the various n+ cathode width and the temperature as compared with that of the conventional BRT. The maximum controllable current of the CB-BRT is uniformly higher when compared with that of the conventional BRT over the temperature range from room temperature to 125°C.

Key Words : base resistance controlled thyristor (BRT), latching current, maximum controllable current

1. 서 론

고전력 반도체 소자들은 전철 모터제어, 무정전 전원공급 장치, 안정기 등과 같은 다양한 응용분야에 이용되고 있다. 그 가운데 사이리스터 계열 소자들은, 낮은 순방향 전압강하와 높은 도통전류밀도로 인해 고전력 응용에 있어서 필수불가결하며 [1], GTO가 상업적으로 가장 널리 사용되고 있다. 그러나, GTO는 전류제어소자로서, 일반적으로 부하전류의 1/3정도의 높은 전류가 제어시에 필요하고, 결국 복잡한 게이트 구동 회로를 요구하는 단점을 갖고 있다 [2,3].

근래에 들어, 게이트 제어의 용이함으로 인해 MOS구동 사이리스터가 상당한 주목을 받아왔다. 이들 중에서 MCT (MOS controlled thyristor) [4,5] 와 BRT (base resistance controlled thyristor) [6,7]가 가장 낮은 순방향 전압 강하특성을 보인다 [8]. 하지만, MCT는 12장의 마스크 공정을 필요로 하며, 삼중확산의 어려움으로 인해 소자제작에 다소 어려움이 있다. 그에 비해 BRT의 경우, 표준 IGBT공정을 그대로 사용할 수 있는 8장 마스크 공정으로 소자제작이 가능하다는 장점이 있다 [8].

반면에, 이러한 BRT는, 트랜지스터 모드에서 사이리스터 모드로의 전환이 이루어지는 소자 동작으로 인해, 필연적으로 스냅백 현상을 갖는 단점이 있다. 또한 최대제어가능전류가 낮음으로 인해, 소자응용이 국한된다는 단점도 있다.

이에, 래칭 전류를 줄여서 스냅백 현상을 억제하고 사이리스터 재생동작을 억제해서 최대제어가능전류를 높이려는 의도로, 자기정렬된 물결모양 p-베이스를 갖는 BRT (CB-BRT) 를 제안했었다[9]. 그 논문에서 상온과 5μm의 n+ 캐소드 폭을 갖고 CB-BRT의 소자특성을 밝혔다. 본 논문에서는, 온도와 n+ 캐소드 폭을 다양하게 변화시키면서 래칭전류와 최대제어가능전류와 같은 CB-BRT의 소자 특성을 처음으로 보고하였고 CB-BRT에서 설계변수의 래칭 전류에의 영향을 분석했다.

2. 결과와 토의

2.1 래칭 전류

CB-BRT와 기존의 BRT가 그림 1(a)와 1(b)에 각각 나타났다. 그림1(a)에서 보듯이, p-베이스 저항, RP 를 증가시켜서 래칭전류를 줄이면 스냅백 현상이 억제된다는 것은 잘 알려져 있다. 이때 저항 RP는 n+ 캐소드 하단의 p-베이스 영역의 수평면 비저항과 관계한다. 기존의 BRT에서의 래칭 전류 밀도는 간략하게 다음과 같이 표현된다.

$$J_{latch} = \frac{2V_{bi}}{\alpha_{pnp}\rho_{sp}W_{N+}^2} \quad (1)$$

본 논문에서 사용된 기호들을 표1에 나열하였다.

기존의 BRT에서는, 문턱전압과 순방향 저지 전압을 고려해야하기 때문에, 래칭 전류를 줄이기 위해서 p-베이스의 면 비저항을 어떤 값 이상으로 올릴 수 없다. 큰 폭의 n+

* 準 會 員 : 서울大 전기공학부 碩士課程

** 正 會 員 : 서울大 전기공학부 博士課程

*** 正 會 員 : 서울大 전기공학부 教授 · 工博

*** 正 會 員 : 亞洲大 전자공학부 教授 · 工博

接受日字 : 1998年 6月 30日

最終完了 : 1999年 1月 29日

캐소드를 사용하여 래칭 전류를 줄일 수는 있다하더라도, 그로 인해 MOS 채널밀도가 줄어들어 결국 최대제어가능전류가 작아지는 결과를 초래하게 된다 [3].

CB-BRT에서는, 분할된 게이트 하단의 p-- 수평확산영역이 상대적으로 높은 저항값을 갖는다는 점을 이용하여, 문턱전압이나 순방향 저지 전압에 영향을 주지 않고서 저항 RP를 증가시킴으로써 효과적인 래칭 전류 감소를 얻을 수 있다 [9]. 또한, 좁은 n+ 캐소드를 사용하면, 래칭 전류를 줄이고 MOS 채널밀도증가로 최대제어가능전류를 높일 수 있다.

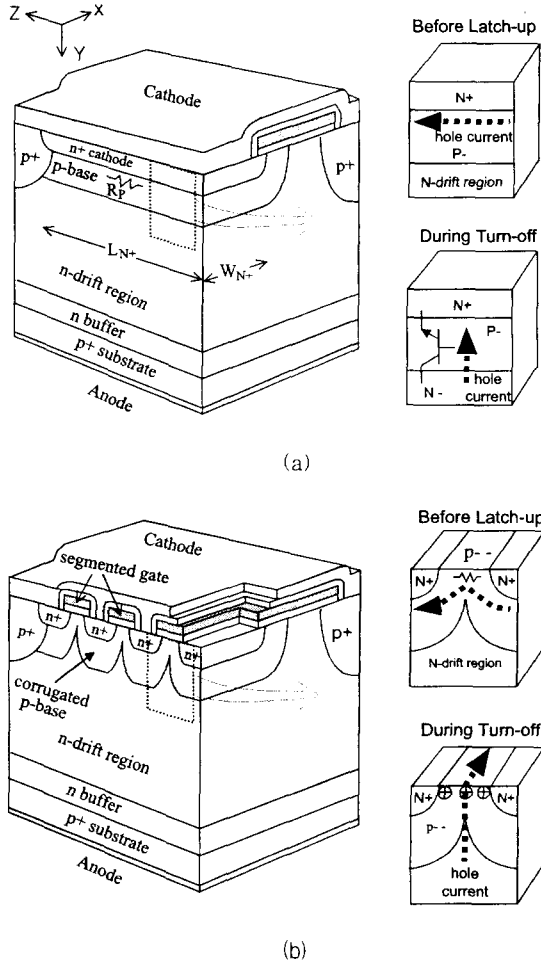


그림1. 3차원 단면도 (a) 기존의 BRT와 (b)자기정렬된 물결 모양 p-베이스를 갖는 BRT (CB-BRT)
Fig. 1 The 3-dimensional views of (a) the conventional BRT and (b) the BRT with the self-align corrugated p-base (CB-BRT).

표1. 해석적 모델에 사용된 기호들

TABLE 1. Symbols used for analytical modeling

α_{pnp}	수직형 pnp 트랜지스터의 전류이득
ρ_{sp}	n+ 캐소드 하단 p-베이스의 축방향 면비저항
$\rho_{slp,eff}$	분할된 게이트 하단의 p- 축방향 확산영역의 유효 수평방향 면 비저항
V_{bi}	n+ 캐소드 / p-베이스 접합에서의 Built-in potential
V_G	인가된 게이트 전압
W_{N+}	N+ 캐소드 폭
W_B	P-베이스 폭
μ_D	p-베이스에서 정공 mobility
μ_{D1}	반전층에서의 정공 mobility
ϵ_{ox}	절연층의 유전상수
t_{ox}	게이트 절연층 두께
L_{N+}	N+ 캐소드 길이
L_{SN+}	하나의 분할된 n+ 캐소드 길이
L_{p--}	분할된 게이트 하단에서 하나의 p- 수평확산영역 길이
L	하나의 p-베이스 길이
$L_{p, ch}$	p-베이스와 p+ 캐소드 사이에서 정공 채널 폭
N_A	p-베이스에서의 도핑농도
N_{BS}	p-베이스에서의 표면 도핑농도
N_B	n-drift영역에서의 도핑농도
V_{bi}	p-베이스의 접합 길이
Y	실리콘 표면으로부터의 거리

CB-BRT와 기존의 BRT 모두 동시에 32cm n-type (100) 웨이퍼상에서 제작되었다. N-drift 영역의 두께는 50 μm 였다. 소자제작시의 파라미터들을 표2에 나열하였다.

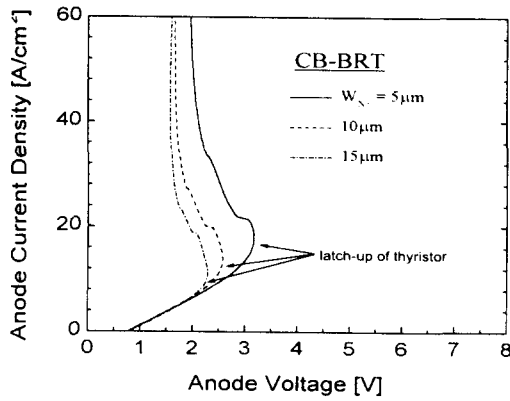
표2. 소자제작에 사용된 소자 파라미터.

TABLE 2. The device parameters used for fabrication

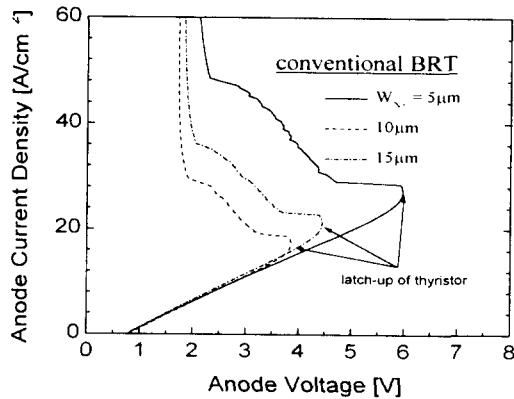
N+ 캐소드의 길이		100 μm
N+ 캐소드의 폭		5, 10, 15, 20 μm
하나의 분할된 게이트의 길이		4 μm
접합 깊이	n+ 캐소드	1 μm
	p- 베이스	3 μm
	p+ 캐소드	5 μm
표면 도핑농도	n+ 캐소드	10^{20} cm^{-3}
	p-베이스	$5 \times 10^{17} \text{ cm}^{-3}$
	p+ 캐소드	10^{19} cm^{-3}

그림2는 측정된 순방향 전류전압 특성을 다양한 n+ 캐소드 폭에 따라 보여주고 있다. 분할된 게이트 하나의 길이는 4 μm 였다. 하나의 n+ 캐소드 확산장의 길이이기도 한, 분할된 게이트간의 거리는 10 μm 였다.

CB-BRT의 스넵백이, 기존의 BRT의 스넵백에 비해서 매우 억제되고 있음을 알 수 있다. n+ 캐소드의 폭이 5 μm 와 15 μm 일 때, CB-BRT의 래칭 전류는 각각 18 A/cm²과 10 A/cm² 였다. 그에 반해 기존의 BRT에서는 스넵백이 각각 28 A/cm² 와 18 A/cm² 였다.



(a)

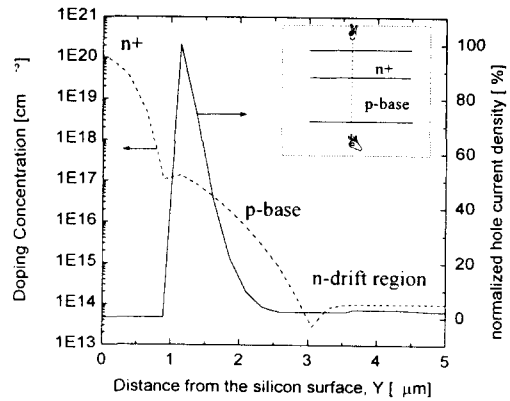


(b)

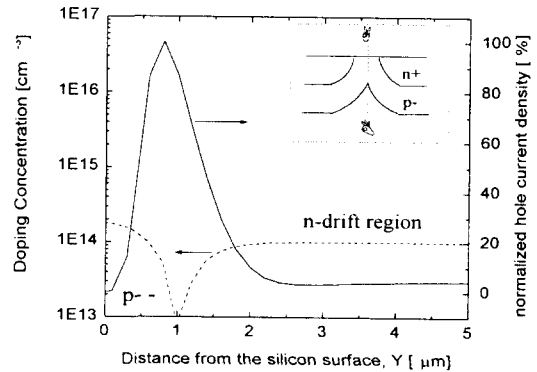
그림2. 다양한 n+ 캐소드 폭에 따른 측정된 전류-전압 특성
(a) CB-BRT 와 (b) 기존의 BRT

Fig.2 The measured I-V characteristics for various n+ cathode widths in (a) the CB-BRT and (b) the conventional BRT.

CB-BRT에서 래칭 전류 억제에의 효율성을 조사하기 위해서, 본 연구팀은 MEDICI를 통해 이차원 수치 시뮬레이션을 수행하였다 [10]. 시뮬레이션한 정공 전류 밀도와 p-베이스를 가로지르는 수직방향 경로를 따른 도핑 농도가 그림 3에 나타나있다. CB-BRT에서는, 정공 전류가, $1 \times 10^{14} \text{cm}^{-3}$ 도핑 농도로 높은 저항값을 갖는 p수평확산영역을 경유하여 흐른다. 반면에 기존의 BRT에서는, 대부분의 정공 전류가, $5 \times 10^{16} \text{cm}^{-3}$ 도핑농도의 국한된 p-베이스 영역을 경유하여 흐르게 된다.



(a)



(b)

그림3. p-베이스를 가로지르는 수직경로상의 도핑 프로파일과 정공 전류 밀도 (a) 기존의 BRT 과 (b) CB-BRT

Fig. 3 The doping profile and the hole current density along the vertical path across the p-base in (a) the conventional BRT and (b) the CB-BRT.

p-- 수평확산영역이 래칭 전류에 미치는 영향을, 하나의 분할된 n+ 캐소드와 하나의 p-- 수평확산영역에 관해서 분석하였다. 여기서, 분할된 게이트 아래에 있는 p-- 수평확산영역의 수평 면 비저항 (ρ_{sp}) 을 상수로 전제하였고 그 값을 유효 수평방향 면 비저항 ($\rho_{sh,eff}$) 이라고 하였다. CB-BRT 래칭 전류의 기존의 BRT의 래칭 전류에 대한 비 ($J_{Lat,CB} / J_{Lat,CON}$)를 p-- 수평확산영역 길이의 분할된 n+ 캐소드 하나의 길이의 비(L_{p-} / L)의 함수로 나타내었다 (부록참조). 이때, $J_{Lat,CB} / J_{Lat,CON}$ 는 다음과 같이 표현된다.

$$\frac{J_{Lat,CB}}{J_{Lat,CON}} = \frac{1}{1 + 2 \left(\frac{L_{p-}}{L} \right) \left(2 \frac{\rho_{sh,eff}}{\rho_{sp}} - 1 \right) + \left(\frac{L_{p-}}{L} \right)^2 \left(1 - 3 \frac{\rho_{sh,eff}}{\rho_{sp}} \right)} \quad (2)$$

그림4는 $J_{Lat,CB} / J_{Lat,CON}$ 을 L_{p-} / L 의 함수로 계산한

것을 보여주고 있다. 그림에서 보듯이, p-- 수평확산영역이 증가할 때 지수 함수적으로 감소한다. 만일, CB-BRT의 래칭 전류 ($J_{Lat,CB}$)가 기존 BRT의 래칭 전류 ($J_{Lat,CON}$)의 1/5 정도가 되려면, L_{p-} / L 는 0.1보다 커야 하며, $\rho_{slp,eff} / \rho_{sp}$ 는 4보다 커야 한다.

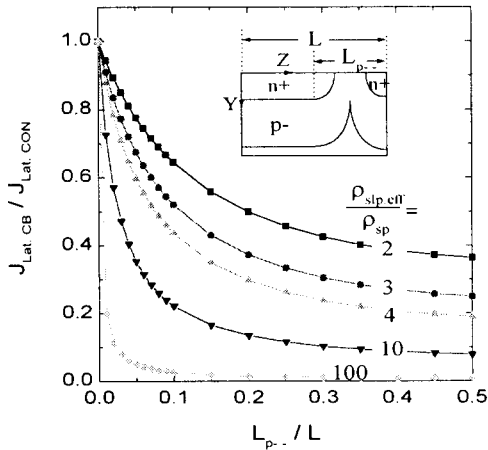


그림4. CB-BRT래칭 전류의 기존 BRT의 래칭 전류에 대한 L_{p-} / L 의 함수로서의 비 ($J_{Lat,CB} / J_{Lat,CON}$)

Fig. 4. The ratio ($J_{Lat,CB} / J_{Lat,CON}$) of the latching current of the CB-BRT to that in the conventional BRT as a function of the ratio (L_{p-} / L) of the p-- lateral diffusion region length to the unit p-base length.

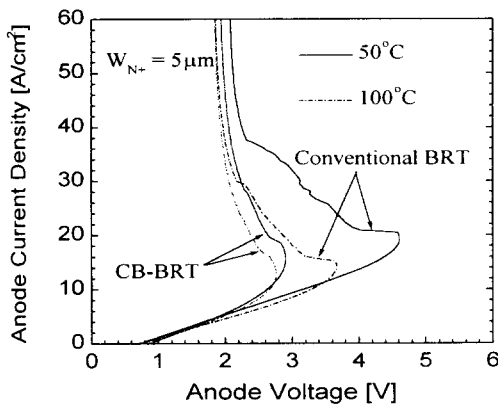


그림5. 50°C와 100°C에서 측정된 CB-BRT와 기존 BRT의 전류-전압 특성.

Fig. 5. The measured I-V characteristics of the CB-BRT and the conventional BRT at temperature of 50°C and 100°C.

그림5는 50°C와 100°C의 고온에서 측정된 기존 BRT와 CB-BRT의 전류-전압 특성을 보여준다. 그림에서 보듯이, 고온에서도 CB-BRT에서 스넵백 현상이 기존BRT에 비해서 매우 억제되었음을 알 수 있다. 기존 BRT의 스넵백 특성이 온도 변화에 심하게 영향을 받는데 반해서 CB-BRT의 스넵백 특성은 온도에 덜 민감하다는 것이 주목할 만 하

다. 이것은 CB-BRT가 고온 영역에서 바람직한 전류-전압 특성을 갖는다는 것을 의미한다.

2.2 최대제어가능전류

CB-BRT를 턴-오프시키기 위해서 음의 게이트 전압을 인가할 때, 그림 1(b)에서처럼 정공 집적층이 분할된 게이트 아래 p-- 수평확산영역에 형성된다. CB-BRT에서 최대제어가능전류 향상은, 정공 집적층을 경유하여 정공 전류를 우회시켜서 사이리스터 재생동작을 억제함으로써 이루어진다 [9]. 기존 BRT에서는, 턴-오프되는동안, n+ 캐소드/ p- 베이스 하단의 국한된 p-베이스를 경유하여 우회되는 정공전류로 인해, 사이리스터 재생동작이 야기된다. 그림 1(a)에서 알 수 있듯이, 그 정공전류는 NPN 트랜지스터 (n+ 캐소드 / p-베이스/ n-drift 영역)의 베이스 전류가 된다. n+ 캐소드 폭의 함수로 측정된 최대제어가능전류가 Table3에 정리 되어있다. n+ 캐소드 폭에 상관없이, CB-BRT의 최대제어가능전류가 기존BRT의 최대제어가능전류에 비해 약 10%가량 높게 나타났다. 분할된 게이트들 간의 거리를 줄여서 분할된 게이트의 밀도를 증가시킨다면, CB-BRT에서의 최대제어가능전류는 더욱 향상될 수 있을 것이다. 그렇게 함으로써 턴-오프동안 정공 우회 능력이 증가하게 된다. 또한, 앞에서 언급했듯이, 5μm이하의 좁은 n+ 캐소드 폭을 사용해서 MOS 채널 밀도를 증가시킴으로써 CB-BRT의 최대제어가능전류는 증가할 수 있다 [3]. 최대제어가능전류에 대한 수식은 다음과 같이 주어진다 [8].

$$J_{mcc} = \frac{2\mu_{pi}\epsilon_{ox}V_GV_{bi}}{\alpha_{ppp}L_{ch,ox}W_B} \quad (3)$$

기존의 BRT에서, 최대제어가능전류가 좁은 n+ 캐소드 폭, 즉 좁은 p-베이스 폭의 증가에 따라 증가한다 하더라도, 그 좁은 n+ 캐소드 폭으로 인해 식(1)에서 보듯이 래칭 전류가 증가하게 된다. 증가한 래칭 전류는, 전류 오실레이션과 셀 구조에서의 불균일 턴-온과 같은 바람직하지 못한 소자특성을 유발시킬 수 있다.

표3. n+ 캐소드 폭의 함수로서 측정된 최대제어가능전류
TABLE 3. The measured maximum controllible current as a function of n+ cathode width.

	N+ 캐소드 폭 (W_{N+})		
	5 um	10 um	20 um
CB-BRT	480 A/cm ²	303 A/cm ²	117 A/cm ²
기존의 BRT	430 A/cm ²	262 A/cm ²	107 A/cm ²

그림6은 5μm와 20μm의 n+ 캐소드 폭에 대해서 온도의 함수로 측정된 최대제어가능전류를 보여준다. CB-BRT는 기존의 BRT에 비해서 최대제어가능전류의 균일한 증가를 보여주고 있다 이것은 고온 조건에서도 사이리스터의 재생동작의 억제가 유효함을 보여주는 것이다.

CB-BRT와 기존의 BRT에서, 온도가 상온에서125°C

까지 증가할 때, 최대제어가능전류가 5 μ m의 n+ 캐소드 폭일 때는 32%, 20 μ m의 n+ 캐소드 폭일 때는 44% 감소한다는 것은 주목할 만 하다. 이것은 곧, n+ 캐소드 폭이 넓을수록 온도증가에 따른 최대제어가능전류의 열화가 더욱 심해진다는 것을 의미한다. 그 이유는, 벌크 우회되는 정공전류의 턴-오프 경로(p-베이스)에서의 벌크 저항성분이 반전층의 저항성분보다 최대제어가능전류에 더욱 강한 영향을 미치기 때문이다.

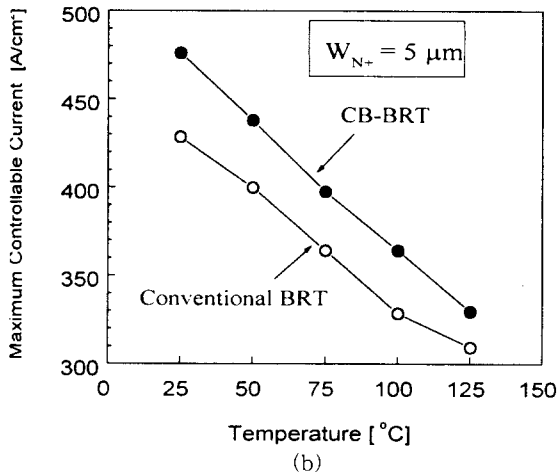
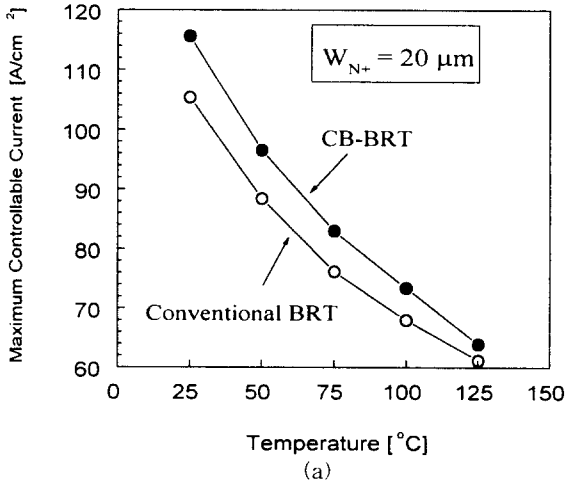


그림6. CB-BRT 와 기존 BRT에서 온도의 함수로 측정된 최대제어가능전류. (a) n+ 캐소드 폭 = 5 μ m (b) n+ 캐소드 폭 = 20 μ m.

Fig.6. The measured maximum controllable current as a function of the temperature in the CB-BRT and the conventional BRT. (a) n+ cathode width = 5 μ m (b) n+ cathode width = 20 μ m.

3. 결 론

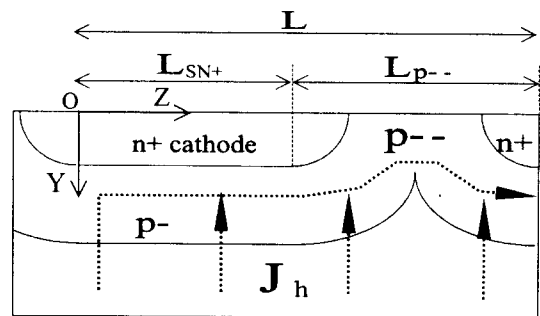
자기정렬된 물결모양 P-베이스를 갖는 베이스 저항 제어 사이리스터 (CB-BRT)의 소자특성을 상온에서 125 $^{\circ}$ C까지의 온도변화와 n+ 캐소드 폭의 변화를 주면서 실험을 하여 연구했다. 기존의 BRT에 비해 새롭게 제안된 CB-BRT에서는, 래칭 전류가 줄어들었으므로, n+ 캐소드 폭의 변화에 상관

없이, 스냅백(snap-back) 현상이 상당히 억제되었다. 수식분석을 통해 CB-BRT의 래칭 전류는, 분할된 게이트 아래 p- 수평확산영역 길이에 지수함수적으로 증가함을 알 수 있었다. CB-BRT의 최대제어가능전류는 기존의 BRT에 비해 모든 온도영역에서 균일하게 좋은 특성을 보인다. 또한, p-베이스에서의 벌크 저항성분이 최대제어가능전류에 더 큰 영향을 주기 때문에, 온도가 증가함에 따라, 최대제어가능전류는 n+ 캐소드 폭이 넓을수록 더욱 감소폭이 컸다.

감사의 글

본 연구는 한국 과학재단이 후원하는 STEPI를 통해서 PS-01-A-02로 수행되었다.

부 록



부록 그림1.

정공전류가 물결모양 p-베이스에서 수평경로를 통해 흐를 때, 하나의 n+ 캐소드와 p- 수평확산영역간의 전압강하 ($V_{unit,CB}$)는, 하나의 n+ 캐소드하단의 p-베이스에서 형성된 전압강하(V_p)와 p- 수평확산영역에서 형성된 전압강하 (V_{p-})의 합에 의해 주어진다.

$$V_{p-} = \int_0^{L_{SN+}} J_h \cdot \rho_{sp} \cdot z \cdot dz \quad \text{부록1.}$$

$$V_{p-} = \int_{L_{SN+}}^{L_{SN+}+L_{p-}} J_h \cdot \rho_{sp} \cdot L_{SN+} + J_h \cdot \rho_{slp,eff} \cdot z \cdot dz \quad \text{부록2.}$$

$$V_{unit,CB} = V_{p-} + V_{p-} = \alpha_{ppp} J_A \left(\rho_{sp} \frac{L_{SN+}^2}{2} + \rho_{slp,eff} (2L_{SN+} L_{p-} + \frac{L_{p-}^2}{2}) \right) \quad \text{부록3.}$$

기존 BRT의 경우 L_p 는 0이고 $L_{SN+}=L$ 이다. 즉, 부록3은 다음과 같이 된다.

$$V_{unit,CON} = \alpha_{ppp} J_A \left(\rho_{sp} \frac{L^2}{2} \right) \quad \text{부록4}$$

CB-BRT에서의 래칭 전류($J_{Lat,CB}$)와 기존 BRT의 래칭 전류($J_{Lat,CON}$)는 $V_{unit,CB}=V_{unit,CON}=V_{bi}$ 일때 결정된다. $J_{Lat,CB}/J_{Lat,CON}$ 는 다음과 같이 표현된다.

$$\frac{J_{Lat.CB}}{J_{Lat.CON}} = \frac{1}{1 + 2 \left(\frac{L_{p--}}{L} \right) \left(2 \cdot \frac{\rho_{slp,eff}}{\rho_{sp}} - 1 \right) + \left(\frac{L_{p--}}{L} \right)^2 \left(1 - 3 \cdot \frac{\rho_{slp,eff}}{\rho_{sp}} \right)}$$

부록5

참고문헌

[1] N. Iwamoro, M. S. Shekar and B. J. Baliga, A study of ESTs short-circuit SOA, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, pp. 376-380, 1993.

[2] *Thyristor design and realization*, Paul D. Taylor, John Wiley & Sons Ltd., Great Britain, 1987

[3] J. S. Ajit, Theoretical and experimental characteristics of the insulated-gate thyristor (IGTH), *IEEE Trans. Electron Devices*, vol. 44, no. 3, pp. 485-492, 1997.

[4] V. A. K. Temple, MOS-controlled thyristors (MCTs). in *IEDM Tech Dig.*, pp. 282-285., 1984.

[5] M. Stoisiek and H. Strack, MOS GTO-A turn-off thyristor with MOS-controlled cathode shorts, in *IEDM Tech Dig.*, pp. 158-161., 1985.

[6] M. Nandakumar, B. J. Baliga, M. S. Shekar, S. Tandon, and A. Reisman, The base resistance controlled thyristor (BRT) : A new MOS-gated power thyristor, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, pp. 188-141. 1991.

[7] M. Nandakumar, B. J. Baliga, M. S. Shekar, Sanjay Tandon, Arnold Reisman, Theoretical and experimental characteristics of the base resistance controlled thyristor (BRT), *IEEE Trans. Electron Devices*, vol. 39, pp.1938-1945, 1992.

[8] *Power Semiconductor Device*, B. J. Baliga, PWS Publication Company, Boston, 1995.

[9] D. S. Byeon, B. H. Lee, M. K. Han, and Y. I. Choi, A base resistance controlled thyristor with the self-align corrugated p-base, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, (To be published), 1998.

[10] TMA MEDICI : two dimensional device simulation program, users manual, 1996.

저 자 소 개



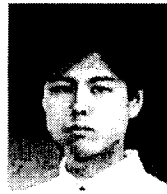
이 유 상(李 裕 相)
1973년 12월 9일 생. 1997년 서울대학교 전기공학부 졸업. 1997년~현재 동 대학교 전기공학부 석사과정.



변 대 석(邊 大 錫)
1969년 5월 12일생. 1992년 서울대 공대 전기공학과 졸업. 1994년 동 대학원 전기공학과 졸업(석사). 1997년 현재 동 대학원 전기공학부 박사과정



이 병 훈(李 炳 勳)
1968년 5월 2일생. 1991년 서울대 공대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 1998년 현재 동 대학원 전기공학부 박사과정



김 두 영(金 杜 泳)
1970년 10월 14일생. 1993년 서울대 공대 전기공학과 졸업. 1995년 동 대학원 전기공학과 졸업(석사). 1997년 현재 동 대학원 전기공학부 박사과정



한 민 구(韓 民 九)
1948년 7월 21일생. 1971년 서울대 공대 전기공학과 졸업. 1979년 미국 Johns Hopkins Univ. 졸업(공박). 1979년 미국 뉴욕 주립대 조교수. 현재 서울대 공대 전기공학과 교수



최 연 익(崔 然 益)
1953년 11월 23일생. 1976년 서울대 공대 전자공학과 졸업. 1981년 한국과학기술원 졸업(공박). 1982년 UC Berkeley 전기 및 전산공학과 Research Associate. 현재 아주대 공대 전자공학과 교수. 주관심분야 : 전력반도체소자, TFT.