

정보통신기기용 과도이상전압 고속도차단장치의 설계 및 제작

論 文
48C - 1 - 9

Design and Fabrication of a High Speed Blocking Device of Transient Overvoltages for Info-communication Facilities

吉 曠 碩
(Gyung-Suk Kil)

Abstract - This paper presents a new transient overvoltage blocking device (TOBD) for info-communication facilities with low power and high frequency bandwidth.

Conventional protection devices have some problems such as low frequency bandwidth, low energy capacity and high remnant voltage. In order to improve these limitations, the hybrid type TOBD, which consists of a gas tube, avalanche diodes and junction type field effect transistors (JFETs), was designed and fabricated. The TOBD differs from the conventional protection devices in configuration, and JFETs were used as an active non-linear element and a high speed switching diode with low capacitance limits high current. Therefore the avalanche diode with low energy capacity are protected from the high current, and the TOBD has a very small input capacitance.

From the performance test using combination surge generator, which can produce $1.2/50\mu\text{s}$ $4.2\text{kV}_{\text{max}}$, $8/20\mu\text{s}$ $2.1\text{kA}_{\text{max}}$, it is confirmed that the proposed TOBD has an excellent protection performance in tight clamping voltage and limiting current characteristics.

Key Words : Transient Overvoltage Blocking Device(TOBD), Remnant Voltage, Active Non-linear Element, Clamping Voltage, Limiting Current

1. 서 론

고밀도 집적회로기술의 급속한 발달로 전기·전자·통신기기가 소형·경량화, 고기능화 되면서 기능상 외부의 과도이상전압이나 노이즈에 현저한 취약성을 보이고 있다. 그 중에서도 낙뢰나 전력계통설비의 조작에 의해 발생하는 과도이상전압은 전기·전자·통신기기의 전원회로와 신호·통신회로의 일시적인 장애 또는 심각한 손상을 일으킬 수 있을 만큼 충분한 에너지를 가지고 있어, 이에 대한 보호대책이 절실히 요구되고 있는 실정이다[1]~[3].

과도이상전압에 대한 보호대책은 전원 또는 신호선로에 침입한 과도이상전압이 피보호기기가 접속된 계통의 전기적 특성에 따라 크기와 파형이 달라지며, 이에 대한 피해 정도도 기기 자체의 내과전압 특성에 의존하므로 충분한 기초적 자료와 기술이 축적되어 있어야 한다. 이미 외국에서는 1960년대부터 과도이상전압에 대한 전기·전자기기의 보호대책에 관한 연구가 단계적으로 진행되어 왔으며, 그 기술도 현재의 고주파, 초소형 기기에 이르기까지 보호기기 대상별로 상당한 수준에 이르고 있다. 국내의 경우, 송·배전계통의 뇌 보호대책에 대한 연구는 일찍부터 꾸준히 진행되어 왔으나, 저전압 전기·전자·통신 기기를 대상으로 하는 연구는 1980년대 후반에 시작되어 최근에 와서야 집중적인 연구가 이루어지고 있다[4],[5]. 이들 연구의 대상은 주

로 저전압 전원 및 저주파 대역의 신호·통신설비를 중심으로 기기에 침입하는 과도이상전압을 수동성 LC 필터로 감쇠시키거나, 바리스터(varistor), 가스튜브(gas tube), 애벌란시 다이오드(avalanche diode) 등의 비선형 소자에 의해 기기의 절연레벨 이하로 억제하는 것이다. 이 방법은 회로가 간단하고 에너지가 큰 과도이상전압도 충분히 억제할 수 있어 효과적인 과도이상전압 보호대책으로 사용되어 왔다[6],[7]. 그러나 각종의 정보통신기기가 소형화, 고속 광대역화 되면서 외부의 과도이상전압에 더욱 민감해지고, 보호장치의 고속 응답특성과 낮은 삽입손실이 요구되어 기존의 보호방식은 더 이상 적용이 어렵게 되었다[8].

따라서 본 논문에서는 정보통신기기와 같이 내전압이 낮은 고주파 전자기기의 과도이상전압에 대한 보호장치로 입력정전용량이 적은 비선형 소자와 전계효과 트랜지스터 등의 능동성 소자를 조합함으로써 보호장치로 인한 삽입손실과 주파수 대역의 한계에 대한 문제점을 해결하였으며, 과도이상전압을 고속으로 차단하여 피보호기기를 더욱 효과적으로 보호할 수 있는 회로를 설계·제작하였다.

제작된 과도이상전압 차단장치는 국제규격(IEC 1000-4-5: Surge Immunity Test)에 따라[9], 조합형 서-지발생장치(PSURGE 4010, Haefely)를 이용하여 동작 특성을 측정·분석하였다.

2. 설계 및 제작

정보통신기기용 과도이상전압 차단장치로는 회로에서 적은

正 會 員 : 韓國海洋大 電氣工學科 助敎授 · 工博

接受日字 : 1998年 7月 30日

最終完了 : 1998年 12月 3日

입력 정전용량을 나타냄으로써 정상상태에서의 삽입손실과 누설 전류를 최소화하고, 과도이상전압에 대해 고속으로 동작하여 피보호기기로는 높은 이상전압과 잔류에너지가 전달되지 않는 회로구성이 필요하다. 현재까지 이들의 특성을 동시에 만족하는 보호소자는 없으므로, 몇 개의 소자를 조합한 하이브리드형 회로로 과도이상전압을 차단하는 방식이 필요하다.

본 논문에서는 삽입손실과 주파수 대역, 고속차단 등의 문제점을 해결할 목적으로 적은 입력 정전용량과 전류제한기능을 갖도록 그림 1과 같은 과도이상전압 차단회로를 제안하였다. 과도이상전압의 침입경로에 정전용량이 적은 가스튜브-브를 적용하고, 피보호기기의 앞단에 직렬로 과도이상전압에 의한 과도전류를 고속으로 제한할 수 있는 전류제한용 소자 S를 삽입한다. 또한 직렬의 전류제한용 소자 후단에는 애벌란시 다이오드와 정전용량이 적고 응답속도가 빠른 스위칭 다이오드 기능의 소자로 구성된 클램핑 회로를 구성하는 것이다.

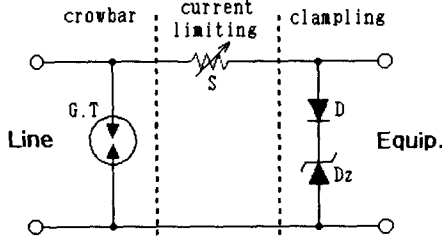


그림 1 과도이상전압 차단장치의 구성
Fig. 1 Configuration of the proposed transient overvoltage blocking device

과도이상전압에 대한 보호동작은 과도이상전압 침입시 클램핑 회로가 먼저 동작하고, 이와 동시에 전류제한용 소자가 클램핑 동작에서 발생하는 과도전류를 제한하여 에너지 내량이 적은 애벌란시 다이오드의 과도전류에 대한 부담을 감소시킨다. 연속되는 과도이상전압에 동작속도는 수 μs 정도로 느리지만 에너지 내량이 큰 가스튜브-브가 동작하게 되어 피보호기기로는 클램핑 회로의 제한전압 이상은 인가되지 않는다.

본 논문에서 제안한 과도이상전압 차단장치의 새로운 보호동작 기능을 충족시키기 위해서는 전류제한용 소자와 정전용량이 적은 스위칭 다이오드의 실현이 필수적이다. 저항소자는 정상상태의 신호전류에서는 낮은 저항값을 유지하여 회로에서의 전압강하 즉, 삽입손실을 적게 하고, 과도이상전압 침입에 의한 이상전류가 흐를 때는 애벌란시 다이오드의 동작속도에 대응한 응답속도(수ns)로 직렬 저항값을 급격히 증가시켜 전류를 제한하는 특성이 요구된다. 여기에 여러 가지 능동성 소자를 검토하였으며, 그 중에서 접합형 전계효과 트랜지스터 (JFET)가 전류제한용 소자의 요구 조건에 필요한 기능을 가지고 있음을 확인하였다[10].

JFET는 그림 2와 같이 게이트-소오스 전압 $V_{GS}=0$ 상태에서 드레인-소오스 전압 V_{DS} 를 증가시키면, V_{DS} 의 증가에 따라 드레인 전류 I_D 는 선형적으로 증가하고, V_{DS} 가 더욱 증가하여 드레인-소오스 사이의 채널폭이 차단되는 핀치오프전압 V_P 에 도달하면, I_D 는 포화전류 I_{DSS} 이상으로 흐르지 못한다. 즉, $V_{GS}=0$ 상태로 하면 I_D 는 식 (1)과 같이 $I_D=I_{DSS}$ 로 최대가 되므로 정상 신호원 전압에서는 I_{DSS} 까지 신호전류를 공급할 수 있으며, 과도

이상전압 침입시에도 I_{DSS} 이상의 전류는 흐를 수 없게 된다.

실제의 적용에 있어 정보통신기기의 선로에는 수 mA 정도의 적은 신호전류가 흐르며, 회로에 직렬로 전계효과 트랜지스터 자체의 드레인-소오스 사이의 저항 R_{DS} (수 십 Ω)가 있어, 정상 전류에서 약 0.1~0.3V의 전압강하가 발생하지만, 대부분의 전압은 피보호기기에 인가된다.

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 \text{ [mA]} \quad (1)$$

또한 과도이상전압에 의한 과도전류가 흐를 때는 수 ns 이내에 JFET가 드레인-소오스 채널폭을 급격히 감소시켜 고저항 상태로 하면서 전류를 제한한다.

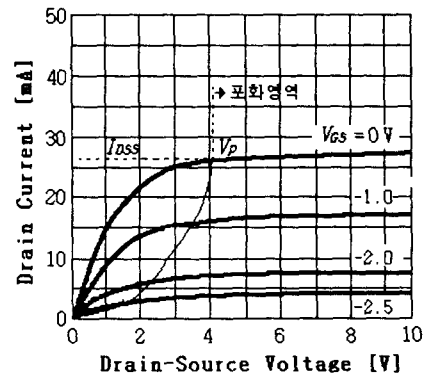


그림 2 접합형 전계효과 트랜지스터의 특성(N-채널)
Fig. 2 Characteristics of a JFET(N-ch)

한편, 애벌란시 다이오드의 클램핑 회로에 직렬 접속해야 하는 고속 스위칭기능의 다이오드도 저항소자로 사용한 JFET를 이용하면, 수 ns정도의 고속 동작특성과 극히 적은 정전용량을 갖도록 응용할 수 있다. 이 경우 소자의 정전용량은 소자 자체의 소오스-게이트 사이에 존재하는 역방향 전달정전용량(C_{rs})과 드레인-게이트 사이의 입력 정전용량(C_{iss})의 합으로 나타나며, 일반적인 값은 약 2~10pF 정도이다. 특히, JFET를 본 논문에서와 같이 게이트-채널 다이오드로 응용하면 회로의 역방향 누설전류를 극히 적게할 수 있는 장점이 있다.

앞에서 기술한 접합형 전계효과 트랜지스터의 특성을 전류제한용 저항소자와 스위칭 다이오드에 적용하여 과도이상전압 차단회로를 설계하면 그림 3과 같이 된다.

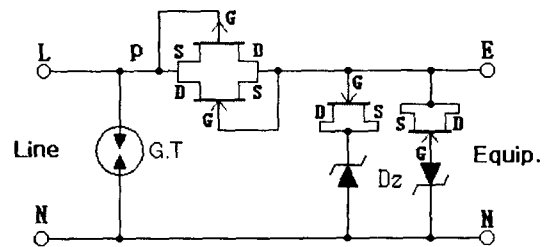


그림 3 양방향 과도이상전압 차단장치의 회로도
Fig. 3 Circuit diagram of the bi-directional transient overvoltage blocking device

선로 또는 기기로 침입하는 과도이상전압은 정(+) 또는 부(-)의 양방향 모두 나타날 수 있으므로 N-ch, P-ch 전계효과 트랜지스터를 역접속하여 정·부의 과도이상전압에 모두 동작하도록 하였으며, 클램핑 회로의 스위칭 다이오드도 역접속하여 양방향의 과도이상전압에 대해 모두 클램핑 동작을 하도록 하였다.

본 논문에서는 정격전압 5V, 부하임피던스 1kΩ의 전기적 특성을 갖는 정보통신기기의 보호를 대상으로 하였으며, 사용된 소자의 전기적 특성은 표 1과 같다. 정극성 과도전압 입력에 대한 전류제한용의 JFET는 R_{DS} 를 가능한 낮은 값으로 하여 정상 상태에서의 전압강하를 적게 하고, 부극성 전류제한용 JFET는 정상 신호입력에 대해서는 동작하지 않으므로 R_{DS} 를 큰 값으로 하였다. 또한 이들 JFET의 $V_{GS}=0$ 에서 포화전류는 게이트-채널 다이오드의 최대 게이트 전류($I_G=50mA$)이하가 되도록 하여, 애벌란시 다이오드의 동작시 게이트-채널 다이오드의 손상을 방지하게 된다. 이들 소자로 구성된 과도이상전압 차단장치는 정상 상태의 회로전류(5mA)에서 약 0.15V의 전압강하만이 발생하며, 전류제한용 JFET의 포화전류가 20mA이므로 드레인-소오스간 채널 폭의 변화없이 신호전류를 공급할 수 있게 된다. 회로의 역누설전류도 애벌란시 다이오드에서는 $5\mu A$ 정도이지만 직렬로 연결된 JFET의 역 누설전류는 1pA 이하로 된다.

표 1 보호소자의 전기적 특성

Table 1 Electrical characteristics of the protective parts

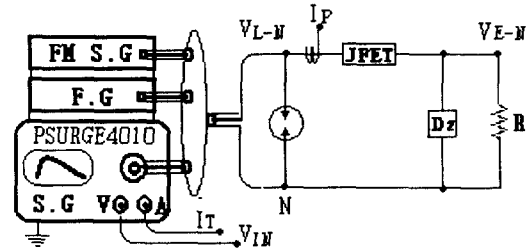
보호소자	전기적 특성	비 고
가스튜-브	$V_{dc} : 90V$ $C_p : 1.5pF$ 이하	
JFET(N-ch)	$I_{DSS} : 20mA_{min.}$ $R_{DS} : 30\Omega$ $t_{on} : 4ns$	전류제한용 S1
JFET(P-ch)	$I_{DSS} : -5 \sim -25mA$ $R_{DS} : 150\Omega$ $t_{on} : 25ns$	전류제한용 S2
JFET(N-ch)	$I_G : 50mA_{max.}$ $C_{rss} : 0.3pF$ $C_{iss} : 1.2pF$	스위칭 다이오드용 D
애벌란시 다이오드	$V_{brk} : 19V$	

과도이상전압 침입시는 애벌란시 다이오드에서 클램핑 동작으로 과도이상전압을 19V로 제한하고, 클램핑 동작에 의한 이상전류는 전류제한용 JFET의 드레인-소오스를 흐를 때, 드레인전류가 20mA를 넘지 않도록 채널이 감소함과 동시에 가스튜-브가 동작하여 피보호기기를 보호하게 된다. 이 과정에서 스위칭 다이오드용 JFET의 게이트와 애벌란시 다이오드에는 20mA 정도의 과도전류만 흐르므로 두 소자 모두 안정한 동작 영역내에 있게 된다. 또한 본 회로구성에서 입력 정전용량은 가스튜-브(1.5pF)와 스위칭 다이오드용 JFET(1.5pF 2개)의 합인 4.5pF 정도가 존재하므로 기존 방식에 비해 극히 적은 값이다.

3. 실험 장치 및 방법

본 논문에서 제안한 과도이상전압 차단장치의 특성을 평가하

기 위하여 그림 4와 같이 실험계를 구성하였다. 과도이상전압 차단장치의 특성 평가는 정상상태의 신호전압과 과도이상전압 입력에 대한 출력파형의 비교·분석으로 수행되어야 하므로, 디지털 신호원으로 함수발생기(50MHz, 5V), 아나로그 신호원으로 FM 신호발생기(400kHz~110MHz, $100mV_{max}$)를 사용하였으며, 과도이상전압에 대한 보호특성은 국제규격의 조합형 서-지발생장치($1.2/50\mu s$ 4.2kV_{max}, $8/20\mu s$ 2.1kA_{max})를 적용하였다.



FM S.G : FM signal generator
F.G : Function generator
S.G : Surge generator

그림 4 실험계의 구성

Fig. 4 Configuration of the experimental system

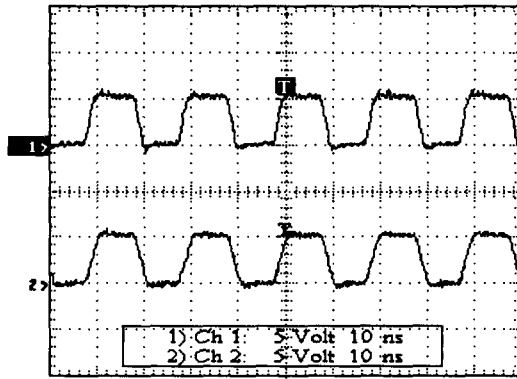
과도이상전압 차단장치의 입력전압(V_{L-N})과 출력전압(V_{E-N})의 측정에는 수동성 프로브(400MHz, 10:1)로 검출하여 디지털 축적형 오실로스코프(400MHz)로 관측하였다. 또한 과도이상전압 차단장치에 인가되는 과도이상전압(V_{IN})과 보호동작에 의해 회로를 흐르는 전체 전류(I_T)는 서-지발생장치에 내장된 전압측정용 단자(1V/kV)와 전류측정용 단자(2V/kA)에서 검출하였으며, 전류제한용 JFET를 흐르는 전류(I_P)는 고주파 변류기(1mA/mV, 1.2kHz~200MHz)를 사용하였다.

4. 실험 결과 및 고찰

4.1 정상 신호입력에 대한 특성

신호전송선로 및 정보통신기기의 정상 운영상태에서 과도이상전압 차단장치로 인한 전압강하와 신호왜곡의 변화가 발생하면 안되므로 정상 운용조건에서의 성능을 평가하기 위해서 그림 3의 과도이상전압 차단장치의 피보호기기 연결단자(E-N)에 피보호기기의 임피던스와 같은 1kΩ의 부하저항을 연결하였다.

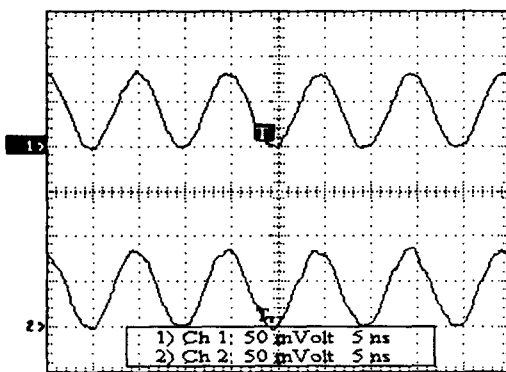
정상 신호입력에 대한 평가로 먼저 L-N에 5V, 50MHz 구형파를 인가하고, L-N과 E-N에서 검출된 입력전압과 출력전압 파형을 그림 5에 나타내었다. 입력전압이 5V이므로 과도이상전압 차단장치는 보호동작을 하지 않으며, 전류제한용 JFET에는 포화전류 20mA보다 훨씬 적은 5mA의 신호전류가 흐르므로 드레인-소오스 채널폭에는 변화가 없다. 따라서 과도이상전압 차단장치의 삽입으로 인하여 피보호기기에 영향을 줄 만한 신호감쇄 즉, 현저한 전압강하는 관측할 수 없었으며, 신호의 상승부와 하강부에서 약간의 시간 지연만이 관측되었다. 이것은 과도이상전압 차단장치의 구성에 필요한 보호소자들의 연결시 접속선에 의한 인덕턴스와 표류 정전용량에 의한 것으로 생각된다.



상 : 입력전압(V_{L-N}) [5V/div, 10ns]
 하 : 출력전압(V_{E-N}) [5V/div, 10ns]

그림 5 50MHz 구형파 전압입력에 대한 출력전압파형 예
 Fig. 5 Typical output voltage waveform to a 50MHz square-wave voltage input.

그림 6은 100MHz, 100mV 아날로그 신호입력에 대한 출력전압파형을 나타낸 것이다. 그림 5의 50MHz 구형파 입력보다는 신호 주파수가 높지만, 100MHz 정현파 입력이므로 신호의 상승 부분과 하강 부분이 완만하여 신호 왜곡이 발생하지 않는 것을 확인할 수 있다. 마찬가지로 입력신호의 최대값도 100mV이므로 과도이상전압 차단장치는 어떠한 보호동작을 하지 않으며, 전류 제한용 JFET에는 낮은 전류가 흐르기 때문에 전압강하는 발생하지 않는다. 이와 같이 입력전압이 과도이상전압 차단장치의 보호동작 개시전압 즉, 크로우바 또는 클램핑 전압 이하인 정상상태의 신호입력에서는 전기적 특성에 변화가 없으며, 대단히 적은 입력 정전용량과 직렬인덕턴스를 가진 일종의 접속선으로 작용한다.



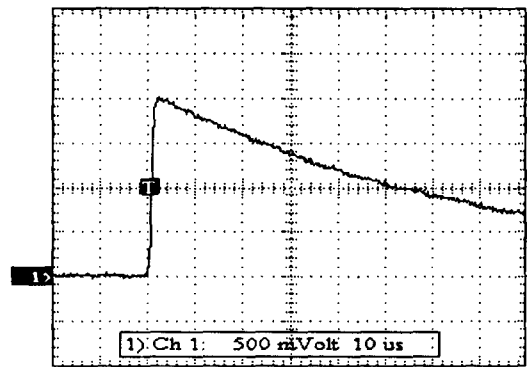
상 : 입력전압(V_{L-N}) [50mV/div, 5ns]
 하 : 출력전압(V_{E-N}) [50mV/div, 5ns]

그림 6 100MHz FM 신호입력에 대한 출력전압파형 예
 Fig. 6 Typical output voltage waveform to a 100MHz FM signal input.

4.2 과도이상전압에 대한 특성

본 연구에서 제안한 과도이상전압 차단장치는 정상상태의 신호전압에서는 전압강하와 신호왜곡에 대한 문제가 없으므로, 과도이상전압 차단장치의 기본 특성인 과도이상전압에 대한 보호능력을 평가하였다. 과도이상전압에 대한 성능 평가에는 IEC 1000-4-5에 시험 과형으로 규정된 정(+), 부(-) 극성의 1.2/50 μ s 전압을 과도이상전압 차단장치의 선로측 연결단자(L-N) 즉, 가스튜-브 양단에 입력하고, 클램핑 회로 양단(E-N)에서의 전압파형을 관측하였다.

정(+)-극성 과도이상전압에 대한 특성실험 결과로 그림 7의 1.2/50 μ s, 2kV의 전압 입력에 대하여 각 부분에서의 전압, 전류파형을 그림 8에 나타내었다.



[500 V/div, 10 μ s/div]

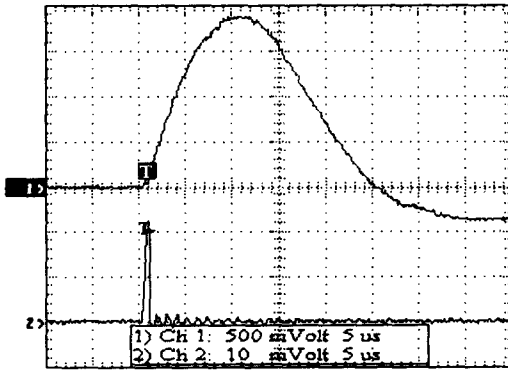
그림 7 1.2/50 μ s 정극성 과도이상전압 파형
 Fig. 7 Waveform of the 1.2/50 μ s positive transient overvoltage

인가된 과도이상전압이 애벌란시 다이오드의 클램핑 전압 19V를 넘으면 보호동작이 시작되고, 최종적으로 가스튜-브의 크로우바 동작으로 그림 8(a)와 같은 8/20 μ s, 950A의 과도전류가 흐르게 된다. 단계적인 보호동작으로 가스튜-브 후단의 동작속도가 빠른 애벌란시 다이오드가 과도이상전압의 초기에 클램핑 동작으로 과도이상전압을 그림 8(b)와 같이 약 20V로 제한하면서, 클램핑 회로에는 과도전류가 흐른다.

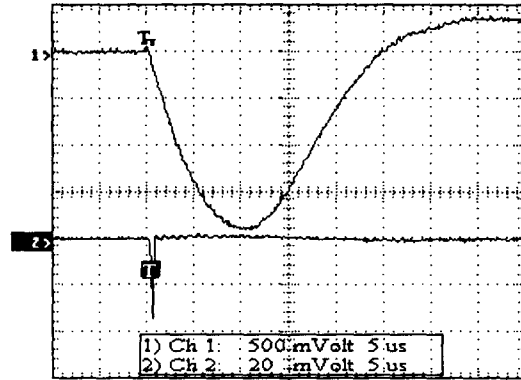
이 전류는 가스튜-브와 애벌란시 다이오드 사이에 직렬로 접속된 JFET의 동작으로 그림 8(a)와 같이 N-Ch JFET의 포화전류(20mA)보다 약간 높은 22mA 이하로 제한되었다. 게이트-채널 다이오드와 애벌란시 다이오드의 클램핑 회로에는 본 실험의 경우, 22mA의 낮은 전류가 흐르므로 애벌란시 다이오드의 부담을 최소화할 수 있으며, 게이트-채널 다이오드의 게이트 정격전류(I_G)도 50mA이므로 소자 특성에는 영향을 주지 않는다.

보호동작의 최종 단계는 과도이상전압 입력에 대해 가스튜-브가 약 700ns 정도에서 크로우바 동작으로 과도이상전압을 억제하여 L-N에는 아-크 전압(15V~30V)만이 나타나고, 과도이상전압이 소멸하면 본 과도이상전압 차단장치는 정상상태로 회복하게 된다. 또한 정상상태의 신호전압은 5V이므로 가스튜-브의 속류(follow current)에 대한 문제점은 발생하지 않는다.

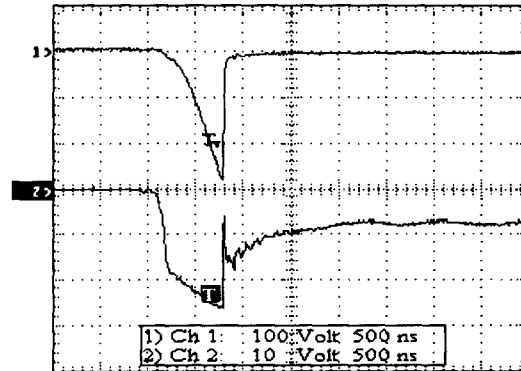
그림 9는 1.2/50 μ s, 2kV의 부(-)극성 과도이상전압 입력에 대한 응답파형으로, 정극성에 대한 실험조건을 그대로 유지하고 인가 전압의 극성만 반전시켰다. 정극성 과도이상전압에 대한 실험에서와 같은 크기의 전압이 인가되므로, 과도이상전압 차단 장치의 입력단자 L점을 흐르는 전류는 그림 9(a)와 같이 반대 극성의 -950A가 흐르게 된다. 보호 동작에 있어서는 애벌란시 다이오드의 특성은 동일하지만, 부극성 과도전압 입력에 동작하는 전류제한용 P-Ch. JFET의 전기적 특성에 의존하여 정극성 과도전압 입력에 대한 응답특성과는 다소 차이를 보였다. 전류 제한회로를 흐르는 과도전류는 그림 9(a)와 같이 38mA이었으며, 클램핑 회로 양단 즉, 피보호기에 인가되는 최대 전압도 정극성의 경우보다는 다소 높은 26V로 나타났다. 이러한 차이는 표 1에 나타낸 바와 같이 P-Ch JFET의 동작시간이 N-Ch JFET에 비해 늦어 애벌란시 다이오드의 동작속도를 따르지 못하기 때문 이라 판단된다.



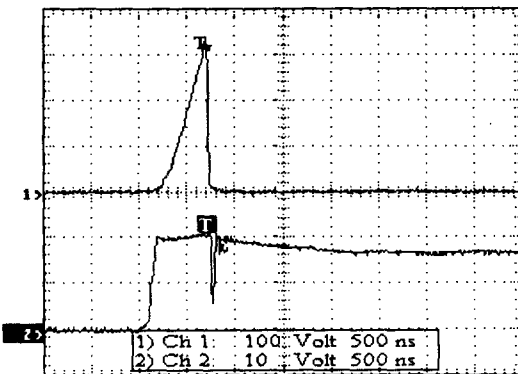
상 : 전체 전류(I_T) [250A/div, 5 μ s]
 하 : JFET 전류(I_p) [10mA/div, 5 μ s]
 (a) 전류 파형



상 : 전체 전류(I_T) [250A/div, 5 μ s]
 하 : JFET 전류(I_p) [20mA/div, 5 μ s]
 (a) 전류 파형



상 : 입력단자(V_{L-N}) [100V/div, 500ns]
 하 : 출력단자(V_{E-N}) [10V/div, 500ns]
 (b) 전압 파형



상 : 입력단자(V_{L-N}) [100V/div, 500ns]
 하 : 출력단자(V_{E-N}) [10V/div, 500ns]
 b) 전압 파형

그림 9 1.2/50 μ s 부극성 과도이상전압에 대한 응답 파형
 Fig. 9 Response waveform to the 1.2/50 μ s negative transient overvoltage

이상과 같은 실험으로부터 과도이상전압 차단장치는 정, 부 양극성의 과도이상전압 입력에 대해 전류제한기능과 클램핑 기능으로 피보호기를 안전하게 보호할 수 있음을 확인하였다.

5. 결 론

본 연구에서는 고속·광대역화되는 정보통신기기를 과도이상 전압으로부터 보호할 목적으로 고성능의 과도이상전압 차단장치를 설계하고, 시제작하여 정상상태의 신호전압과 과도이상전압에 대한 특성을 평가하였다.

설계·제작한 과도이상전압 차단장치는 비선형 특성의 보호 소자와 JFET를 조합한 회로구성으로 다음과 같이 향상된 보호 성능을 얻었다.

그림 8 1.2/50 μ s 정극성 과도이상전압에 대한 응답 파형
 Fig. 8 Response waveform to the 1.2/50 μ s positive transient overvoltage

1. 가스 튜브와 애벌란시 다이오드 사이에 전류 제한용으로 JFET를 직렬 삽입함으로써 에너지 내량이 적은 애벌란시 다이오드를 보호할 수 있으며, 동시에 피보호기기에 가해지는 이상 전압을 감소시킬 수 있었다.
2. JFET의 게이트-채널 다이오드를 애벌란시 다이오드와 직렬로 접속함으로써 애벌란시 다이오드의 큰 정전용량으로 인한 삽입손실을 감소시켜 주파수 특성과 보호기능을 동시에 개선하였다.
3. 제안된 과도이상전압 차단장치는 정상상태에서 JFET의 포화 전류까지 신호전류를 공급할 수 있으며, 과도이상전압 침입시 애벌란시 다이오드의 클램핑 동작으로 흐르는 과도전류는 JFET의 드레인-소오스 채널의 급격한 감소로 낮은 전류로 제한된다.
4. 단방향 과도이상전압 보호소자들의 역병렬 접속으로 피보호기기에 침입하는 정(+), 부(-)극성의 과도이상전압에 대해서 양방향 모두 안정한 보호특성을 나타내었다.

이 논문은 1997년 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음 (과제번호: 1997-003-200149).

참 고 문 헌

- [1] S. B. Smith and R. B. Standler, "The Effects of Surges on Electric Appliances", IEEE Trans. on Power Delivery, Vol. 7, pp. 1275~1282, 1992.
- [2] N. Kuwabara, H. Koga and T. Motomitsu, "A New Lightning Surge Test Circuit for Telecommunications Equipment in Japan", IEEE Trans. on Electromagnetic Compatibility, Vol. 30, No. 3, pp. 393~400, 1988.
- [3] P. R. Tompson, "Lightning Protection of SCADA and Telemetry Systems", Proc. of 2nd Annual Technical Conference on Lightning protection & Earthing, pp. 1~6, 1994.
- [4] 이복희, 김지훈, "바리스터와 LC 필터를 이용한 2단 서지 보호장치", 대한전기학회 논문지, 제43권 3호, pp. 406~413, 1997.
- [5] 길경석 외, "정보통신기기용 고속도 써-지차단장치", '98 대한전기학회 방전 및 고전압 연구회 춘계학술대회 논문집, pp. 120~122, 1998.
- [6] K. C. Lai, W. J. Lee, W. V. Jaction, "Testing and Selecting Surge Suppressor for Low-Voltage AC Circuits", IEEE Trans. on Industrial Application, Vol. 26, No. 6, pp. 976~982, 1986.
- [7] G. L. Skibinski, J. D. Thunes, "Effective Utilization of Surge Protection Devices", IEEE Trans. on Power Delivery, Vol. IA-22, No. 4, pp. 641~652, 1986.
- [8] R. A. Harris and M. Darveniza, "The Transient Blocking Device : A State of the Art Development in Protection

for Sensitive Electronic Systems", Proc. of International Conference on Electromagnetic Compatibility, pp. 168~175, 1995.

- [9] IEC 1000-4-5, Surge immunity test, pp. 60~77, 1995.
- [10] 박송배, 현대전자회로, 1994, pp. 183~201.

저 자 소 개



길 경 석 (吉 暲 碩)

1962년 6월 30일생. 1984년 인하대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학박). 1996년~현재 한국해양대학교 이공대 전기공학과 조교수