

# 콘벌루션 코딩 및 DS-SS 방식을 이용한 전력선 통신 시스템에 관한 연구

論 文  
48A - 4 - 16

## A Study on Power Line Communication System using FEC Methods

金奇貞\* · 朴鐘演\*\*

(Gi-Jung Kim · Chong-Yeun Park)

**Abstract** - We have realized the two kinds of power line communication systems by the FSK MODEM. The first approach is the DS-SS (Direct sequence-spread spectrum) technique using 8 bits pseudo noise, the other is Convolutional coding method by the new algorithm. Their characteristics are compared with each other by experimenting their Bit Error Rates (BER) in high level of Noise. The results have showed that two systems are useful to the application of HA (Home Automation) systems

**Key Words** : Key Words : 전력선 모델, Convolutional Coding, DS-SS 방식, FSK 디지털변조

### 1. 서 론

옥내 전원공급은 단상2선식 220V가 주종을 이루고 있으며 각 가정에서는 세대분전반의 전등, 전열 회로에 각종 부하를 연결하여 편리하게 사용하고 있다. 이와 같은 전원선을 통신 채널로 병용하면 별도의 통신 선로가 필요 없어 공사비가 절감될 뿐만 아니라 시공이 간편하고 건물구조상 안전도가 높아져 가정자동화(HA : Home Automation)에 큰 도움이 된다.

그러나 전원선은 전력의 공급을 목적으로 하기 때문에 선로정수가 불규칙적으로 변동하기 쉽고, 주파수에 대한 선택적 페이딩(Frequency selective fading)이 발생하며, 각종 기기로부터 발생하는 고주파로 잡음(Noise)이 심하다.<sup>11,12</sup> 그러므로 전력선을 이용한 통신에서는 잡음에 대한 내성이 크고 협대역 간섭의 영향을 줄일 수 있는 변조방식과 전송과정에서 발생하는 오류를 검출하고 정정할 수 있는 코딩방법이 요구된다.<sup>13-14</sup>

따라서 본 연구에서는 잡음특성에 강하며 저속전송에 유리한 FSK(Frequency Shift Keying)변조방식을 실현하기

위해 IC 칩을 이용한 전력선 모델을 설계 제작하였으며, 랜덤한 잡음이 발생하는 전력선에서 오류검출 및 정정을 동시에 처리할 수 있는 순방향오류정정(FEC : Forward Error Correction)<sup>16-19</sup> 방식인 콘벌루션 코딩(Convolution Coding)

과 직접확산대역(DS-SS : Direct Sequence Spread Spectrum)<sup>10-13</sup> 방식을 적용한 시스템을 각각 구현하여 가정 기기의 ON/OFF 제어를 위한 전력선통신 시스템의 전송 특성을 검토하였다.

### 2. 전력선 통신 시스템의 구성

#### 2.1. 전력선 모델의 구성

전력선을 통신채널로 이용하여 데이터를 전송하기 위한 전력선 모델을 그림1과 같이 구성하였다. 제안된 시스템은 데이터를 마이크로 프로세서에서 인코딩하여 FSK 디지털변조 한 후 전력선을 통해 송신하고, 수신기에서는 FSK 복조 한 후 마이크로 프로세서에서 디코딩하여 원 데이터를 출력하는 시스템으로 실현하였다.<sup>15-16</sup>

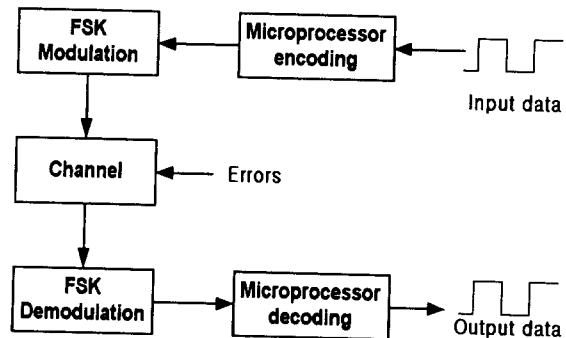


그림1. 제안된 모델 블록도

Fig. 1 Block diagram of proposed MODEM

전력선은 부하특성에 따라 잡음이 심하므로 데이터 전송시 오류(Error)가 많이 발생한다. 따라서 본 연구에서는 전력선

\* 正 會 員 : 江原大 工大 電氣電子工學部 講師

\*\* 正 會 員 : 江原大 工大 電氣電子工學部 教授

接受日字 : 1998년 11월 9일

最終完了 : 1999년 3월 8일

모뎀을 설계, 제작하여 오류 검출 및 정정을 동시에 하는 순방향오류정정(FEC : Forward Error Correction)방식인 콘벌루션 코딩(Convolution Coding)의 새로운 탐색 알고리즘을 적용한 방식과 또한 8비트의 의사잡음 발생기에 의한 DS-SS(Direct Sequence Spread Spectrum)방식의 시스템을 각각 제안하였다.

2.2 Forward Error Correction 코딩

FEC 제어 방식은 전력선 채널상에서 발생된 오류를 수신단에서 검출하고 동시에 정정까지 하는 순방향오류정정 방식으로서 역채널이 필요없다. 즉 데이터 정보를 부호화기로 인코딩하여 송신하고 수신단에서 디코딩함으로써 정보 비트의 오류검출 및 정정을 동시에 해결하는 특성을 갖춘 무귀환제어방식이다.<sup>[4][7]</sup>

2.2.1 콘벌루션 코딩 알고리즘

잡음환경이 나쁜 전력선 채널상에서 오류없이 데이터 정보를 전송하기 위해 송신기에 입력되는 비블럭형 데이터를 그림2와 같은 최적형태의 콘벌루션형 부호화기로 인코딩한다.

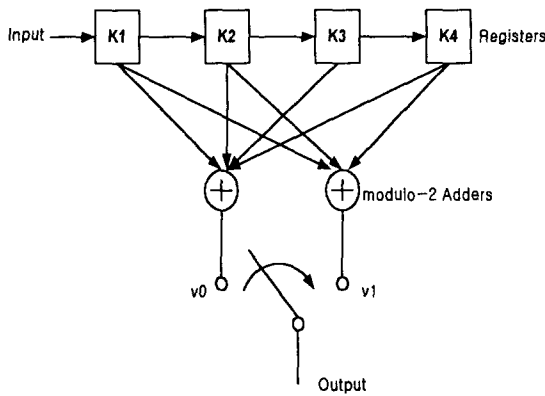


그림 2 (2,1,4) 콘벌루션형 부호기  
Fig. 2 (2, 1, 4) Convolutional Coder

이때 입력신호는 디지털 신호이며 콘벌루션형 부호화기에 의해 부호화된 디지털 신호는 FSK 변조기의 입력 신호가 된다. 또한 모듈러-2 가산기의 출력  $V_0, V_1$ 은 식(1)과 식(2)의 조합으로 이루어지므로 부호화율(Code Rate)이 1/2이다.

$$v_0 = K_1 \oplus K_2 \oplus K_3 \oplus K_4 \dots\dots\dots (1)$$

$$v_1 = K_1 \oplus K_3 \oplus K_4 \dots\dots\dots (2)$$

콘벌루션형 부호를 디코딩하기 위하여 그림 3과 같은 최초 트리도를 만들었다. 이 트리도는  $K=4, V=2$  인 경우를 나타내며 그림 2의 콘벌루션형 부호기를 적용한다. 최초 트리도의 시작점은 부호기의 입력 비트가 입력되기 전의 상태이며 첫 번째 입력 비트가 "0"이면 마디점에서 위쪽으로 분기하고 "1"이면 아래쪽으로 분기한다. 만약 첫 번째 입력 비트가

"1"이면 마디점 A에서 아래쪽 가지를 따라 마디점 B로 이동하며 이때 출력은 식(1)과 식(2)로부터 "11"이 된다. 계속해서 두 번째 입력이 "0"이라면 마디점 B에서 위쪽으로 분기하며 출력은 "11"이 된다. 두 번째 입력 비트가 입력될 때 디코딩하기 위한 트리도는 A점을 기준으로 위 부분 가지는 모두 버리고 B점을 기준으로 상, 하 가지가 각각 8개씩 이루어진 새로운 트리도를 만든다.

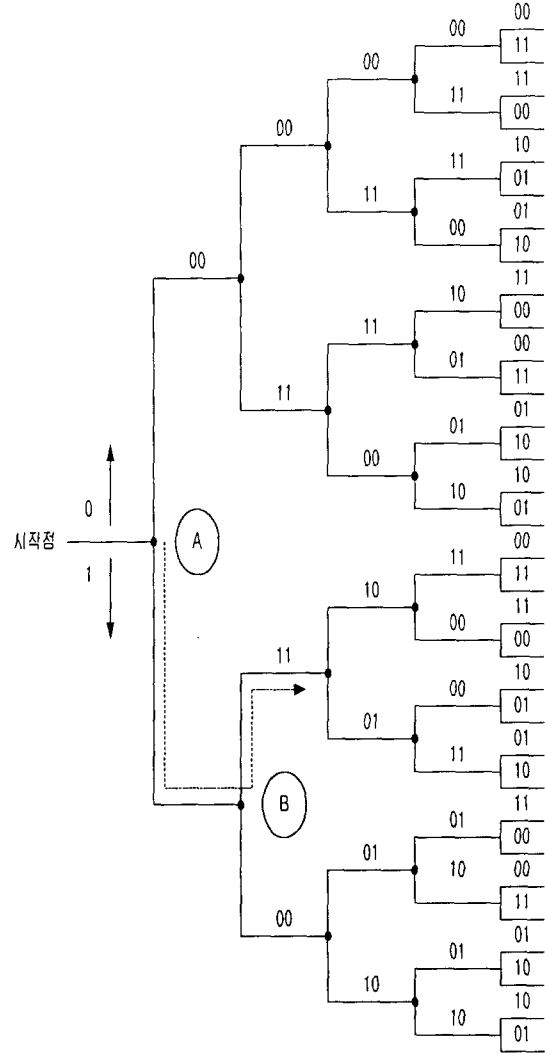


그림 3. 그림 2에 의한 인코더트리도  
Fig 3. Code tree for encoder of fig 2

그림2와 같은 콘벌루션형 부호기에서 입력 비트 1개가 부호기를 거치는 동안 출력 비트 수는 쉬프트레지스터 수(K)와 모듈러-2 가산기의 수(N)의 곱인  $4*2=8$  비트이다. 이와 같은 8비트는 트리도에서 가지(경로)의 단위가 된다. 디코딩하기 위해서는  $2^K$ 개 가지 중에서 오류가 가장 적은 가지(경로)를 찾아야 하므로 여기서는  $2^4=16$  경로를 찾는다. 새로운 알고리즘은 그림4와 같이 16경로를 단위로 한 블록이 8개로 이루어진 롬 테이블(ROM Table)을 사용함으로써 모든 입력 비트의 오류검사 및 정정을 할 수 있다.

그림3과 같은 기본 트리도를 이용하여 최초의 블록을 만들

고 이어서 입력된 비트에 따라 만들어진 트리도를 이용하여 나머지 블록을 만들었다.

검출 및 정정순서는 맨 먼저 송신기의 입력 비트 "0" 또는 "1"이 쉬프트레지스터를 완전 통과하는 동안 임의로 생성된 8비트와 롬 테이블의 최초 블록(Ref#0)의 경로와 비교하여 오류율이 가장 적은 경로를 찾고 이때 선택된 경로의 중앙 4 비트 배열과 최상위 경로의 앞(Binary(B)쪽)부분이 동일한 경로를 가진 블록을 롬 테이블에서 선택하여 두 번째 입력 비트의 경로를 검출하며, 두 번째 검출된 경로의 중앙 4 비트 배열과 최상위 경로의 앞(Binary(B)쪽)부분이 동일한 경로를 가진 블록을 롬 테이블에서 선택하여 세 번째 입력 비트의 경로를 검출하는 방식으로 반복 시행한다. 콘벌루션 코딩순서도는 그림 5와 같다. 기존의 알고리즘은 수신기에서 콘벌루션 연산에 의해서 얻어진 결과와 입력데이터를 일일이 연산해서 경로를 추정하였다. 그러나 새로운 알고리즘은 이전에 추정된 경로가 포함된 16경로의 블록을 지정하므로 조사해야 하는 경로가 16경로로 줄어들어 연산의 속도를 향상시킬수 있고 또한 많은 연산으로부터 발생할 수 있는 오차의 확률을 줄일수 있다.

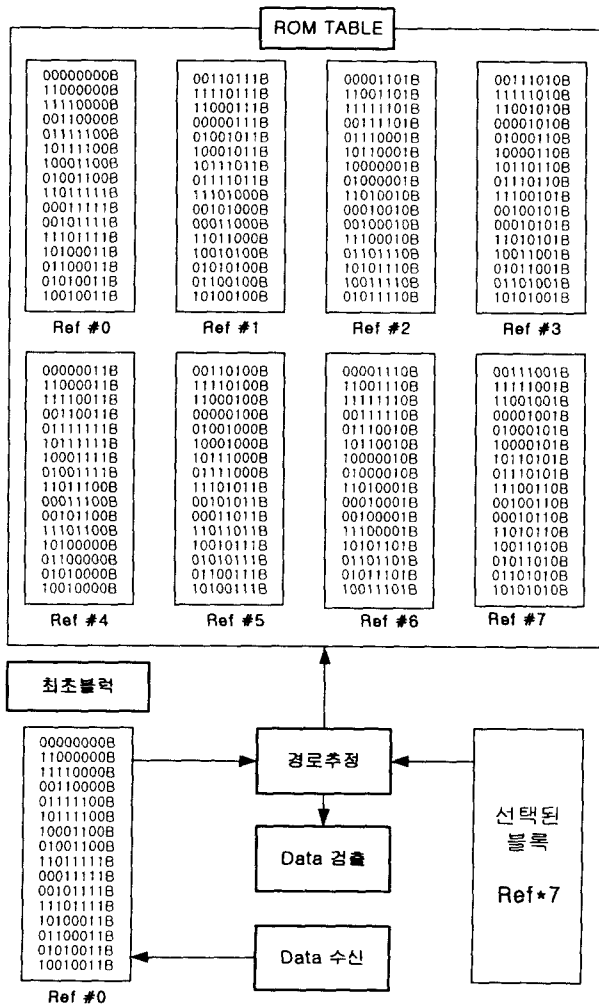


그림 4 콘벌루션 디코딩을 위한 알고리즘  
Fig. 4 Algorithm for Convolutional decoding

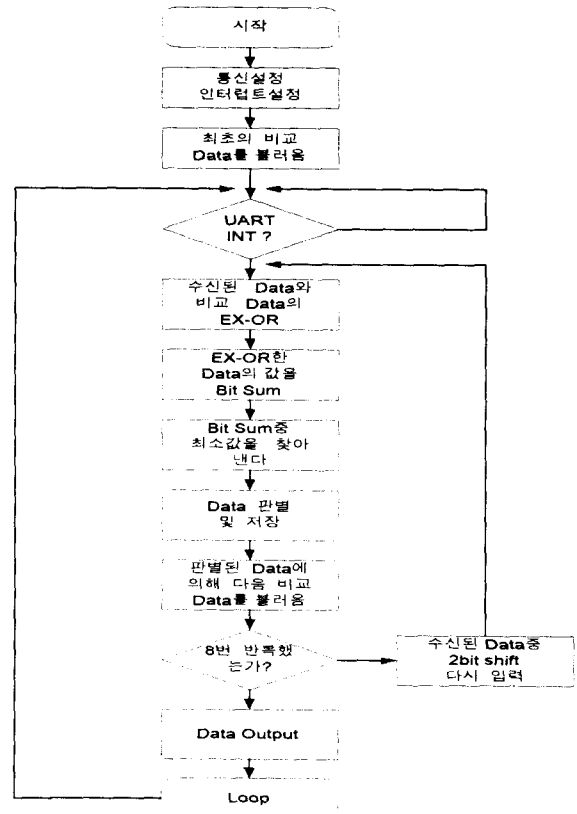


그림 5. 콘벌루션 디코딩 순서도  
Fig 5. Flow chart of convolutional decoding

2.2.2. DS-SS 코딩

DS-SS 코딩 방식은 송신기에서 입력데이터를 의사잡음(Pseudo Noise)에 의해서 인코딩(Encoding)하여 FSK변조기의 입력데이터로 하고, 수신기에서는 송신기의 의사잡음과 동기된 의사잡음으로 상관검파 함으로써 데이터를 디코딩(Decoding)하도록 그림 6과 같이 구성하였다.<sup>[10-13]</sup>

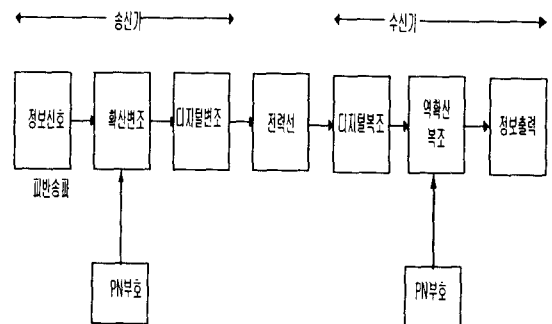


그림 6 DS-SS 블록도  
Fig. 6 Block diagram of DS-SS method

데이터 비교는 송신기의 입력신호를 의사잡음과 배타적 논리합화하여 8비트로 인코딩하고 수신기에서는 입력 8비트를

송신기와 동일한 의사잡음으로 상관검파하여 원신호를 복원 하도록 디코딩하며 순서도는 그림7과 같다.

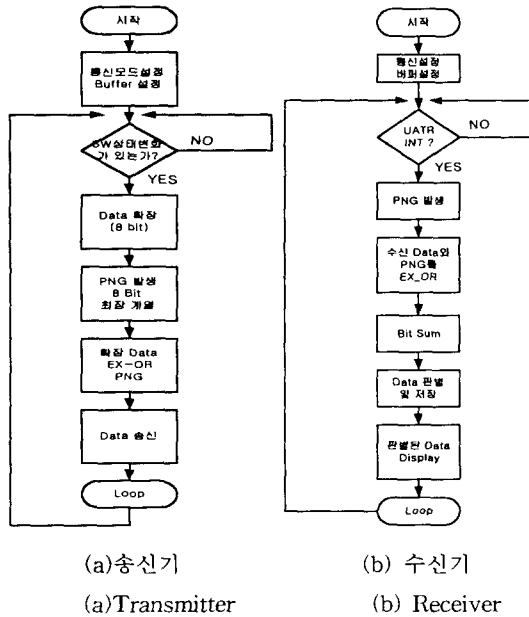


그림 7 DS-SS코딩 순서도

Fig. 7 Flow Chart of DS-SS Coding

3 전력선모뎀 설계

제한된 전력선 채널의 모뎀을 그림8과 같이 라인커플러, 전류증폭기, 디지털 변,복조기 및 마이크로프로세서로 구성하였다.<sup>[14-15]</sup>

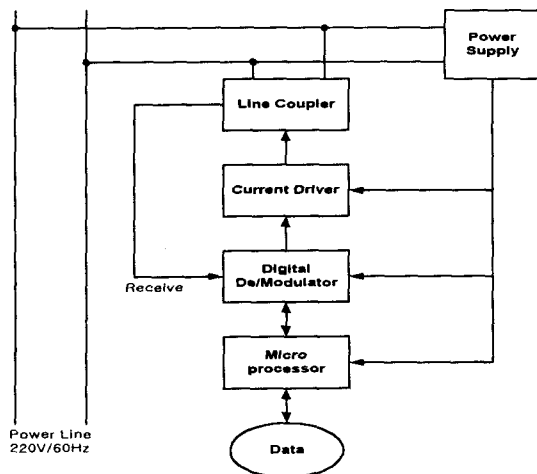


그림 8 제안된 전력선모뎀 구성도  
 Fig. 8 Structure of proposed PLM

3.1. 라인 커플러 ( Line Coupler )

전력선 모뎀의 인터페이스인 라인커플러는 송신모드에서

반송파를 전력선에 싣고 60Hz 전원선으로부터 절연한다. 수신모드에서는 신호를 대역통과 필터로 검출하고 검출된 신호를 디지털 복조기에 공급하는 역할을 하며 회로는 그림9와 같다.

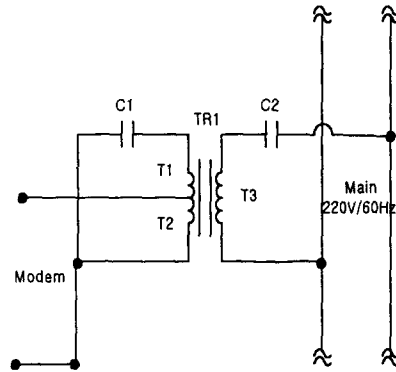


그림 9 라인커플러 회로도  
 Fig. 9 Circuit of Line Coupler

전력선으로부터 60Hz를 제거하기 위한 소자는 C2, T3이며, 반송파 통과를 위해 C1, T1, T2 소자를 사용했으며, T1, T2, T3의 권수비는 4 : 1 : 1 이다.

3.2. 전류증폭기 ( Current Driver )

전류 증폭기는 디지털 변조기의 출력신호를 증폭하여 라인 커플러를 통해 전력선으로 신호를 전송한다. 이때 전류를 증폭하므로써 신호의 전송 거리를 증대시킬 수 있다. 전류 증폭기의 구조는 푸시풀 증폭기를 사용하였으며, 트랜지스터의 부정합(mismatching)을 감소시키기 위해서 저항 R4, R5를 사용하였고, 최적의 출력값을 가질 수 있도록 바이어스 저항을 설정하였다. 수신모드에서는 전류증폭기가 동작하지 않도록 하였으며, 제안된 증폭기의 주요 특성은 전압 증폭도는 1이고, 고입력 임피던스와 저출력 임피던스를 가지며 회로도 는 그림10과 같다.

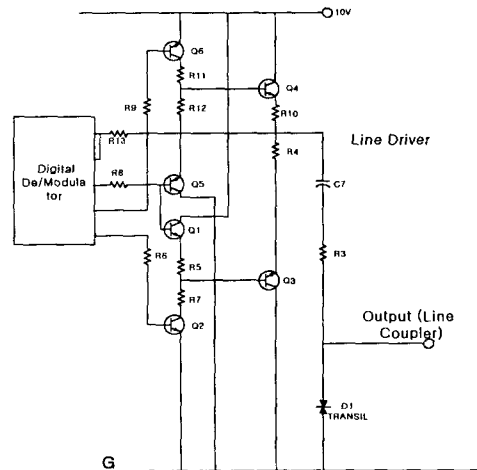


그림 10 전류증폭기의 회로도  
 Fig. 10 Circuit of Current driver