

Al₂O₃ 게이트 절연막을 이용한 공핍형 p-채널 GaAs MOSFET의 제조

全本謹, 李泰憲, 李正熙, 李龍鉉

Fabrication of a depletion mode p-channel GaAs MOSFET
using Al₂O₃ gate insulator

Bon-Keun Jun, Tae-Hyun Lee, Jung-Hee Lee and Yong-Hyun Lee

요 약

본 논문에서는 반절연성 GaAs(semi-insulating GaAs) 기판위에 Al₂O₃ 절연막이 게이트 절연막으로 이용된 공핍형모드 p-채널 GaAs MOSFET (depletion mode p-channel GaAs MOSFET)를 제조하였다. 반절연성 GaAs 기판위에 1 μm의 GaAs 버퍼층(buffer layer), 4000 Å의 p형 GaAs 에피층(epi-layer), 500 Å의 AlAs층, 그리고 50 Å의 캡층(cap layer)을 차례로 성장시키고 습식열산화시켰으며, 이를 통하여 AlAs층은 완전히 Al₂O₃층으로 산화되었다. 제조된 MOSFET의 I-V, g_m, breakdown특성 측정을 통하여 AlAs/GaAs epilayer/S·I GaAs 구조의 습식열산화는 공핍형 모드 p-채널 GaAs MOSFET를 구현하기에 적합함을 알 수 있다.

Abstract

In this paper, we present p-channel GaAs MOSFET having Al₂O₃ as gate insulator fabricated on a semi-insulating GaAs substrate, which can be operated in the depletion mode. 1 μm thick undoped GaAs buffer layer, 4000 Å thick p-type GaAs epi-layer, undoped 500 Å thick AlAs layer, and 50 Å thick GaAs cap layer were subsequently grown by molecular beam epitaxy(MBE) on (100) oriented semi-insulating GaAs substrate and this wafer was oxidized. AlAs layer was fully oxidized as a Al₂O₃ thin film. The I-V, g_m, breakdown characteristics of the fabricated GaAs MOSFET showed that wet thermal oxidation of AlAs/GaAs epilayer/S·I GaAs was successful in realizing depletion mode p-channel GaAs MOSFET.

1. 서론

1962년 GaAs의 열적산화에 대한 연구가 처음 시작된 이래로 GaAs 기판 위에 양질의 산화막을 형성시키려는 시도가 많이 이루어져 왔다.^[1] GaAs 기판에 절연막을 형성하는 기술은 GaAs 기판을 직접 산화하여 산화막을 형성시키는 방법과, GaAs 기판위에 절연막을 증착시키는 방법이 있다.^[2,3] 그러나 이러한 방법들을

이용하여 형성된 절연막은 계면에서의 원소형 As 및 격자변형 등으로 인하여 높은 계면상태밀도(interface state density)와 큰 누설전류(leakage current)로 인하여 MIS(metal insulator semiconductor)소자에 응용하기가 어렵다. 그래서 GaAs는 MESFET,^[4] HBT,^[5] HEMT,^[6] 와 같은 소자 중심으로 응용이 되어왔으나, 현재 Si 집적회로 기술의 주종을 이루고 있는 MOSFET 형태의 소자는 상용화되지 못하고 있는 실정이다. 그러나 최근에 H₂O 또는 OH⁻기가 포함된 습식산화공정이 건식산화공정보다 GaAs MIS소자의 계면특성을 향상시킬 수 있다는 보고가 있었고,^[7] J. M.

Dallessase 등^[8]은 레이저 다이오드의 $Al_xGa_{1-x}As/AlAs/GaAs$ 초격자(super lattice) 구조를 제작하여 이를 산화시켜 형성된 산화막이 표면보호(surface passivation)와 전류차단(current blocking)에 대한 특성을 향상시켰음을 보고하였으며 Lee 등^[9]은 AlAs를 습식산화하여 형성된 Al_2O_3 절연막과 GaAs 계면사이의 계면상태밀도가 $1 \times 10^{11} / cm^2 \cdot eV$ 정도로 MOSFET를 제조하기에 충분히 낮은 값을 보고하였다.

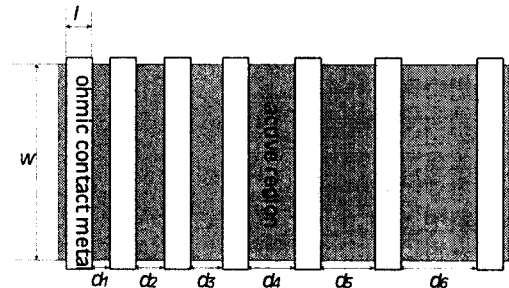
GaAs MOSFET는 GaAs의 높은 전자이동도 및 캐리어 최대속도로 인하여 대부분 p-채널 보다는 n-채널에 대하여 더 많은 연구가 이루어졌고 최근에 개발되기 시작한 결정성장을 통한 양질의 산화막을 형성하는 기술도 또한 n-채널에 대하여 더 많은 연구가 이루어지고 있다. 그러나 GaAs를 이용한 CMOS (complementary metal oxide semiconductor)의 개발을 위해서는 p-채널 MOSFET의 개발이 요구된다.^[10-12]

본 논문에서는 AlAs층을 GaAs와 선택적으로 열산화시켜 형성된 Al_2O_3 절연막을 GaAs MOSFET의 게이트 절연막으로 사용하여 공핍형 p-채널 GaAs MOSFET를 제조하였다. MBE를 이용하여 반절연성 GaAs 기판 위에 1 μm 의 GaAs buffer 층과 4000 Å의 p형 GaAs 단결정을 성장시키고, 그 위에 500 Å의 단결정 AlAs층을 성장시켰다. 그리고 AlAs층이 상온에서 급격하게 산화되는 것을 방지하기 위하여 약 50 Å의 GaAs 캡층을 AlAs층 위에 성장시켰다. 이렇게 성장된 시편을 습식산화시켰다. 제조된 소자의 특성 평가는 TLM(transmission line method)법을 이용하여 MOSFET의 채널층과 금속의 접촉저항특성을 조사하였다.^[13] 그리고 MOSFET 소자를 제조하였고, 제조된 소자에 대하여 전압-전류(I-V), 상호전달컨덕턴스(transconductance, g_m) 및 소오스-드레인간의 항복전압 특성 측정 등을 행하였다.

II. 소자제작

공핍형 p-채널 GaAs MOSFET를 제조하기전에 TLM법을 이용하여 $5 \times 10^{16} / cm^3$ 으로 도핑된 GaAs의 활성영역(active region)인 채널층의 표면과 금속의 접촉저항특성을 조사하기위하여 그림 1과 같이 TLM pattern을 제작하였다. 패턴의 길이는 100 μm 이고 폭은 500 μm 였으며, 각 패턴의 간격이 각각 $d_1=60 \mu m$, $d_2=80 \mu m$, $d_3=100 \mu m$, $d_4=120 \mu m$, $d_5=140 \mu m$ 그리고 $d_6=160 \mu m$

인 6개의 패턴을 설계하였다. GaAs 기판위에 1 μm 의 GaAs 버퍼층과 마그네슘(Mg)이 도우핑된 4000 Å의 채널층을 성장시키고 그 위에 TLM 패턴의 전극으로 Au(1500 Å)/Zn(200 Å)/Au(300 Å)/Zn(100 Å)을 차례로 증착한후 사진식각 공정과 lift-off법을 이용하여 패턴을 형성하였다.^[14] 그리고 400 °C에서 1분 동안 질소분위기에서 열처리를 행한 후 각각의 패턴사이의 저항을 측정하였다.



$w=500 \mu m$ $l=100 \mu m$

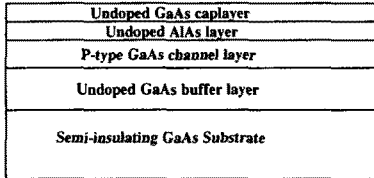
$d_1=60 \mu m$ $d_2=80 \mu m$ $d_3=100 \mu m$ $d_4=120 \mu m$ $d_5=140 \mu m$ $d_6=160 \mu m$

그림 1. 접촉저항 측정을 위한 TLM 패턴

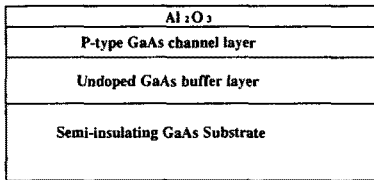
Fig. 1. TLM patterns for measurement of contact resistance.

그림 2는 p-채널 GaAs MOSFET의 제조공정을 나타낸 것이다. 먼저 그림 2(a)와 같이 MBE법을 이용하여 반절연성 GaAs 기판위에 1 μm 두께로 도핑을 하지않은 GaAs 버퍼층을 성장하였고, 그 위에 마그네슘이 도우핑된 4000 Å 두께의 p-type GaAs 에피층과 500 Å 두께의 AlAs 층을 차례로 성장하였고, 그 위에 AlAs 층이 상온에서 급격하게 산화되는 것을 방지하기 위하여 약 50 Å의 GaAs 캡층을 성장시켰다. 제작된 시편을 양질의 게이트 산화막을 형성하기 위하여 400 °C에서 3시간동안 습식산화법(wet oxidation)으로 산화시켰다.^[9] 그림 2(b)는 산화막이 형성된 후의 시편의 단면도를 나타낸 것이다. 게이트 전극을 형성하기 위하여 2000 Å의 Al을 진공증착하고 lift-off법으로 그림 2(c)와 같은 패턴을 형성하였다. 그리고 소자간의 전기적 활성 영역을 정의하기 위하여 그림 2(d)와 같이 $H_3PO_4:H_2O_2:H_2O$ (2:2:15) 혼합용액으로 메사(mesa) 식각을 행하였다. 그리고 lift-off 법을 이용하여 소오스와 드레인영역을 정의하고 $HF:H_2O$ (1:20) 용액으로 Al_2O_3 절연막을 식각하였다. 그리고 소오스-드레인 금

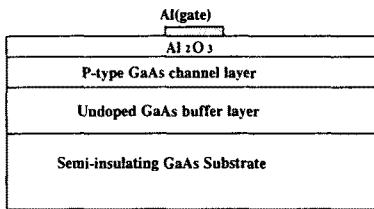
속으로 Au(1500 Å)/Zn(200 Å)/Au(300 Å)/Zn(100 Å)을 차례로 “in-situ”로 증착하였다. 이 소자들을 저항성 접촉을 형성하기 위하여 400 °C 1분동안 질소 분위기에서 열처리를 행하였다.^[14] 그림 2(e)는 제작된 p-채널 GaAs MOSFET의 단면을 나타낸 것이다.



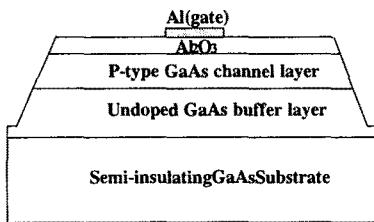
(a)



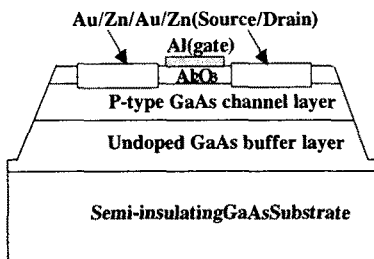
(b)



(c)



(d)



(e)

그림 2. 공핍형 p-채널 GaAs MOSFET의 제조공정도
Fig. 2. Fabrication process of GaAs depletion-mode p-channel GaAs MOSFET.

III. 결과 및 고찰

본 논문에서는 공핍형 p-채널 GaAs MOSFET를 제작하기전에 TLM법으로 활성영역인 GaAs 채널층과 금속의 접촉저항특성을 조사하였다. 그림 3은 각 패턴의 거리와 측정된 저항값의 관계를 나타낸 그래프이다. 측정된 각 저항값은 각각 105.7 Ω, 128 Ω, 150 Ω, 169.4 Ω, 192 Ω, 그리고 204.5 Ω 이었다. 그래프의 기울기는 약 1 Ω/μm 이었으며, y축 절편 즉, 접촉저항은 약 22 Ω으로 나타났다. 이러한 값들로부터 계산된 접촉 저항률 ρ는 2.64×10⁻³ Ω·cm² 으로 나타났다. 이는 MOSFET의 제작에 있어서 소오스와 드레인 접촉 저항인 10⁻² ~ 10⁻⁵ Ω·cm²의 범위 내의 값을 나타내었다.^[13,15]

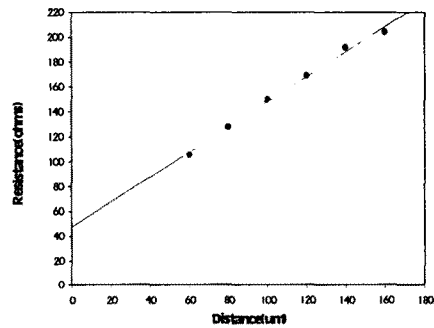


그림 3. 패턴의 거리에 따른 저항값의 그래프
Fig. 3. Plot of resistance vs. distance between TLM patterns.

그림 4(a)와 (b)는 채널의 도우핑 농도가 5×10¹⁶ / cm³이고 채널의 길이(L)가 4 μm이고 넓이(W)가 500 μm 인 GaAs MOSFET의 전압-전류특성 및 상호전달컨덕턴스를 나타낸 것이다. 그림 4(a)는 전압-전류특성으로 드레인전압(V_{DS})은 0 V에서 -15 V까지 인가되었고, 게이트 전압(V_G)은 0 V에서 7.5 V까지 1.5 V의 간격으로 인가되었다. 게이트전압이 0 V이고 드레인 전압이 10 V에서의 포화영역의 드레인 전류(I_{DSS})는 약 -2.3 mA 정도였다. 그림 4(b)는 상호전달컨덕턴스를 나타낸 것이다. 드레인전압은 드레인전류(I_D)가 포화영역에 속하는 -10 V로 고정하여 측정하였다. 상호전달컨덕턴스의 최대값은 게이트 전압이 약 2 V일 때 0.418 mS로 나타났고, 이를 단위 길이당 상호전달컨덕턴스로 환산하면 0.836 mS/mm이다. 그리고 게이트 전압이 약 9 V 정도일 때 펀치 오프가 일어나는 것을 알 수 있으며, 게

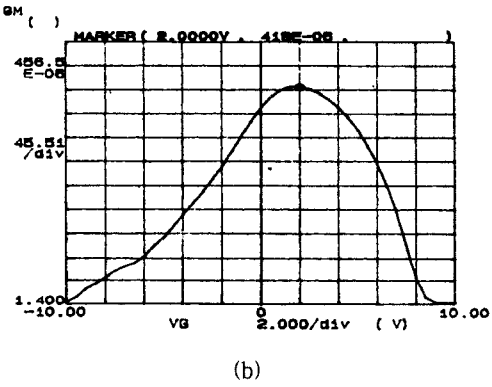
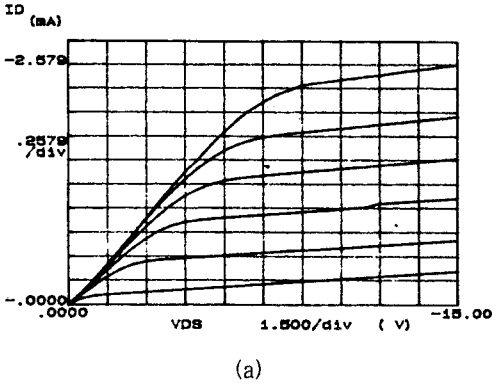


그림 4. 채널의 길이(L)가 4 μm , 폭(W)이 500 μm 인 GaAs MOSFET의 (a) 전압-전류 특성 (b) 상호전달컨덕턴스 특성

Fig. 4. (a) I-V characteristics and (b) transconductance of GaAs MOSFET of channel length of 4 μm , and channel width of 500 μm .

이트 전압이 -10 V에서 9 V까지 넓은 범위에 걸쳐 전류에 대한 제어성을 유지함을 알 수 있다.

그림 5(a)와 (b)는 채널의 길이(L)가 10 μm 이고 폭(W)이 1000 μm 인 p-채널 GaAs MOSFET의 전압-전류 특성 및 상호전달컨덕턴스를 나타낸 것이다. 드레인 전압(V_{DS})은 0 V에서 -15 V까지 인가되었고, 게이트 전압은 0 V에서 10 V까지 2 V의 간격으로 인가하였다. 게이트 전압이 0 V이고 드레인 전압이 -10 V 일 때 포화영역의 드레인 전류(I_{DSS})는 약 -4.2 mA 정도로 그림 4(a)의 경우에 비하여 드레인 전류가 증가하였다. 그림 5(b)는 상호전달컨덕턴스를 나타낸 것이다. 상호전달컨덕턴스의 최대값은 게이트 전압이 -2 V일 때 0.849 mS로 나타났으며, 이를 단위 길이당 상호전달컨덕턴스로 환산하면 0.849 mS/mm가 되고 그림 4(b)의

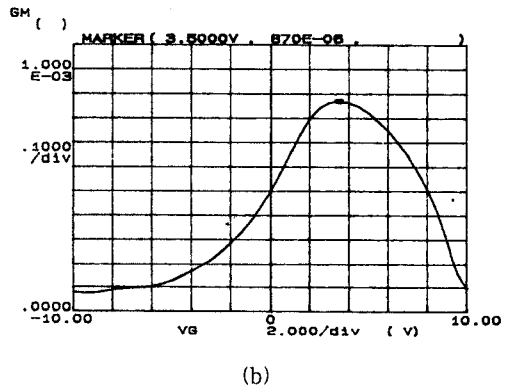
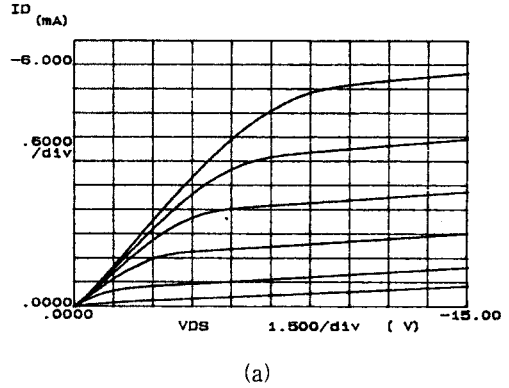


그림 5. 채널의 길이(L)가 10 μm , 폭(W)이 1000 μm 인 GaAs MOSFET의 (a) 전압-전류 특성 (b) 상호전달컨덕턴스 특성

Fig. 5. (a) I-V characteristics and (b) transconductance of GaAs MOSFET of channel length of 10 μm , and channel width of 1000 μm .

경우에 비해 거의 비슷한 값을 나타내었다.^{[10],[17]} 그림 6은 채널의 길이와 폭의 비(aspect ratio, W/L)에 대한 드레인 포화전류에 관한 그래프이다. 채널의 길이와 폭의 비가 증가할수록 드레인 포화전류는 옴의 값으로 증가함을 나타낸다. 그림 7은 채널의 길이(L)가 10 μm 이고 폭(W)이 500 μm 인 p-채널 GaAs MOSFET의 드레인 항복전압 특성을 나타낸 것이다. 드레인 전압을 0 V에서 -45 V까지 인가하였고 게이트 전압은 0 V에서 6 V까지 2 V씩 증가시키면서 인가하였다. 드레인 항복현상은 인가된 게이트 전압에 따라 약간의 차이는 있으나 대부분 약 40 V 이상에서 일어남을 알 수 있다. 이는 기존의 35V미만의 항복전압을 나타내는 MESFET와 n-채널 GaAs MOSFET에 비하여 높은 드레인 항복전압 특성을 나타내었다.^{[11],[16]}

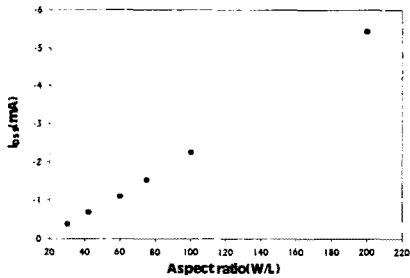


그림 6. 채널의 넓이와 길이의 비(W/L)의 변화에 따른 p-채널 GaAs MOSFET의 IDSS의 그래프

Fig. 6. Plot of IDSS of p-channel GaAs MOSFET as a function of gate aspect ratio(W/L).

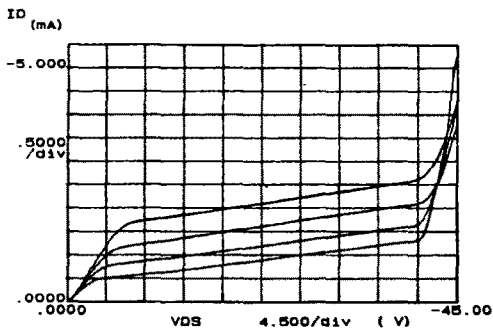


그림 7. 채널의 길이(L)이 10 μ m이고 넓이(W)가 500 μ m인 p-채널 GaAs MOSFET의 드레인 항복 전압 특성

Fig. 7. Drain breakdown voltage characteristics of fabricated p-channel GaAs MOSFET of channel length of 10 μ m and channel width 500 μ m.

IV. 결론

본 연구에서는 AlAs층을 선택적으로 습식산화시켜 형성된 Al₂O₃ 절연막을 게이트 절연막으로 이용하여 공핍형 p-채널 GaAs MOSFET를 제조하였다. GaAs MOSFET를 제작하기 전에 TLM법으로 MBE로 성장된 기판의 채널층과 금속의 접촉저항특성 측정을 행하였다. 단위길이당 저항값은 약 1 Ω/μ m로 나타났고, 접촉저항은 약 22 Ω 이었고 접촉저항률은 ρ 는 $2.64 \times 10^{-3} \Omega \cdot \text{cm}^2$ 이었다. 그리고 채널층의 농도가 $5 \times 10^{16} / \text{cm}^3$ 인 p-채널 GaAs MOSFET를 제조하여 전압-전류 특성, 상호전달컨덕턴스 특성 및 드레인 항복전압 특성을 측정하였다. 채널의 크기 길이와 폭이 각각 4 μ m, 500 μ m인 소자의 경우 게이트 전압이 0 V일 때 드

레인에 흐르는 포화전류는 약 -2.3 mA이고 단위길이당 상호전달컨덕턴스는 0.836 ms/mm로 나타났다. 그리고 채널의 길이와 폭이 각각 10 μ m, 1000 μ m인 소자의 경우 게이트 전압이 0 V일 때 드레인에 흐르는 포화전류는 약 -4.2 mA정도였고 단위길이당 상호전달컨덕턴스는 0.849 mS/mm로 나타났다. 채널의 길이와 폭이 각각 10 μ m, 500 μ m인 GaAs MOSFET의 드레인 항복전압은 약 40 V 이상으로 아주 우수한 특성을 나타내었다. 이러한 결과를 바탕으로 AlAs의 습식산화를 통하여 형성된 Al₂O₃ 절연막을 공핍형 p-채널 GaAs MOSFET의 게이트 절연막으로 사용될 수 있음을 확인하였다.

※ 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호:ISRC 97-E-3014)에 의해 수행되었습니다.

참고문헌

- [1] H. T. Mindern, "Thermal oxidation of GaAs", J. Electrochem. Soc., Vol. 109, pp.733-736, 1962.
- [2] C. W. Wilmsen, "Oxidation of GaAs", Gallium Arsenide Technology, Volume 2", Chap. 8. pp. 349-371, Howard W. Sams & Company. 1989.
- [3] J. A. Cooper, E. R. Ward, and R. J. Schwartz, "Surface states and insulator traps at the Si₃N₄-GaAs interface" Solid-State Electron, Vol. 15, pp. 1219-1227, 1972.
- [4] T. M. Barton and P. H. Ladbrooke, "Dependence of maximum gate-drain potential in GaAs MESFET's upon localized surface charge," IEEE Electron Device Letters, Vol. EDL-6, No. 3, pp.117-119 1985.
- [5] P. Ho, P. C. Chao et al., "Extremely high gain, low-noise InAlAs/InGaAs HEMT's grown by molecular beam epitaxy", IEEE IEDM Tech. Digest, pp. 184-189, 1988.
- [6] G. L. Ng, D. Pavlidis, M. Jaffe, J. Singh, and H. F. Chan, "Design and experimental characteristics of strained In_{0.52}Al_{0.48}As/In_xGa_{1-x}As x>0.53 HEMT's," IEEE Trans. Electron Devices, Vol. ED-36, pp. 2249-2259, 1989.
- [7] F. Bartels, L. Surkamp, H. J. Clemens, and W.

- Monch, "Oxygen and hydrogen adsorption on GaAs(110)", J. Vac. Sci. Technol. B, Vol. 1, No.3, pp. 756-762, 1983.
- [8] J. M. Dallessase, et. al., "Hydrolyzation oxidation of $Al_xGa_{1-x}/AlAs/GaAs$ quantum well heterostructure and supper lattices", Appl. Phys. Lett., Vol. 57, No. 26, 1990.
- [9] Y. S. Lee, Y. H. Lee and J. H. Lee, "Wet oxidation of AlAs grown by molecular beam epitaxy" Appl. Phys. Lett. Vol. 65, No. 21, pp. 2717-2719, 1994.
- [10] F. Ren, M. Hong, W. S. Hobson, J. M. Kuo, J. R. Lothian, J. P. Mannaerts, J. Kwo, S. N. G. chu, Y. K. Chen and A. Y. Cho, "Demonstration of Enhancement-mode p- and n-channel GaAs MOSFETs with $Ga_2O_3(Gd_2O_3)As$ Gate Oxide" Solid-State Electronics. 1997, Vol.41. No. 11, pp.1751-1753
- [11] C. L. Chen, L. J. Mahoney, K. B. Nichols, M. J. Manfra, B. F. Gramstorff, K. M. Molvar, R. A. Jurphy, and E. R. Brown, "Self-Aligned GaAs MISFET's with a Low-Temperature-Grown GaAs Gate Insulator" IEEE Electron Device Lett., Vol. 16, pp. 199-201, 1995.
- [12] C. L. Chen, L. J. Mahoney, K. B. Nichols, E. R. Brown, B. F. Gramstorff "Self-Aligned p-Channel MISFET with a Low-Temperature-Grown GaAs Gate Insulator" IEEE Electron Device Lett., Vol. 17, pp. 413-415, 1996.
- [13] G. K. Reeves and H. B. Harrison, "Obtaning the Specific Contact Resistance from Transmission Line Model Measurements," IEEE Electron Dev. Lett. EDL-3, pp. 111-113, 1982.
- [14] Tatsuyuki Sanada and Osamu Wada, "Ohmic Contacts to p-GaAs with Au/Zn/Au Structure" Japanese Journal of Applied Physics. Vol.19, No.8, pp.L491-L494 August,1980
- [15] Dieter K. Schroder, in Semiconductor Material and Device Characterization, John Wiley & Sons, Inc. pp.108, 1990.
- [16] L. W. Yin, Y. Hwang, J. H. Lee, R. M. Kolbas, R. J. Trew, and U. K. Misgara, "Improved Breakdown voltage in GaAs MESFETs utilizing surface layers of GaAs grown at a low temperature by MBE", IEEE Electron Device Lett. Vol.12, pp.561, 1990.
- [17] F. Ren, M. Hong, W. S. Hobson, J. M. Kuo, J. R. Lothian, J. P. Mannaerts, J. Kwo, Y. K. Chen and A. Y. Cho, "Enhancement mode p-channel GaAs MOSFETs on Semi-Insulation Substrates" IEEE IEDM Tech. Digest, pp. 943-945, 1998.

著 者 紹 介



전 본 근 (全本謹)

1969년 9월 12일생.

1992년 2월 경북대 공대 전자공학과 졸업, 1994년 2월 경북대 대학원 전자공학과(공학석사), 1994년 3월 ~ 현재 경북대 공대 전자공학과 박사과정, 1994년 10월 ~ 현재

경북대학교 센서기술연구소 전임연구원, 주관심분야 : 금속박막 증착, 산화공정, MOSFET, GaAs계 화합물 반도체 소자

이 정 희

「센서학회지 제4권 제2호」 논문 95-4-2-04, p. 28 참조.
현재 경북대학교 전자·전기공학부 부교수.



이 태 현 (李泰憲)

1975년 9월 23일생.

1999년 2월 경북대 공대 전자공학과 졸업. 현재 경북대학교 대학원 전자공학과 석사과정, 주관심분야 : GaAs MOSFET 소자 제작

이 용 현

「센서학회지 제1권 제1호」 논문 92-08 p.67 참조
현재 경북대학교 전자·전기공학부 교수