

광대역 종합 통신망 응용을 위한 8b 52 MHz CMOS 서브레인징 A/D 변환기 설계

An 8b 52 MHz CMOS Subranging A/D Converter Design for ISDN Applications

黃盛郁*, 李承勳**

(Sung-Wook Hwang* and Seung-Hoon Lee**)

요 약

본 논문에서는 광대역 종합 통신망 응용을 위한 8b 52 MHz CMOS 서브레인징 (subranging) A/D 변환기 (analog-to-digital converter : ADC)를 제안한다. 제안된 A/D 변환기는 새로운 방식의 동작 순서 기법을 사용하여 기존의 이중 채널 서브레인징 A/D 변환기 동작에 존재하는 홀딩 시간 (holding time)을 제거함으로써 신호 처리 속도 (throughput rate)를 50 % 향상시켰다. 또한, 하위 비트 A/D 변환기에서의 잔류 전압 처리에 인터플레이션 (interpolation) 기법을 이용하여 A/D 변환기의 비교기에 사용되는 프리앰프의 수를 50 % 수준으로 줄임으로써 면적을 감소시켰다. 시제품 A/D 변환기는 0.8 μm n-well double-poly double-metal CMOS 공정으로 제작되었고, 측정 결과, 5 V 전원 전압과 52 MHz 샘플링 주파수에서는 230 mW, 3 V 전원 전압 및 40 MHz 샘플링 주파수에서는 60 mW의 전력을 각각 소모한다.

Abstract

This paper describes an 8b 52 MHz CMOS subranging analog-to-digital converter (ADC) for Integrated Services Digital Network (ISDN) applications. The proposed ADC based on the improved time-interleaved architecture removes the holding time which is typically observed in the conventional double-channel subranging ADCs to increase throughput rate. Moreover, the ADC employs the interpolation technique in the back-end subranging ADCs for residue signal processing to minimize die area and power consumption. The fabricated and measured prototype ADC in a 0.8 μm n-well double-poly double-metal CMOS process typically shows a 52 MHz sampling rate at a 5 V supply voltage with 230 mW, and a 40 MHz sampling rate at a 3 V power supply with 60 mW power consumption.

Keywords: Subranging analog-to-digital conversion, time-interleaving, double-channel, holding time, interpolation technique

* 現代電子 (株) 시스템 IC 研究所
(System IC R & D LAB. Hyundai Electronics Industries Co., Ltd.)

** 西江大學校 電子工學科
(Dept. of Electronics Engineering, Sogang University)

※ 碩士課程 優秀賞

I. 서 론

최근 VLSI 공정 기술과 디지털 신호 처리 기술의 발전으로 인하여 개인 휴대용 통신 기기, 비디오 카메라 등의 멀티미디어 장비 및 고속 디지털 통신망에

사용되는 A/D 변환기(analog-to-digital converter : ADC)의 요구가 점차 증가하고 있다. 또한 사용되는 변환기의 요구사항도 시스템 사양에 따라 50 MHz 이상의 고속도 샘플링 주파수와 8 비트 이상의 해상도, 낮은 전원 전압과 적은 전력 소모 등의 고급화 추세에 있다[1],[2]. 일반적으로 높은 샘플링 주파수에 대해서는 플래쉬 (flash) A/D 변환기가 많이 사용되어 왔으나 출력 비트 수에 지수적으로 증가하는 면적과 전력 소모량 때문에 실제 8 비트 이상의 해상도를 필요로 하는 변환기에서는 서브레인지 (subranging) 또는 파이프라인 (pipelined) A/D 변환기가 선호되어왔다. 특히 서브레인지 A/D 변환기는 다단 구조를 가짐에도 불구하고 각 단 사이에 증폭기를 가지지 않음으로 해서 다른 구조의 A/D 변환기에 비해 전력 소모가 적은 장점이 있다. 일반적으로 서브레인지 A/D 변환기는 두 번째 단인 하위 비트 A/D 변환기 (fine ADC)의 구조에 따라 단일 채널과 다중 채널 구조로 나눌 수 있다. 단일 채널을 사용하는 경우 공정상의 제한과 하위 비트 A/D 변환기에 사용되는 기준 전압 (reference voltage)의 정착 시간이 전체 시스템의 동작 클럭 속도를 결정하게 되는 단점이 있다. 다중 채널을 사용하는 경우는 단일 채널을 사용하는 경우보다는 속도가 빠르나, 역시 기준 전압 정착 시간에 의한 제한이 존재한다. 이로 인해, 다중 채널 구조를 가진 서브레인지 A/D 변환기에서 지금까지 클럭 주파수가 대략 40 MHz 정도로 제한되어 왔다[3].

본 논문에서는 기존의 CMOS 서브레인지 A/D 변환기에 새로운 동작 순서 방식을 적용함으로써 신호 처리 속도 (throughput rate)를 50 % 향상시킨 이중 채널 서브레인지 A/D 변환기를 제안한다. 하위 비트를 결정하는 두 번째 단을 이중 채널 구조로 설계하여 높은 샘플링 주파수를 보장하도록 하였으며, 인터폴레이션 (interpolation) 기법을 적용하여 상대적으로 적은 면적 및 전력 소모를 가지도록 하였다. 본 논문의 II 장에서는 제안된 A/D 변환기의 구조와 동작 원리 및 특징 등을 살펴보고, III 장에서는 실제 회로 수준에서의 A/D 변환기의 구현에 대해 설명한다. 그리고 IV 장에서는 측정을 통한 성능을 검증한다.

II. 제안된 A/D 변환기의 구조와 동작 원리 및 특징

2.1 전체 구조 및 동작 설명

그림 1은 제안된 A/D 변환기의 블록도이다. 회로의 효율적인 동작을 위해 하나의 클럭 입력으로부터 칩상에서 발생하는 중첩되지 않는 두 개의 클럭 (nonoverlapping clock) 위상 Q1 및 Q2를 발생시켜 사용하는 이 변환기는 동기 신호 발생기 (TIMING CIRCUITS), 샘플-앤드-홀드 증폭기 (sample-and-hold amplifier : SHA), 한 개의 상위 4 비트 A/D 변환기 (COARSE ADC), 두 개의 하위 5 비트 A/D 변환기 (FINE ADCs), 디지털 교정 회로 (digital correction logic : DCL), 클럭 발생기 (CLOCK CIRCUITS)와 바이어스 전류 발생기 회로 (BIAS CIRCUIT)로 구성되어 있으며 그 동작은 다음과 같다. 먼저, 외부로부터의 아날로그 입력 신호는 SHA를 거쳐 샘플링되어 첫 번째 단의 COARSE ADC를 통해 상위 4 비트의 디지털 코드로 변환되며, 동시에 두 개 채널의 FINE ADC에 순차적으로 전달된다. 이때, 두 번째 단의 FINE ADC는 COARSE ADC의 디지털 출력 코드에 따라 저항열에서 얻어지는 기준 전압과 샘플링된 아날로그 입력 신호와의 비교를 통해 하위 5 비트의 디지털 출력 코드를 결정한다. DCL에서는 이렇게 얻어진 COARSE ADC로부터 상위 4 비트와 FINE ADC로부터 순차적으로 출력되는 하위 5 비트 디지털 코드를 받아들여 1 비트를 중첩시킴으로써 비교기 등에서 생겨날 수 있는 오프셋 및 피드스루 오차 등을 교정하며 최종 8 비트를 출력한다. 제안하는 변환기의 동작 순서를 구현하기 위하여 동기 신호 발생기가 사용되며, 이는 클럭 발생기로부터 생성되는 각각의 클럭 위상을 조합함으로써 원하는 동작을 위한 새로운 클럭 위상을 생성해낸다.

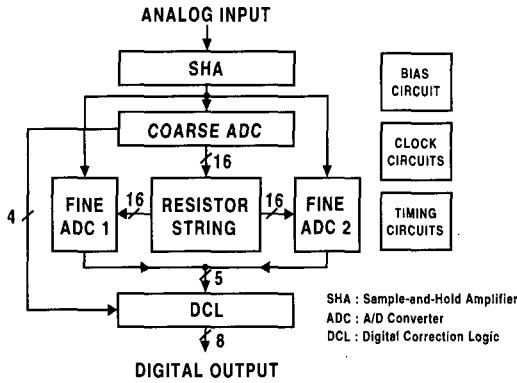


그림 1. 제안하는 A/D 변환기의 블록도

Fig. 1. Block diagram of the proposed ADC.

2. 제안된 동작 순서 기법

그림 2의 (a), (b) 및 (c)에서는 기존의 동작 순서와 제안하는 동작 순서의 공정한 신호 처리 속도 비교를 위해, 하위 비트 A/D 변환기의 기준 전압이 정확해서 입력 신호와 비교하는 가장 중요한 신호 처리 구간인 "C"를 동일하게 하여 동작 순서를 비교하였다.

먼저 그림 2 (a)에서와 같이 두 개의 채널을 사용하는 기존의 서브레인지 A/D 변환기의 동작 순서를 아날로그 입력 신호에 대해 최종 디지털 출력 신호가 출력되기까지의 과정을 표시한 빗금을 따라 살펴보면 다음과 같다. 첫 번째 구간 "I"에 외부로부터의 아날로그 신호를 COARSE ADC와 FINE ADC 1의 입력 신호로 동시에 받아들인다. 다음 구간 "R"에서 COARSE ADC는 아날로그 신호와 기준 전압을 비교하여 아날로그 입력에 상응하는 최종 8 비트 출력 중 상위 4 비트 디지털 출력 코드와 저항열에서 미세 기준 전압 영역을 선택하도록 하는 제어 신호를 생성한다. 이때 하위 비트 A/D 변환기에서는 저항열로부터의 미세 기준 전압을 입력받기까지 아무 동작도 하지 않는 홀딩 시간 (holding time) "h"가 존재하는데, 이로 인해 전체 속도가 제한되는 문제점이 있다[3]-[7].

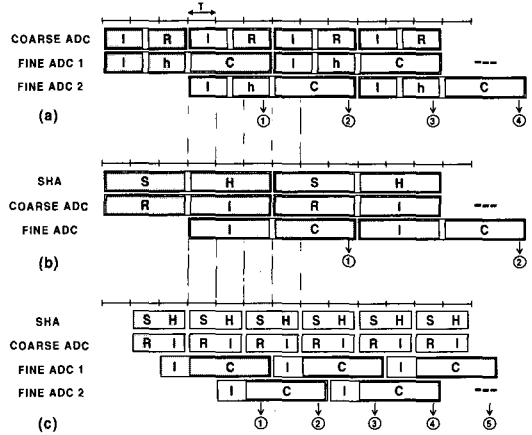


그림 2. 동작 순서 비교 :

(a) 기존의 이중 채널 서브레인지 A/D 변환기의 동작 순서, (b) 기존의 단일 채널 서브레인지 A/D 변환기의 동작 순서, 및(c) 제안하는 이중 채널 A/D 변환기의 동작 순서

Fig. 2. Comparison of timing sequences of (a) a conventional double-channel sub-ranging ADC, (b) a conventional single-channel sub-ranging ADC, and (c) the proposed ADC.

그림 2 (b)는 그림 2 (a)와 같은 이중 채널 구조의 제한점인 홀딩 시간을 제거하기 위해 사용된 단일 채널 서브레인지 A/D 변환기의 동작 순서이다 [8]. 입력 SHA는 아날로그 입력 신호를 구간 "S" 동안 샘플링하여, 나머지 블럭들이 신호 처리하는 구간 "H" 동안 일정하게 유지시켜준다. 그림 2 (a)와는 달리, COARSE ADC에 대한 입력 순서로 기준 전압을 먼저 입력으로 받은 뒤 다음 구간 "I"에 샘플링된 아날로그 신호를 FINE ADC와 동시에 받아들게 함으로써 홀딩 시간을 제거하였다. 그러나, 단일 채널을 사용하므로 신호 처리 속도의 향상을 찾아 볼 수 없으며, 이러한 동작 순서를 가지는 변환기를 두 개의 채널로 구현하여 신호 처리 속도를 증가시킨다 하더라도 그림 2 (a)와 같은 동작 순서를 가지는 구조에 비해 필요 면적이 2 배로 늘어나며 타이밍 회로도 간단하지가 않다는 단점이 발생한다.

본 논문에서 제안하는 그림 2 (c)의 동작 순서 기법은 다음과 같다. 우선 그림 2 (a)에서와 같이 두 개의 하위 비트 A/D 변환기 (FINE ADC 1, FINE ADC 2)로 구성되는 이중 채널을 사용함으로써 시스템의 동작 주파수를 높였다. 동시에 새로운 동기 신호 발생기를 사용하여 그림 2 (b)와 같이 홀딩 시간을 제거할 수 있는 동작 순서 방식을 COARSE ADC와 두 개의 FINE ADC 사이에 적용함으로써 기존의 이중 채널을 가진 구조에 비해 신호 처리 속도를 50 % 향상시킨다. 제안하는 동작 순서에 의해 단위 시간 T로 주어지는 "R"과 "I"의 구간은 그림 2 (a) 및 (b)와 같은 기존의 구조에서 걸리는 시간에 비해 각각 2/3와 1/3 수준으로 줄어들 수 있으며, 그림 2에서 ①, ②, ③, ④, ⑤는 각각 최종 8 비트 디지털 출력이 발생하는 시간을 나타낸다.

2.3 적용된 잔류 전압 인터폴레이션 기법

일반적으로 N 비트의 디지털 출력 코드를 얻기 위해 필요한 A/D 변환기의 비교기 수는 2^{N-1} 과 같다. 따라서 요구되는 비트 수의 증가에 따라 지수적으로 늘어나는 비교기의 프리앰프 수를 줄이기 위해, 제안된 A/D 변환기에서는 흔히 폴딩 (folding) 구조에 많이 쓰이는 인터폴레이션 기법을 하위 5 비트를 결정하는 두 개의 하위 비트 A/D 변환기에 적용하였다^[9-13]. 그림 3은 제안된 A/D 변환기에 적용된 인터폴레이션 기법을 나타내고 있다. 래치 1과 래치 2 사이에 래치 M을 첨가하여 기준 전압 V1과 V2 사이에 새로운 기준 전압 $VM = (V1+V2)/2$ 을 생성함으로써 래치 M에서 비교 대상 값인 T_1 과 T_2 에 대한 기준값이 되도록 한다. 이러한 인터폴레이션 기법의 사용으로 비교기에 사용되는 프리앰프 수를 절반 수준으로 줄일 수 있으며, 결과적으로 전력 소모와 면적을 최소화할 수 있다. 또한, SHA의 출력 부하 캐패시턴스의 크기를 감소시킴으로써 고속의 샘플링 주파수에서 동작하는 SHA를 구현하는데 대단히 유리하다.

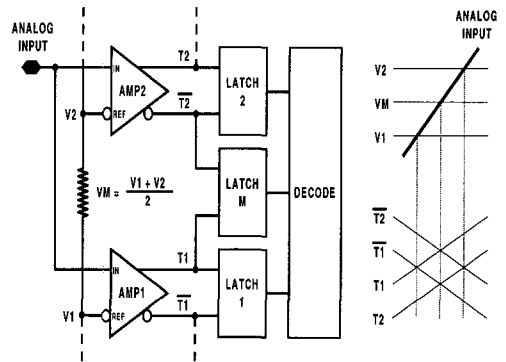


그림 3. 적용된 인터폴레이션 기법

Fig. 3. Interpolation technique.

III. 회로 구현 (Circuit Implementation)

제안된 A/D 변환기에 사용되는 아날로그 블록중 주요 회로로서 SHA와 상위 비트 및 하위 비트 A/D 변환기가 있으며, 각각은 잡음 성분을 최소화하기 위해 차동 구조로 구현되고, 다음과 같은 특징을 가진다. 먼저 높은 주파수를 가지는 입력에 대해서 신호 처리의 동적 특성을 향상시키기 위해 사용되는 SHA는 필요로 하는 면적과 전력 소모를 최소화하면서도 요구되는 50 MHz 이상의 샘플링 속도에서 동작할 수 있도록 2 개의 캐패시터를 사용하는 구조로 설계되었다. 동작시 생길 수 있는 입력단의 공통 모드 전압 변화를 줄이기 위해 상보 차동 (complementary differential) folded-cascode 구조를 가지는 증폭기를 사용하였으며, 다른 회로 블록들로부터의 간섭을 방지하기 위해 독립적인 증폭기 바이어스 회로를 가진다. 또한, 전체 시스템에 공급되는 전류량을 제어할 수 있는 바이어스 전류 발생기 회로를 온-칩화 함으로써 SHA의 동작에 필요한 전류량을 조절 가능하게 하여 필요에 따라 60 MHz 이상의 샘플링 클럭 주파수에서도 동작할 수 있도록 하였다.

전체 A/D 변환기를 구성하고 있는 비교기는 출력되는 디지털 코드의 특성상 다음과 같이 구분된다. 우선 상위 비트 A/D 변환기는 4 비트 수준의 정밀도

(accuracy)만을 요구하므로 하나의 프리엠프와 래치로 구성된 비교기로 충분하다. 한편, 하위 4 비트를 출력하는 하위 비트 A/D 변환기는 DCL을 사용하여 출력값을 교정하기 위해 실제 5 비트를 출력하며, 이때 요구되는 8 비트의 정밀도를 보장하기 위해 두 개의 프리엠프와 한 개의 래치로 구성된 3 단 비교기를 사용한다. 그림 4는 하위 비트 A/D 변환기에 사용되는 3 단 비교기를 나타내며, 비교기에 사용되는 프리엠프는 모두 동일한 구조로 구현하여 레이아웃을 단순화하고 높은 해상도로의 응용을 용이하게 하였다.

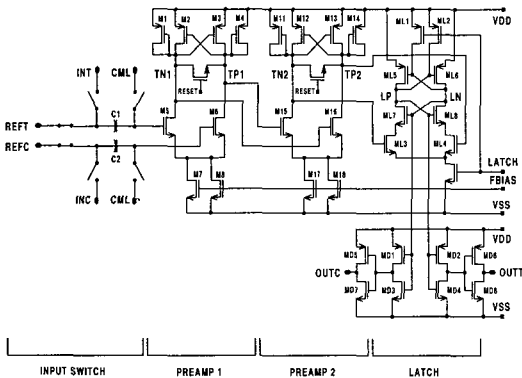


그림 4. 하위 비트 A/D 변환기에 사용되는 비교기 구조

Fig. 4. Comparator used in the fine ADC.

IV. 시제품 측정

제안하는 이중 채널 서브라인징 A/D 변환기는 0.8 μm n-well double-poly double-metal CMOS 공정으로 제작되었으며, 실제 칩 면적 (active area)은 14.8mm^2 (= $3.8\text{mm} \times 3.9\text{mm}$)이며, 그림 5에 전체 칩 사진을 나타내었다.

측정된 전형적 정적 특성인 differential nonlinearity (DNL)와 integral nonlinearity (INL)는 그림 6에 나타나 있는 바와 같이 ± 0.4 LSB보다 작다. 동적 특성을 측정하기 위해 1 MHz의 입력 주파수에 대해 클럭 주파수를 변화시켜 가면서 측정한 그림 7의 signal-to-noise distortion ratio (SNDR)로부터 제안하는

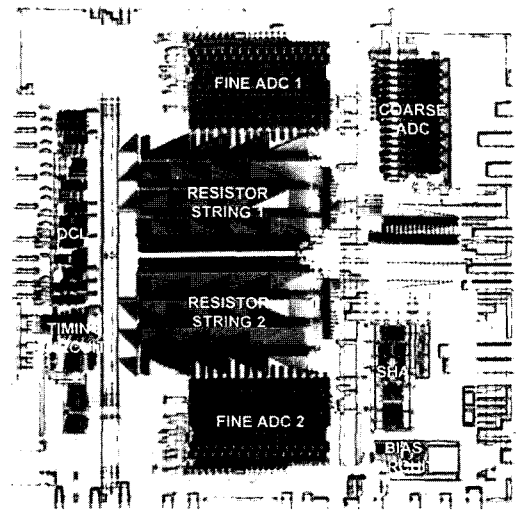


그림 5. 제작된 A/D 변환기 시제품의 칩 사진

Fig. 5. Chip photograph of the prototype.

A/D 변환기가 5 V와 3 V 전원 전압에서 각각 52 MHz와 40 MHz의 클럭 주파수까지 안정적으로 동작함을 볼 수 있다. 측정 결과 5 V 전원 전압에서 52 MHz 클럭 주파수를 사용할 경우 전력 소모는 230 mW이고, 3 V 전원 전압에서 40 MHz 클럭 주파수를 사용할 경우는 60 mW의 전력을 소모한다. 시제품 A/D 변환기의 성능 평가는 표 1에 요약되어 있다.

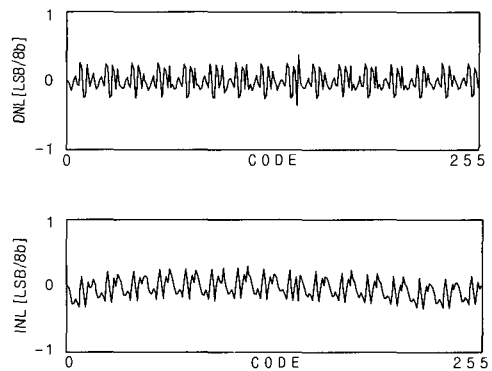


그림 6. 측정된 (a) DNL 및 (b) INL

Fig. 6. Measured (a) DNL and (b) INL.

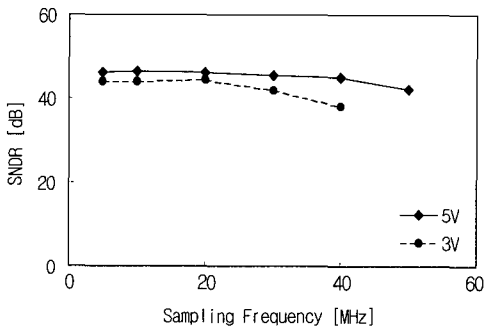


그림 7. 1 MHz 입력 주파수에서 측정된 SNDR

Fig. 7. Measured SNDR at a 1 MHz input.

표 1. 시제품 A/D 변환기의 전형적인 성능

Table 1. Typical performance of the prototype ADC.

Resolution	8 bits	
Supply Voltage	5 V	3 V
Conversion Rate	52 MHz	40 MHz
Power	230 mW	60 mW
DNL	±0.4 LSB	±0.7 LSB
INL	±0.4 LSB	±0.8 LSB
Input Range	4 V _{P-P}	2.8 V _{P-P}
Technology	0.8 um n-well CMOS	

V. 결론

본 논문에서는 광대역 종합 통신망 응용을 위한 8b 52 MHz CMOS 서브레인지 A/D 변환기를 제안하였으며, 0.8 um n-well CMOS 공정을 사용하여 제작 및 측정하였다. 기존의 이중 채널 서브레인지 A/D 변환기에 제안하는 동작 순서 기법을 적용함으로써 동작 주파수를 높여 신호 처리 속도를 50 % 정도 향상시킬 수 있었으며, 인터플레이션 기법을 사용하여 사용되는 비교기 수를 줄여 전력 소모량을 감소시킬 수 있었다.

참 고 문 헌

- [1] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 312-320, Mar. 1997.
- [2] W. Bright, "8b 75MSample/s 70mW parallel pipelined ADC incorporating double sampling," in *ISSCC Dig. Tech. Paper*, pp. 146-147, Feb. 1998.
- [3] N. Fukushima, T. Yamada, N. Kumazawa, Y. Hasegawa, and M. Sonedal, "A CMOS 40MHz 8b 105mW two-step ADC," in *ISSCC Dig. Tech. Paper*, pp. 14-15, Feb. 1989.
- [4] A. G. F. Dingwall and V. Zazzu, "An 8-MHz CMOS subranging 8-bit A/D converter," *IEEE J. Solid-State Circuits*, vol. sc-20, no. 6, pp. 1138-1143, Dec. 1985.
- [5] S. Hosotani, T. Miki, A. Maeda, and N. Yazawa, "An 8-bit 20-MS/s CMOS A/D converter with 50-mW power consumption," *IEEE J. Solid-State Circuits*; vol. 25, no. 1, pp. 167-172, Feb. 1990.
- [6] K. Tsuji, H. Sugiyama, and N. Sugawa, "A CMOS 20MHz 8bit 50mW ADC for mixed analog/digital ASICS," in *Proc. CICC*, pp. 26.3.3-26.3.4, 1991.
- [7] G. S. Kang, M. G. Choe, and M. K. Song, "High performance CMOS A/D converter for a digital camcoder system," *IEEE Transactions on Consumer Electronics*, vol. 42, no. 3, pp. 285-289, Aug. 1996.
- [8] A. Abrial, J. Bouvier, J. M. Fournier, and P. Senn, "A low-power 8-b 13.5-MHz video CMOS ADC for visiophony ISDN applications," *IEEE J. Solid-State Circuits*, vol. 28, no. 7, pp. 725-729, Dec. 1993.
- [9] R. E. J. van de Grift, I. W. J. Rutten, and M. van de Veen, "An 8-b video ADC incorporating folding and interpolation techniques," *IEEE J. Solid-State Circuits*, vol. 22, no. 6, pp. 944-953, Dec. 1987.
- [10] M. Steyaert, R. Roovers, and J. Craninckx, "A 100 MHz 8b CMOS interpolating ADC," in *Proc. CICC*, pp. 28.1.1-28.1.4, 1991.

- [11] B. Nauta, Ardie, and G. W. Venes, "A 70-MS/s 110-mW 8-b CMOS folding and interpolation A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1302-1308, Dec. 1995.
- [12] P. Vorenkamp, and R. Roovers, "A 12b 50MSample/s cascaded folding and interpolating ADC," *ISSCC Dig. Tech. Paper*, pp. 134-135, Feb. 1997.
- [13] Kwang Young Kim, Naoya Kusayanagi, Asad A. Abidi, "A 10-b, 100-MS/s CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 302-311, Mar. 1997.

— 저 자 소 개 —



黃盛郁 (學生會員)

1973년 1월 18일 생. 서강대학교 전자공학과 학사(1996), 서강대학교 전자공학과 석사(1998), 현재 현대전자 시스템 IC 연구소 연구원. 관심분야는 CMOS 데이터 변환기 설계, 음성 모드 회로 설계 등임.



李承勳 (正會員)

서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대 (Urbana-Champaign) 공학 박사(1991). KIST 위촉연구원(1986. 3. ~ 1986. 7), 미 Coordinated Science Lab (Urbana) 연구원(1987. 6 ~ 1990. 3), 미 Analog Devices 사 senior design engineer (1990. 3 ~ 1993. 2), 현재 서강대학교 전자공학과 부교수. 관심분야는 반도체 집적 회로 설계, 데이터 변환기(A/D, D/A) 설계 등임