

HDTV 응용을 위한 3 V 10b 33 MHz 저전력 CMOS A/D 변환기

A 3 V 10b 33 MHz Low Power CMOS A/D Converter for HDTV Applications

李康溱*, 李承勳**

(Kang-Jin Lee* and Seung-Hoon Lee**)

요 약

본 논문에서는 HDTV 응용을 위한 10b 저전력 CMOS A/D 변환기 (analog-to-digital converter : ADC) 회로를 제안한다. 제안된 ADC의 전체 구조는 응용되는 시스템의 속도와 해상도 등의 사양을 고려하여 다단 파이프라인 구조가 적용되었다. 본 시스템이 갖는 회로적 특성은 다음과 같이 요약할 수 있다. 첫째, 전원전압의 변화에도 일정한 시스템 성능을 얻을 수 있는 바이어스 회로의 선택적 채널길이 조정기법을 제안한다. 둘째, 고속 2단 증폭기의 전력소모를 줄이기 위하여 증폭기가 사용되지 않는 동안 동작 전류 공급을 줄이는 전력소모 최적화 기법을 사용한다. 셋째, 다단 파이프라인 구조에서 최종단으로 갈수록 정확도 및 잡음 특성 등에서 여유를 얻을 수 있는 점을 고려한 캐패시터 스케일링 기법의 적용으로 면적 및 전력소모를 감소시킨다. 제안된 ADC는 0.8 μm double-poly double-metal n-well CMOS 공정 변수를 사용하여 설계 및 제작되었고, 시제품 ADC의 성능 측정 결과는 Differential Nonlinearity (DNL) ± 0.6 LSB, Integral Nonlinearity (INL) ± 2.0 LSB 수준이며, 전력소모는 3 V 및 40 MHz 동작시에는 119 mW, 5 V 및 50 MHz 동작시에는 320 mW로 측정되었다.

Abstract

This paper describes a 10b CMOS A/D converter (ADC) for HDTV applications. The proposed ADC adopts a typical multi-step pipelined architecture. The proposed circuit design techniques are as follows: A selective channel-length adjustment technique for a bias circuit minimizes the mismatch of the bias current due to the short channel effect by supply voltage variations. A power reduction technique for a high-speed two-stage operational amplifier decreases the power consumption of amplifiers with wide bandwidths by turning on and off bias currents in the suggested sequence. A typical capacitor scaling technique optimizes the chip area and power dissipation of the ADC. The proposed ADC is designed and fabricated in a 0.8 μm double-poly double-metal

* 現代電子(株) 시스템 IC 研究所
(System IC R & D LAB, Hyundai Electronics
Industries Co., Ltd.)

** 西江大學校 電子工學科
(Dept. of Electronics Engineering, Sogang University)

※ 最優秀賞

n-well CMOS technology. The measured differential and integral nonlinearities of the prototype ADC show less than ± 0.6 LSB and ± 2.0 LSB, respectively. The typical ADC power consumption is 119 mW at 3 V with a 40 MHz sampling rate, and 320 mW at 5 V with a 50 MHz sampling rate.

Keywords: Analog-to-digital conversion, CMOS analog integrated circuits, low power, switched-capacitor circuits

I. 서 론

최근 HDTV, 디지털 캠코더, 컬러 스캐너, 고속 데이터 통신, 휴대용 통신 기기 등의 수요 증가에 따라 10 비트 이상의 비교적 높은 해상도 (resolution), 30-40 MHz 수준의 빠른 동작속도, 낮은 전력소모 특성을 가진 A/D 변환기 (Analog-to-Digital Converter : ADC)에 대한 수요가 증가되고 있다^[1-2]. 이러한 성능을 만족하는 기존의 ADC들은 대부분 BiCMOS 공정이거나, 별도의 추가적인 공정을 필요로 하는 CMOS 공정을 사용하므로, 비교적 높은 전력소모 특성을 보이며, 대부분 CMOS 공정을 사용하는 DSP (digital signal processor) 등과 같은 디지털 회로와 함께 온칩화할 수 없는 단점이 있다^[3-5]. 따라서, 아날로그 블럭과 디지털 블럭이 하나의 칩 속에 병존하는 혼성 모드 회로 (mixed-mode circuit) 설계를 통한 성능 향상 및 응용의 다양성을 고려할 때, 표준 CMOS 공정을 사용하면서 3 V에서 5 V 수준의 전원전압에 모두 응용될 수 있는 ADC 설계에 대한 필요성이 크게 증가되었다.

본 논문에서는 고속 ADC 응용에 흔히 사용되는 다단 파이프라인 구조 및 제안된 회로 설계기법을 적용하여 3 V 에서 5 V 수준의 전원전압에서 10 비트의 해상도, 30 MHz 이상의 동작속도, 낮은 전력소모 특성을 갖는 CMOS ADC를 제안한다. 제안된 회로 설계기법으로는 바이어스 회로의 선택적 채널길이 조정기법을 통하여 전원전압의 변화에 대해서도 일정한 시스템 성능을 얻을 수 있도록 하며, 고속 2단 증폭기의 전력소모 최적화기법을 이용하여 증폭기가 사용되지 않는 동안 동작 전류 공급을 줄여줌과 동시에 사용되는 순간 증폭기가 동작하는 블럭의 순서를 적절

히 조정하여 성능저하 없이 전력소모를 줄인다. 또한, 캐패시터 스케일링기법을 적용하여 전체 시스템의 면적과 전력소모를 줄인다.

본 논문의 II 장에서는 제안된 ADC의 구조 및 그 동작 원리를 살펴보고, III 장에서는 제안된 회로 설계 기법들의 특징을 논의한다. IV 장에서는 ADC 시제품 측정 결과를 간략히 요약한다.

II. 제안된 ADC 구조

본 연구에서 제안하는 HDTV 응용을 위한 10비트 저전력 CMOS ADC의 구조는 그림 1과 같다. 제안된 ADC는 4단 파이프라인 구조를 사용하여 10 비트 해상도 에서 전력소모와 동작속도를 최적화한다^[6-10]. 전체 회로의 구성은 샘플-앤드-홀드 증폭기 (sample-and-hold amplifier : SHA), 3 개의 3 비트 multiplying D/A 변환기 (3-BIT MDAC), 3 개의 3 비트 서브레인징 플래시 ADC (3-BIT FLASH ADC), 1 개의 4 비트 서브레인징 플래시 ADC (4-BIT FLASH ADC), 자체 바이어스 전류 발생기 (Self Bias Generator), 디지털 교정 회로 (Digital Correction Logic), 그리고 클럭 발생기 (Clock Generator)로 되어 있다. 입력된 아날로그 신호의 디지털 신호로의 변환을 위해, 두 개의 중첩되지 않은 클럭 (nonoverlapping clock) Q1, Q2를 사용하며, 그 기본적인 동작 원리는 다음과 같다. 먼저, Q1 클럭 위상 동안 SHA에서 샘플링된 입력 신호는 그 다음의 Q2 클럭 위상에서 MDAC1의 캐패시터열로 전달되며, 동시에 첫번째 3-BIT FLASH ADC (F1)는 입력된 SHA의 출력 신호가 기준 전압 (reference voltage)의 어느 부분에 해당되는지를 3 비트 디지털 코드로 결정하여 디지털 교정 회로로 보낸다. 그 다음의 Q1 클럭 위상에서 MDAC1의 캐패시터열에 저장

된 아날로그 신호와 F1에서 결정된 디지털 코드에 상응하는 아날로그 신호와의 차이 즉, 잔류 전압 (residue voltage)이 4배만큼 증폭되어 다음 단인 MDAC2 및 두번째 3-BIT FLASH ADC (F2)로 전달되며, 최종 디지털 출력이 얻어질 때까지 같은 과정이 반복된다. 이와 같은 동작으로 네 단의 FLASH ADC 즉, F1, F2, F3 및 F4로부터 얻어진 13 비트 디지털 출력은 SHA, MDAC 및 FLASH ADC들 사이에 생길 수 있는 피드스루 (feedthrough) 및 오프셋 오차 (offset error)를 교정하기 위해 각 단을 1 비트씩 중첩시키는 디지털 교정 방식을 사용하며, 그 결과 중첩되는 각 단으로부터 발생하는 3 비트를 제외한 최종 10 비트가 디지털 교정 회로로부터 얻어진다.

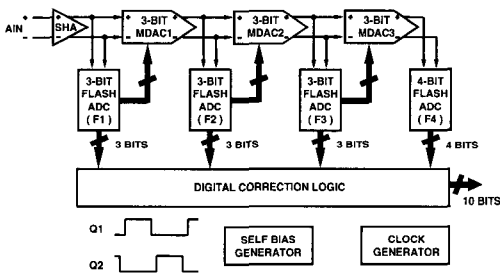


그림 1. 제안된 ADC의 전체 블럭도

Fig. 1. Block diagram of the proposed ADC.

III. 제안된 회로 설계기법

요구되는 ADC의 해상도와 동작 속도 등을 만족하면서 전체 시스템의 전력소모를 줄이기 위해 각 블럭 별로 적용된 저전력 회로 설계기법들은 크게 세가지로 나누어진다.

3.1 바이어스 회로의 선택적 채널길이 조정기법

최근 CMOS 공정이 서브마이크론화 되면서 짧은 채널효과 (short channel effect)의 영향으로, 전류반복기 (current mirror)로 사용되는 트랜지스터의 드레인-소스 전압이 변화할 경우, 드레인 전류도 크게 변화한다. 이러한 현상은 전원전압이 변할 경우 연산증폭기와 같은 아날로그 핵심 블럭의 성능에 나쁜 영향을 줄 뿐만 아니라 전력소모도 크게 증가시킨다. 이러한

문제점을 해결하기 위하여 제안된 회로에서는 연산증폭기 자체의 구조는 변경하지 않고, 기존의 바이어스 회로에 2개의 트랜지스터만을 추가하고, 채널길이를 선택적으로 적절히 조절하여, 전류부정합을 최소화할 뿐만 아니라 연산증폭기의 고속동작도 가능하게 한다.

그림 2는 SHA 블럭에 사용된 전형적인 상보 완전 차동 folded-cascode CMOS 연산증폭기로서 M1에서 M6은 저전원전압을 사용할 경우 생길 수 있는 입력 신호 폭의 제한을 줄이기 위해 사용된 상보 입력단이며, 입력이 인가되는 상보 입력쌍 M2-M3, M4-M5는 주어진 입력 및 출력의 부하 조건에서 충분한 신호대역폭을 얻으며 입력 캐패시턴스를 줄이기 위해 보통 최소 채널길이를 적용한다. 그 이유는 트랜스컨덕턴스 (g_m)가 트랜지스터의 $(W/L)^{1/2}$ 에 비례하므로, 최소 채널길이를 사용할 때 채널폭 또한 최소가 되어 입력 쌍 MOS의 크기를 최소화하면서 필요한 크기의 트랜스컨덕턴스를 얻을 수 있기 때문이다. M7에서 M14는 출력단을 형성하며 기생 부하 캐패시턴스를 줄이기 위하여 짧은 채널길이를 적용한다. 그림 2와 같은 차동 구조의 연산증폭기의 경우 출력의 공통모드를 결정하기 위한 공통모드회환 (common-mode feedback : CMFB) 회로 및 증폭기의 바이어스 전압을 공급해주는 바이어스 회로 (AMP BIAS)도 필요하다.

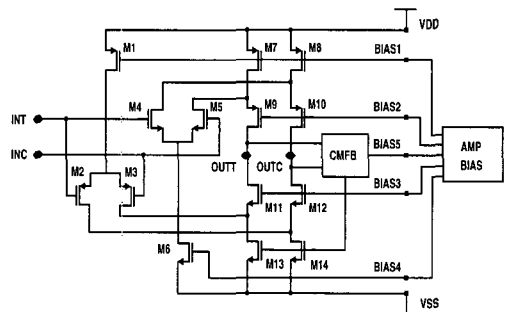


그림 2. SHA에 사용된 상보 완전 차동 CMOS 연산증폭기 회로

Fig. 2. Fully differential complementary CMOS amplifier used in the SHA.

기존의 바이어스 회로의 경우, 그림 3과 같이 MN4 트랜지스터는 전류반복기로서 MN2 및 MN3에 전류를 전달하는 역할과 동시에, 증폭기에 바이어스 전압을 공급하는 두 가지 역할을 수행한다. 각각의 역할에 따른 채널길이는 서로 다른 특성을 보인다. 먼저, 전류반복기로서의 역할에서 보면, MN4와 MN2 및 MN3의 채널길이는 증폭기의 출력단에 사용된 트랜지스터들의 채널길이보다 충분히 긴 채널길이가 요구된다. 그 이유는 긴 채널길이를 사용함으로써 짧은 채널효과에 의한 MN4와 MN2 및 MN3 간의 전류부정합을 줄일 수 있기 때문이다. 그러나, 증폭기에 바이어스 전압을 공급하는 역할에서 보면, 증폭기의 출력단 트랜지스터들에 사용된 비교적 짧은 채널길이를 적용하여 증폭기의 출력단에 기생적으로 발생하는 부하 캐패시턴스를 최소화하고, 증폭기가 고속으로 동작할 수 있도록 설계될 필요가 있다. 기존의 바이어스 회로의 경우, 위 두가지 역할을 동시에 만족시킬 수 없으므로, 증폭기의 고속 동작을 주로 고려하여, MN4 및 바이어스 회로 내의 모든 트랜지스터들의 채널길이를 증폭기의 출력단 트랜지스터들에 사용된 비교적 짧은 채널길이를 적용하므로, 짧은 채널효과에 의한 바이어스 회로 내의 전류반복기 간의 전류부정합이 크게 나타난다.

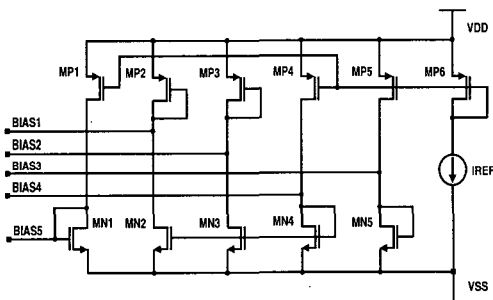


그림 3. 기존의 바이어스 회로
Fig. 3. Conventional bias circuit.

이러한 기존의 바이어스 회로의 문제점을 해결하기 위하여, 그림 4의 제안하는 바이어스 회로에서는 기존의 바이어스 회로에 MNA 및 MPA 2개의 트랜지

스터들을 추가하고, 기존의 바이어스 회로에서 MN4의 두가지 역할을 각각 분리한다. 즉, 그림 4에서 증폭기에 바이어스 전압을 공급해주는 원으로 표시되어 있지 않은 트랜지스터들에 대해서는 증폭기의 출력단에 사용된 것과 같은 크기의 짧은 채널길이를 적용하여 증폭기의 고속 동작을 가능하게 한다. 동시에, 바이어스 회로에서만 전류반복기로 사용되는 원으로 표시된 트랜지스터들의 채널길이를 원으로 표시되어 있지 않은 트랜지스터들의 채널길이보다 충분히 길게 설계하여, 짧은 채널효과에 의한 전류부정합을 줄인다. 단, 채널길이는 주어진 전원전압에서 모든 트랜지스터들이 포화영역에서 동작하고, 설계여유를 충분히 확보하는 범위 내에서 적절히 증가시킨다. 제안된 채널길이 조정기법은 기존의 바이어스 회로의 문제점인 짧은 채널효과에 의한 전류부정합과 증폭기의 고속 동작 제한 등을 동시에 해결할 수 있으며, SHA 회로 뿐만 아니라 연산증폭기와 같은 아날로그 회로가 사용된 모든 블록에 적용될 수 있다.

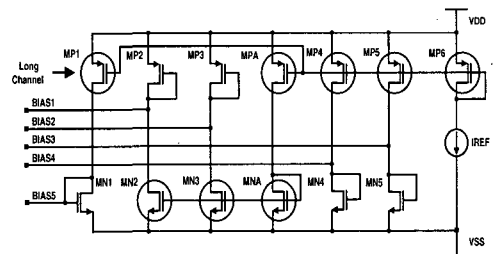


그림 4. 제안하는 바이어스 회로
Fig. 4. Proposed bias circuit.

3.2 고속 2단 증폭기의 전력소모 최적화기법

제안된 ADC에 사용된 MDAC의 경우, 그림 5와 같이 공정 변화 및 전원전압 변화에 관계없이 충분히 높은 DC 전압 이득을 얻기 위해 2 단 증폭기 구조를 사용하며, 이로 인해 증폭기가 전체 시스템 전력소모의 많은 부분을 차지한다.

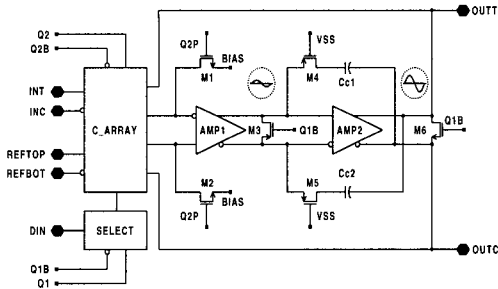


그림 5. Multiplying D/A converter (MDAC)

Fig. 5. Multiplying D/A converter (MDAC).

그림 6의 회로에서 AMP1 및 AMP2는 2 단 증폭기를 구성하는 2 개의 완전 차동 증폭기이며, 필요로 하는 AMP1의 출력 신호 범위는 AMP2의 DC이득 때문에 AMP2에 비해 매우 작다. 이러한 입출력 특성을 고려하면서 DC 전력소모를 줄이기 위해 AMP1은 UNFOLDED CASCODE 구조로 구성되며, AMP2는 낮은 전원전압에서도 출력신호폭을 충분히 보장하기 위해 FOLDED CASCODE 구조를 적용한다. 한편, 제안하는 2단 증폭기의 전력소모를 추가적으로 더 줄이기 위한 바이어스 회로를 그림 6의 하단부에 나타내었다^[11]. 샘플링 모드 동안 연산증폭기는 사용되지 않을 수 있는 점을 고려하여 고속 ADC에 사용되는 MDAC에 기존의 전력소모 최적화기법을 적용할 경우, 출력단에 생길 수 있는 순간적인 오버슈트(overshoot) 및 위상 변화로 인한 불안정한 동작은 정착 시간(settling time)을 크게 증가시킨다. 이러한 성능의 손실 없이 MDAC의 전력소모를 최적화하기 위해, 제안된 회로에서는 샘플링 모드시 동작 전류 공급을 일부 차단한 뒤 다음 반주기에 순차적으로 공급하여 동작 모드 변환시 위상 여유 특성을 향상시키도록 MDAC 바이어스 회로를 설계한다. 그러나, AMP1의 경우, 전력소모 감소 효과가 크지 않을 뿐만 아니라 전력소모 최적화기법 적용시 정착 시간을 오히려 더 증가시키기 때문에 AMP2에만 제안된 기법을 적용한다. 즉, 전류 전압 증폭 모드에서 그림 6의 BIAS8이 BIAS5, BIAS6보다 먼저 공급되어 반복적인 스위칭 동작에도 AMP2가 안정적으로 동작할 수 있게 한다. 이러한

전력소모 최적화기법을 사용된 모든 MDAC 블록에 적용하여 각각 전용 바이어스 회로를 갖는 것만으로 전력소모를 약 20 % 정도 감소시키며, 다른 회로들로부터의 영향도 최소화할 수 있다. 추가된 바이어스 회로로 인한 전력소모의 증가는 전력 하강 모드시 바이어스 회로내의 스위칭을 하는 부분까지도 클럭의 반주기 동안 공급 전류가 일부 차단되므로 전체 전력소모에 그다지 큰 영향을 주지 않으며, 전력소모 최적화기법의 적용에 따른 보다 큰 전력소모의 감소로 충분히 상쇄된다. 한편, 두 증폭기의 출력단을 샘플링 모드에서 각각 단락시킬 필요가 있는데, 그 이유는 전력 하강 모드에서 증폭기의 출력단이 일정한 바이어스에 연결되어 있지 않을 때 임의의 방향으로 움직여서 그 다음의 증폭 동작 모드 때 정착 시간 최소화엔 나쁜 영향을 줄 수 있는 것을 방지하기 위해서이다.

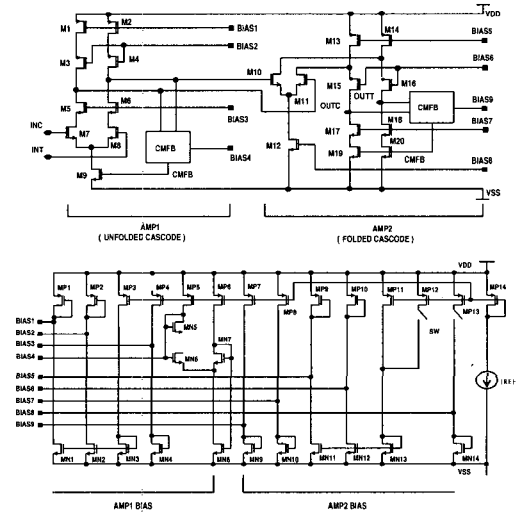


그림 6. MDAC의 두 증폭기 및 제안하는 바이어스 회로

Fig. 6. Two-stage amplifier and bias circuit in the MDAC.

3.3 캐패시터 스케일링기법

전형적인 파이프라인 구조의 ADC에 사용된 MDAC의 경우 최종단으로 갈수록 요구되는 해상도와

동작 속도의 사양이 점차 낮아진다. 따라서, 시스템의 해상도를 유지하면서 열 잡음 등으로 인해 정확도에 영향을 주지 않는 범위 내에서 최종단 쪽으로 진행되는 MDAC에 사용되는 입력 샘플링 캐패시터 크기를 지속적으로 감소시켜가는 스케일링 기법에 의해 전력소모를 줄인다 [7-10]. 열잡음을 고려하여 적절히 조절된 각 MDAC의 단위 입력 샘플링 캐패시터의 크기는 MDAC1, MDAC2, MDAC3에 대해 각각 100 fF, 50 fF, 25 fF 이다.

IV. ADC 시제품 성능 측정

제안된 ADC 시제품은 현대전자 (주) 0.8 um double-poly double-metal n-well CMOS 공정을 사용하여 제작되었으며, 실제 칩사진은 그림 7과 같고 칩면적은 $2.5 \times 2.7 \text{ mm}^2$ 이다. 측정된 시제품 ADC의 전형적인 선형성 특성은 그림 8과 같이 DNL의 경우 $\pm 0.6 \text{ LSB}$, INL의 경우 $\pm 2.0 \text{ LSB}$ 로 측정되었다. 본 설계의 경우 면적 및 전력소모 최적화 측면 외에 고속 영상 신호 처리를 위한 DNL 특성을 주로 고려하였기 때문에, 고속 동작을 위한 부하조건의 감소를 위하여 현대전자 (주) 측에서 권장한 최소 캐패시터 크기보다 작은 값을 MDAC1의 단위 샘플링 캐패시터로 사용하였다. 이러한 이유로 INL 값이 DNL 값에 비해 다소 크게 나타났다.

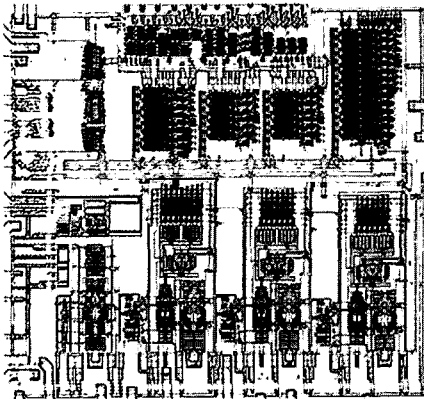


그림 7. 시제품 ADC의 칩사진

Fig. 7. Micro photograph of the prototype ADC.

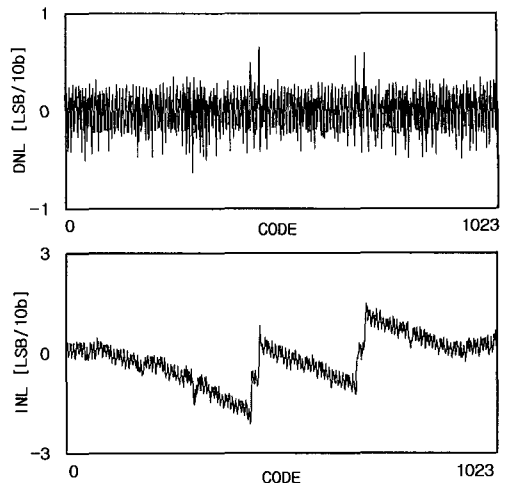


그림 8. 측정된 DNL 및 INL 특성

Fig. 8. Measured DNL and INL.

샘플링 주파수에 따른 3 V, 5 V 별 SNDR (Signal-to-Noise-and-Distortion Ratio)은 그림 9와 같이를 통해 3 V에서 40 MHz, 5 V에서 50 MHz 까지 정상적으로 동작함을 알 수 있다. 즉, 설계시 목표로 한 3 V에서 33 MHz, 5 V에서 42 MHz의 성능보다 실제 제작 측정된 결과가 더 향상되었음을 볼 수 있다. 시제품 ADC의 전력소모는 3 V 및 40 MHz 샘플링 주파수에서 119 mW, 5 V 및 50 MHz 샘플링 주파수에서 320 mW로 측정되었고, 제안된 ADC는 HDTV 는 물론 다양한 영상 신호 처리 응용에 적용될 수 있으며, 시제품 칩에 대한 측정 결과 요약은 표 1과 같다.

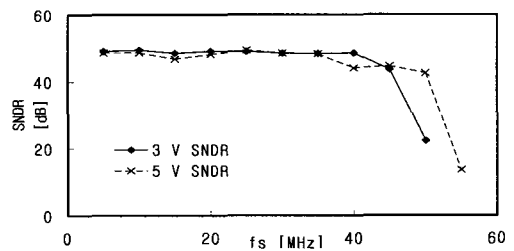


그림 9. 샘플링 주파수에 따른 SNDR ($f_{in} = 1 \text{ MHz}$)

Fig. 9. SNDR versus sampling frequency ($f_{in} = 1 \text{ MHz}$).

표 1. 측정 결과 요약

Table 1. Typical performance of the prototype ADC.

Resolution	10 bits	
Supply Voltage	5 V	3 V
Conversion Rate	50 MHz	40 MHz
Power	320 mW	119 mW
DNL	±0.6 LSB	
INL	±2.0 LSB	
Input Range	4 V _{p-p}	2 V _{p-p}
Technology	0.8 um n-well CMOS	

참 고 문 헌

[1] Y. Ninomiya, "VLSIs for HDTV systems," in *VLSI symp. Dig. Tech. Papers*, 1991, pp. 1-4.
 [2] D. Reynolds and S. Ho, "An integrated 12 bit analog front end for CCD based image processing applications," in *VLSI symp. Dig. Tech. Papers*, 1996, pp. 96-97.
 [3] W. Colleran and A. Abidi, "A 10-b, 75 MHz two-stage pipelined bipolar A/D converter," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1187-1199, Dec. 1993.

[4] A. Matsuzawa, M. Kagawa, and M. Kanoh, "A 10-b 30 MHz two-step parallel BiCMOS ADC with internal S/H," in *ISSCC Dig. Tech. Papers*, Feb. 1990, pp. 162-163.
 [5] T. Shu, K. Bacrania, and R. Gokhale, "A 10-b 40-Msample/s BiCMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1507-1510, Oct. 1996.
 [6] T. Matsuura, "A 95-mW, 10-b 15-MHz low-power CMOS ADC using analog double-sampled pipelining scheme," in *VLSI symp. Dig. Tech. Papers*, 1992, pp. 98-99.
 [7] T. B. Cho and P. R. Gray, "A 10 b, 20 Msample/s, 35 mW pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, pp. 166-172, Mar. 1995.
 [8] S. Lewis and H. Fetterman, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, pp. 351-358, Mar. 1992.
 [9] S. Sutarja and P. R. Gray, "A pipelined 13-bit, 250-ks/s, 5-V, analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 23, pp. 1316-1323, Dec. 1988.
 [10] S. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE J. Solid-State Circuits*, vol. 27, pp. 516-522, Aug. 1992.
 [11] 강동영, 이유미, 이승훈, "저전압용 CMOS 연산 증폭기를 위한 전력 최소화 기법 및 그 응용," *전자공학회지* vol. 34C, no. 6, pp. 37-43, 1997.

저 자 소 개



李康濬 (學生會員)
 1970년 5월 25일생. 서강대학교 전자공학과 학사(1996), 석사(1998), 현재 현대전자 시스템 IC 연구소 연구원. 주요 관심 분야는 CMOS 데이터 변환기 설계 CMOS Image sensor interface 회로 설계 등.



李承勳 (正會員)
 서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대 (Urbana-Champaign) 공학 박사(1991). KIST 위촉연구원(1986. 3. ~ 1986. 7), 미 Coordinated Science Lab (Urbana) 연구원(1987. 6 ~ 1990. 3), 미 Analog Devices 사 senior design engineer (1990. 3 ~ 1993. 2), 현재 서강대학교 전자공학과 부교수. 관심분야는 반도체 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.