

자기 띠 저장 시스템을 위한 혼성 신호 칩

A Mixed-Signal IC for Magnetic Stripe Storage System

林 信 一*, 崔 鍾 讚**

(Shin-Il Lim* and Jong-Chan Choi**)

요 약

자기 띠 저장 시스템에서 데이터를 저장하고 복원할 수 있는 칩을 구현하였다. 구현된 칩은 아날로그 회로와 디지털 회로가 한 칩안에 같이 내장되어 있으며 F/2F 인코딩과 디코딩을 동시에 지원한다. 아날로그 부분은 초단 앰프, 침두치 검출기, 비교기, 기준전압 생성회로 등으로 구현 되었으며 디지털 회로 부분은 기준 윈도우 신호 발생부, F/2F 신호 길이를 측정하는 up/down 계수부, 비트 에러 검출부 및 기타 제어(control) 회로 등을 포함한다. 검출되는 신호특성을 파악하여 아날로그 회로부 설계를 최적화 함으로써 기존의 시스템에서 흔히 쓰이는 AGC(automatic gain control) 회로를 제거하였다. 또 일정한 비트의 길이를 초과한 파손 비트 또는 다분할로 파손된 비트 등을 감지한 경우 신속하게 기준 비트를 재 설정함으로써 데이터의 오인식을 없애주는 회로를 제안하였다. 제안된 회로는 0.8 μm CMOS N-well 일반 공정을 이용하여 구현 되었으며 3.3 V에서 부터 7.5 V의 공급 전압 범위에서 동작하도록 설계 되었다. 5 V의 전원 공급 시 약 8 mW의 소모 전력을 보여 주고 있으며 칩 면적은 패드를 포함하여 3.04 mm²(1.6 mm X 1.9 mm) 이다.

Abstract

An integrated circuit for magnetic stripe storage system is implemented. All the analog and digital circuits are integrated in one chip. The analog block contains preamplifier, peak detector, comparator and reference generator. And digital block includes reference window signal generator, up/down counter for F/2F signal measurement, bit-error detection logic, and control logic. Both the encoding and decoding functions for F/2F signal processing are provided. An AGC(automatic gain control) circuit which was included in conventional circuits is eliminated due to optimized circuit design. Misreading prevention circuits are also proposed by fixing up new reference bit when broken bits are detected. The prototype chip is implemented using 0.8 μm N-well CMOS technology and operates from 3.3 V to 7.5 V of supply voltage. It occupies a die area of 3.04 mm² (1.6 mm X 1.9 mm) and dissipates 8 mW with a 5 V supply voltage.

I. 서 론

자성 매체를 이용하여 디지털 데이터를 저장하는 방법에는 크게 테이프에 기록하는 방법과 디스크에 기록하는 방법으로 구분할 수 있다. 테이프에 기록하

* 西京大學校 컴퓨터工學科

(Dept. of Compt. Eng., SeoKyeong Univ.)

** 電子部品綜合技術研究所 主文形半導體設計센터

(Korea Electronics Technology Institute, ASIC Design Center)

接受日:1998年4月1日, 修正完了日:1998年7月16日

는 방법은 선불 카드나 신용 카드 또는 공중전화 카드 등에 사용하게 되며, 기록 밀도가 낮고 낮은 주파수 영역(50 Hz-300 KHz)의 신호를 처리하게 된다. 디스크에 저장하는 방법은 신호가 50 MHz - 300 MHz 대의 주파수 영역을 가지고 있으며 PC 하드 디스크 드라이브 등에 사용한다. 저장 밀도가 높은 자기 디스크 시스템에서는 PRML(Partial Response Maximum Likelihood) 방법에 의한 신호 검출이 많이 사용되고 있으나[1]-[5], 저장 밀도가 낮은 테이프 시스템에서는 F/2F 신호 검출 방법이 사용되고 있다[6],[7].

본 논문에서는 신용 카드 및 선불 카드 등에 사용되는 자기 띠 저장 시스템의 저장 및 읽기 회로를 IC로 구현 하는 방법에 대해 기술한다. 자기 띠 저장 시스템에 내장되는 기존의 IC는 바이폴라 공정으로 제작된 것이 발표되었으나 소모 전력 및 칩 면적이 큰 문제점과 디지털 회로가 같이 내장되지 않은 단점을 가지고 있었다[8],[9]. 본 논문에서는 이러한 단점들을 보완하기 위해 일반 CMOS 공정을 이용하여 모든 아날로그 회로와 디지털 회로를 한 칩안에 같이 내장시킨 자기 띠 저장 시스템 IC의 구현 방법에 대해 기술하였다. 구현에 제안된 회로는, 검출되는 신호 특성을 분석하고 구조를 최적화 함으로써 기존의 시스템에서 쓰였던 AGC 회로를 제거하였다.

한편 자성체는 N, S 두 극성을 가지고 있으며 N-S, 또는 S-N 의 두 가지 횡(longitudinal) 결함 상태로만 테이프에 기록된다[6]. 이것은 디지털 정보가 '0'과 '1'의 두가지 상태를 갖는 것에 대응되므로 디지털 정보를 기록하는데 유용하게 사용하게 된다. 신용 카드 등 사람들이 휴대하고 다니는 자성 띠 카드는 전자기 환경에의 노출 등으로 인해 N-S, 또는 S-N 의 두가지 결함 상태가 파손되는 경향이 많다. 이러한 것에 의한 피해를 최소화 하기 위해 국제 표준화 기구(ISO)에서는 ISO-7811의 규정에 따라 기록되는 데이터의 앞과 뒷 부분에 일정량의 널(Null)을 두어 데이터와 구분시키며 데이터를 판독할 때 기준 신호를 설정하게 한다[7]. 그러나 이러한 규정은 중간 부분에 파손 비트가 생기면 오인식 되거나 인식하지 못하는 문제가 발생한다. 따라서 본 논문에서는 일정한 비트의 길이를 초과한 파손 비트 또는 다분할로 파손된 비트를

만났을 때 이것을 감지하기 위한 검출 회로를 제안하여 신속히 기준 비트를 재 설정함으로써 오인식을 현저히 줄였다.

II. 자기 띠 저장 시스템

1. 자기 띠 저장 시스템의 읽기와 쓰기

다음 그림 1은 자기 띠에 저장된 데이터의 형태와 헤드를 통해 읽은 상태에서의 전압 파형 모습을 보여주고 있다. 이웃하는 비트는 서로 반대 방향으로 자화되어 있게 되는데 이로 인해 비트 경계 지점에서는 자속 반전(flux reversal) 현상이 발생하게 된다. 이때 '0'에 해당하는 비트 저장은 주어진 제한 비트 길이 안에서 한 방향으로의 극성이 유지 되지만 '1'에 해당하는 비트 저장은 그림 1과 같이 중간에 자속 반전을 한번 더 삽입하게 된다. 즉 이웃하는 두 '0' 데이터에서는 한 번의 자속 반전이 있게 되지만 이웃하는 두 '1' 데이터에서는 모두 3 번의 자속 반전 현상이 있게 된다. 저장된 데이터를 읽을 때 자속 반전이 있는 곳에서는 헤드 코일에 전류가 유기되며 이 전류는 전자적인 회로에 의해 그림 1과 같은 신호 전압을 나타내게 된다. 읽혀진 파형은 아래위 양 방향으로 한번씩 번갈아 가며 나타나게 되는데 일정한 비트 간격 중간에 신호 파형이 존재하면 '1'로 간주하고 일정한 비트 간격내에 중간신호 변화가 나타나지 않으면 '0'으로 인식하게 된다.

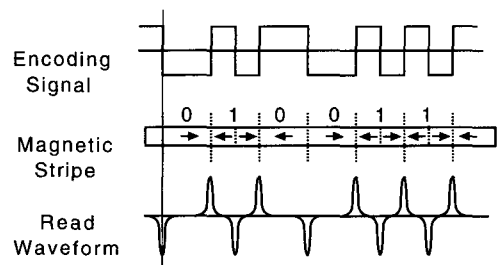


그림 1. 자기 띠 저장 및 읽기 파형.

Fig. 1. Read/write waveforms for magnetic stripe system.

2. 제안된 자기 띠 저장 시스템 회로 구조

그림 1의 마그네틱 헤드로부터 읽혀진 신호 파형은 아날로그 형태의 신호로써, 바로 신호 처리에 사용하기에는 충분히 크질 못하고 헤드에서 읽는 속도나 환경에 따라 신호 크기나 주파수가 변하는 등의 문제를 가지고 있다. 읽혀진 신호를 디지털 데이터로 판별하기 위해서는 이러한 신호를 증폭하여 최종 이득이나 대역폭을 조정하도록 하는 아날로그 전단부(analog front-end)가 필요하게 된다. 아날로그 전단부는 그림 2에 나타난 것과 같이 증폭기, 미분 및 진폭 제한(limiting) 기능을 갖는 첨두치 검출기(peak detector) 그리고 비교기 등으로 구성되어 있으며 일부 기준 전압 발생기와 발진 회로가 아날로그 회로부에 포함되어 있다. 헤드에서 유기되는 입력 신호 전압은 대략 10 mV에서부터 약 120 mV 범위에 있게 된다. 이 신호 레벨 값은 후속 신호 처리하기에는 너무 작은 값이므로 신호 증폭을 수행하여 다음 첨두치 검출기로 보내게 된다. 첨두치 검출기에서는 증폭된 입력 파형의 미분을 통해서 최고점 또는 최저점 첨두치를 검출하게 되는데 첨두치 검출기 자체의 증폭 이득이 있으므로 다이오드를 이용하여 미분 첨두 파형을 일정 전압(V_{lim})으로 제한 하게 된다. 또 원치 않는 대역의 신호가 들어와서 오동작하는 것을 방지하기 위해 이 첨두치 검출기에 대역 필터(bandpass filter)의 특성도 포함하도록 설계하였다. 첨두치 검출기 입력 신호의 양(positive) 첨두치 신호 위치는 첨두치 검출기를 거친 후 진폭이 제한된 출력 신호의 상승 모서리(edge)에 해당하는 신호를 내주며, 음(negative)의 첨두치 신호는 첨두치 검출기를 거친 후 하강 모서리에 해당하는 신호로 출력된다. 진폭이 제한된 첨두치 검출기의 출력 신호는 비교기 입력에 연결되어 디지털 신호 레벨로 변환된 후 디지털 신호부의 신호 처리가 수행될 수 있도록 한다. 전단 증폭기 이득을 A_{v1} 이라 하고 첨두치 검출기의 증폭 이득을 A_{v2} 라고 하면

$$|V_{in} \cdot A_{v1} \cdot A_{v2}| > \text{제한전압}(V_{lim}) \quad (\text{수식 1})$$

의 조건을 만족 시키도록 A_{v1} 과 A_{v2} 을 조정한다. 이

때 A_{v1} 이 너무 크게 되면 증폭된 신호가 너무 커져 포화 상태에 들어가게 되고 이것으로 인해 첨두치 지점 즉 정확한 자속 반전 지점의 위치를 상실하게 된다. 기존의 구현에서는 이러한 문제를 해결하기 위해 AGC(Automatic Gain Control) 회로를 삽입하지만[9] 본 구현에서는 헤드에서 입력 되는 입력 전압 범위를 실제로 정밀하게 측정하고 분석한 후 헤드에서의 신호 전압이 최대치를 갖는 경우에도 증폭기의 출력 신호가 포화 영역에 들어가지 않도록 이득 A_{v1} 을 결정하였다. 이렇게 되면 이후 이어지는 첨두치 검출기의 미분 회로에서 미분된 출력 전압은 신호내에 첨두치 지점 즉 정확한 자속 반전 지점의 위치 정보를 그대로 가지고 있게 된다. 이때 첨두치 검출기 회로의 이득 A_{v2} 를 충분히 키우고 다이오드를 이용 V_{lim} 전압으로 제한시켜 양과 음의 첨두치 위치에서 상승하고 하강하는 펄스 형태의 신호를 형성케 함으로써 AGC 회로의 필요성을 제거하였다. 진폭이 제한된 첨두치 검출기의 출력 신호는 출력 폭이 V_{lim} 전압을 갖는 펄스 형태의 신호 모양을 가지고 있으므로 바로 뒷단에 연결되는 비교기의 설계 사양을 단순하게 하며 이로 인해 비교기의 설계가 용이하게 된다. 비교기로 출력된 디지털 펄스 파형은 한 비트 주기 동안 펄스 모양이 변하지 않고 일정한 경우 '0'으로 복조해야 하고, 한 비트 간격 내에서 변하는 펄스 모양을 가지면 '1'로 복조해야 하는데 '1'의 펄스 주파수가 '0'에 해당하는 파형의 주파수 보다 약 2배가 되므로 F/2F 신호라고 부르고 있다. 그림 3에 시뮬레이션된 아날로그 블럭의 입력 신호와 비교기 출력 신호를 보여주고 있다.

디지털 회로부는 아날로그 회로부의 비교기 출력으로부터 변조된 신호를 받아 자기 띠상의 정보를 최종 디지털 정보로 복조 해내는 부분이다. 아날로그 회로부의 비교기 출력으로부터 받은 F/2F 신호의 주기는 자기 카드를 헤드에 스치게 하는 외부의 물리적인 속도에 따라 변하게 된다. 이러한 펄스로부터 변하는 주파수에 무관하게 디지털 정보를 복조해내는 기능을 디지털 회로부에서 수행한다. 또 파손 비트를 검출하여 신속히 기준 비트를 재 설정함으로써 오인식을 줄여 주는 부분을 제안하여 디지털 회로부에 포함하였다. 이러한 디지털 회로부의 설명을 다음 III장에 자세히

기록한다.

III. 디지털 회로부 설계

1. 디지털 회로부 구성

디지털 회로부는 아날로그 회로부의 비교기 출력 신호로부터 최종 디지털 정보를 복조해내는 부분이다. 그림 2에 나타난 것 같이 기준 모서리 신호를 검출하여 '0'과 '1'을 구분하기 위한 기준 신호를 발생하는 윈도우(window) 신호 발생부, up/down 카운터로 F/2F 신호 길이를 측정하여 디지털 데이터를 복조하는 데이터 복조부, 잘못 판정된 비트를 알아내는 비트 에러 검출부 그리고 기타 제어(control) 회로 및 클럭 발생 회로 등으로 구성되어 있다. 외부의 물리적인 속도에 따라 변하게 되는 신호로부터, 변하는 속도에 관계 없는 디지털 정보를 얻기 위해서는 일단 수십 배 내외의 기준 클럭을 내부에 설정하여 이용한다. 디지털 회로부에 입력된 F/2F 펄스의 상승 및 하강 모서리 부근에서 이 펄스 주파수 보다 충분히 높은 기준 클럭을 이용하여 독립된 짧은 펄스의 모서리 신호를 생성한다. 이 모서리 신호는 '0'과 '1'을 구분하기 위한 기준 신호를 발생하는 윈도우 발생부에 공급되고 디지털 내부 회로의 복조회로를 트리거 하는데 사용한다. 디지털 복조부에서는 기준 클럭을 이용하여 F/2F 신호의 길이를 측정한다. 한 비트 길이를 측정할 때 수십 배의 기준 클럭을 이용한 업 카운터(up-counter)와 다운 카운터(down-counter)를 사용하는데 이때 업 카운터와 다운 카운터는 서로 다른 기준 클럭을 사용한다. 판독에 입력된 한 비트(ref1)는 업 카운터에 의해 길이가 측정된다. 한 비트 간격 동안의 측정된 업 카운트 값은 다음 비트 구간의 정보를 판독하기 위한 기준이 되며, 한 비트 구간 마지막 순간에 다운 카운터의 초기 값으로 로드(load)시켜 설정된 후 바로 업 카운터가 클리어 된다. 다음 비트 구간(ref2) 동안 업 카운터는 또 그 다음 비트(ref3)의 기준을 설정하기 위해 다시 ref2 구간의 비트 길이를 계수하게 된다. 이때 다운 카운터는 이미 앞에서 설정된(ref1 구간의 길이 측정값) 값을 이용하여 다운 카운팅을 수행하게 되는데 다운 카운터가 0의 값을 갖게 되는 순간 빌림수(borrow) 신호를 발생시킨다. 일반적으로 다운 카운터

그림 2. 자기 띠 저장 시스템용 IC 블럭도.

Fig. 2. Block diagram of IC for magnetic stripe storage system.

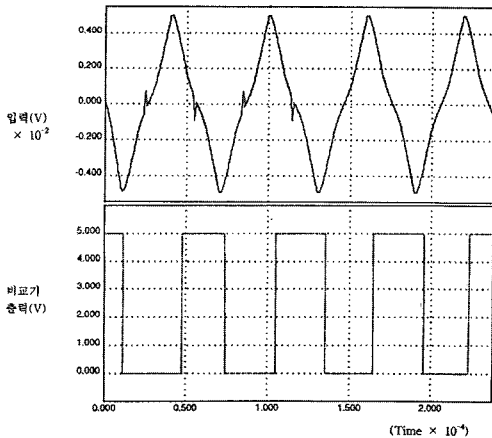


그림 3. 아날로그 회로부의 시뮬레이션된 입출력 신호 파형.

Fig. 3. Simulated input and output waveforms of analog block.

의 동작 기준 클럭은 업 카운터의 클럭보다 빠르게 설정하며 보통 비트 길이(업 카운트 수행 기간)의 75% 내외 정도에서 빌림수 신호가 발생하게 한다. 이때 다운 카운터의 빌림수 신호 발생 이전에 두번째 비트 구간(ref2)의 F/2F 신호 펄스 천이(transition)가 발생하면 두번째 비트 구간 데이터를 '1'로 인지하고, 천이가 발생하지 않으면 '0'으로 인지하게 한다. 그림 4(a)의 두번째 비트 구간(ref2) 내에서 다운 카운터가 0의 값을 갖게 될 때까지 펄스 천이가 없으므로 '0'으로 복조하게 된다. 그림 4(a)의 네번째 비트 구간(ref4)의 경우 다운 카운트가 끝나는 시점에서 살펴볼 때 그 앞에 펄스 천이가 존재하게 되므로 데이터를 '1'로 복조하게 된다.

2. 파손 비트 검출 방법

앞 절에서 설명한 방식의 F/2F 검출 방법은, 앞의 어느 한 기준 비트가 파손 되어 비트의 길이가 길어지거나 또는 한 기준 비트 내에 가는 굵힘 등이 발생하여 손상된 부분의 양 끝에 마그네틱 극(pole)이 생기게 되면 현재 판독하는 비트가 '0'임에도 '1'로 인식하거나 또는 '1'임에도 '0'으로 잘못 판독되는 경우가 발생한다. 즉 그림 4(b)의 경우와 같이 어느 한 비트가 파손되어 비트 길이가 길어지고 이로 인해 업카운터 계수값이 커지게 되면 다음에 판독되는 비트의 데이터 값이 '0'이라 하여도 '1'로 잘못 판단 할 수 있다. 이러한 오인식을 없애기 위해 별도의 두번째 다운 카운터를 사용한 파손 비트 검출기 회로를 사용하였다 [10]. 파손 비트를 검출하는 과정은 다음 그림 5에 도시되어 있다. 판독하고자 하는 비트가 파손되어 길어지면 업 카운터의 계수 값이 커지게 된다. 이때 첫번째 다운 카운터의 빌림수 신호가 발생하면 그 순간 현재 비트의 업 카운트 된 값을 두번째 다운 카운터로 로드시켜 가지고 와서 그 값으로 부터 다운 카운팅을 시작한다. 만약 정상적인 비트라면 두번째 다운 카운터가 빌림수 신호를 발생하기 전에 비트 기간이 종료된다. 그러나 비트가 파손되어 비트 길이가 길어진 경우 두번째 다운 카운터의 계수 진행이 계속되어 카운터가 0의 값을 갖게 되면 두번째 다운 카운터로

부터 빌림수 신호가 발생하게 된다. 이렇게 두번째 다운 카운터가 2 차 빌림수 신호를 발생하게 되면 잘못된 파손 비트가 있음을 알 수 있고 이로부터 잘못 검출된 여러 비트를 판독할 수 있다. 또 다분할로 파손된 경우에는 한 비트 길이 내에 여러개의 천이 지점이 생길 수 있으므로 데이터 값이 '0'임에도 불구하고 '1'로 인식될 수 있다.

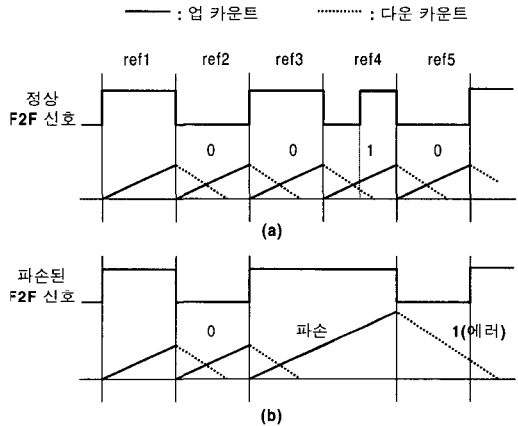


그림 4. 디지털 신호 복조 방법 : (a) 정상 비트인 경우, (b) 파손 비트인 경우.

Fig. 4. Digital signal decoding : (a) normal bit, (b) broken bit.

다분할로 파손된 비트의 경우에는 윈도우 구간내에서 모서리 신호를 검출하여 모서리 신호가 2개 이상 발생한 경우 천이가 2번 이상 존재하는 다분할 파손 비트임을 알 수 있다. 단 두 가지 경우의 비트 여러 신호가 검출되면 판독된 데이터의 출력을 보류시키고 다음 비트 기간 동안 새로이 업 카운팅을 수행하여 이어지는 데이터를 판독할 수 있는 새로운 기준 비트로 신속히 설정한다.

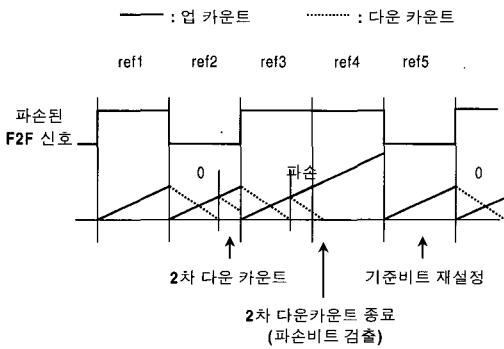


그림 5. 제안된 파손 비트 검출 과정.

Fig. 5. Proposed detection of broken-bit.

IV. 회로 구현 및 결과

앞에 제안된 회로들은 시스템 소형화를 위해, 또 소모 전력과 가격 등을 줄이기 위해 집적회로로 구현되었다. 일반적인 CMOS 공정을 이용하여 아날로그 회로와 디지털 회로를 동시에 한 칩안에 구현하였다. 전단 증폭기와 침두치 증폭기에 쓰이는 연산 증폭기는 그림 6과 같이 흔히 쓰이는 AB급 2단 차동 증폭기를 사용하였다[11]. 스위치 저항 MN3와 MP6는 보상 캐패시터 C와 함께 RHP(right-half plane) 영점(zero)를 없애주는 주파수 보상용으로 삽입되었다[12]. 슬루율 (slew rate) 특성을 향상시키기 위해 부하에서의 소오스(source) 전류 및 싱크(sink) 전류가 회로내 동작 (quiescent) 전류보다 커야하므로 AB급 형태로 설계하였다. 입력단 증폭기의 폐루프 이득(closed-loop gain)은 약 25 (28 dB) 정도가 되도록 입력저항과 부궤환 저항 값을 설정한 후 칩 내부에 내장하여 구현하였다. 부하 저항 10 kΩ과 부하 캐패시턴스 20 pF일 때 약 15 V/μs의 슬루율 특성을 가지도록 설계하였다. 침두치 검출기의 출력값을 제한하기 위해 증폭기 입 출력단에 약 0.7 V(I_f=0.5 mA에서)의 다이오드 2 개를 직렬로 그리고 쌍방향으로 연결하여 칩 내에 내장시켰다. 비트 기록 밀도와 읽는 속도는 응용에 따라 여러 종류가 있게 되므로 침두치 검출기 구현시 미분 회로에

사용되는 수동 소자를 칩 외부에서 선택하도록 설계하였다. 침두치 검출기 출력 파형의 지연(delay)이나 지터(jitter)는 앞에서 설명한 디지털 회로에서 길이를 계수하는 복조 회로를 이용하게 되므로 신호 복조에는 문제가 되질 않는다. 비교기는 정밀도나 고속이 요구되는 것이 아니기 때문에 2 단 차동 증폭기 구조의 회로를 사용한 비교기로 구현 되었다. 비교기에서는 주파수 보상이 필요없으므로 그림 6과 같은 차동 증폭기 구조의 회로에서 주파수 보상을 위한 스위치 저항(MN3와 MP6)과 캐패시터(C) 부분이 제거 되었다. 오피셋 전압이나 기타 잡음 등에 의한 오동작을 없애기 위해 비교기 입 출력간 정궤환(positive feedback) 저항을 내장시켜 약 8 %의 히스테리시스 (hysteresis) 기능을 구현하였다. 공급전압이 변하게되면 같은 비율로 기준 전압이 변해야 하며 이를 위해 저항을 사용하지 않고 트랜지스터를 캐시코드 형태로 연결한 후 트랜지스터의 크기 비(aspect ratio)를 조정하여 원하는 기준전압을 얻었다[12]. 디지털 회로 중 카운터의 구현은 20-비트 카운터로 업/다운 카운팅을 수행하였다.

제안된 회로는 0.8 μm CMOS N-well 일반 공정을 이용한 완전 주문형(full custom) IC 설계 방식으로 구현 되었다. 그림 7은 제작된 칩의 사진으로서 패드를 포함해서 3.04 mm² (1.6 mm X 1.9 mm)의 면적을 가지고 있다. 3.3 V 부터 7.5 V의 공급 전압 범위에서 동작하도록 설계 되었으며 5 V의 전원 공급시 약 8 mW의 전력을 소모하고 있다. 이것은 BiCMOS나 바이폴라 공정을 이용한 기존의 칩에 비해 약 1/8 또는 1/20 정도의 전력만 소모하는 것이다. 제작된 칩은 자기 띠 저장 시스템에 장착되어 판독 비트의 오류 발생을 현저히 줄였고 카드 리더 단말기에서의 인식 불명으로 인한 재 투입 현상을 약 1/10로 줄였다. 구현된 칩의 설계되고 측정된 파라미터를 표 1에 기술하였다.

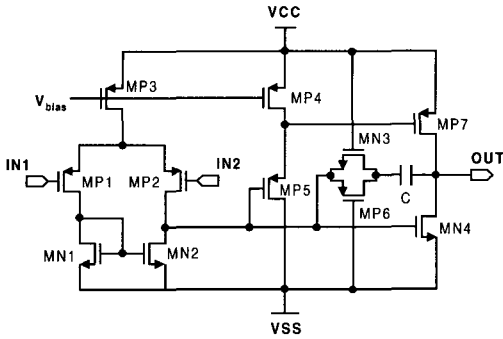


그림 6. 연산증폭기 회로도.
Fig. 6. Circuit diagram of op amp.

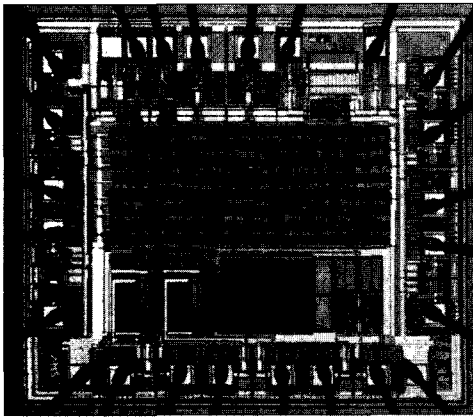


그림 7. 제작된 칩 사진.
Fig. 7. Chip photo of prototype.

표 1. 제작된 시작품의 특성

Table 1. Test results of the prototype chip.

항목	결과
공정	0.8 μm N-well CMOS
공급전압	3.3 V - 7.5 V
소모전력	8 mW (5 V 공급전압)
신호 주파수	50 Hz - 300 KHz
디지털 회로 발진 주파수	2.5 MHz (typical)
비교기 hysteresis	8 %
입력 증폭기 페루프 이득	25 (28 dB)
연산 증폭기 슬루율 (slew rate)	15 V/ μs ($R_{\text{load}}=10 \text{ k}\Omega, C_{\text{load}}=20 \text{ pF}$)
입력 증폭기 오피셋 전압	3 mV
입력 신호 범위	10 mV _{pp} - 120 mV _{pp}
침두치 검출 회로 제한 전압	$V_{\text{lim}} = 1.4 \text{ V}$ ($I_f=0.5 \text{ mA}$ 에서)

V. 결론

자기 띠 저장 시스템에 사용되는 카드 리더용 회로를 아날로그 회로와 디지털 회로가 함께 내장되는 혼성 신호칩으로 구현하였다. 아날로그 부분은 초단 앰프, 침두치 검출기, 비교기, 기준전압 생성회로 등으로 구현 되었으며 디지털 회로 부분은 기준 윈도우 신호 발생부, F/2F 신호 길이를 측정하는 up/down 계수부, 비트 에러 검출부 및 기타 제어 회로 등을 포함한다. 검출되는 신호 특성을 파악하여 아날로그 회로부 설계를 최적화 함으로써 기존의 시스템에서 흔히 쓰이는 AGC 회로를 제거하였다. 또 일정한 비트의 길이를 초과한 파손 비트 또는 다분할로 파손된 비트 등을 감지한 경우 신속하게 기준 비트를 재 설정함으로써 데이터의 오인식을 없애주는 회로를 제안하였다. 제안된 회로는 0.8 μm CMOS N-well 일반 공정을 이용하여

구현 되었으며 3.3 V에서 부터 7.5 V의 공급 전압 범위에서 동작하도록 설계 되었다. 제작된 칩은 자기 띠 저장 시스템 장착되어 사용 중이며 5 V의 전원 공급 시 약 8 mW의 소모 전력을 보여 주고 있고 패드를 포함하여 1.6 mm X 1.9 mm 의 칩 면적을 가지고 있다.

참 고 문 헌

[1] P. K. D. Pai, A. D. Brewster, and A. Abidi, "A 160-MHz Analog Front-End IC for EPR-IV PRML Magnetic Storage Read Channels," *IEEE J. of Solid-State Circuits*, vol. 31, No.11, pp. 1803-1816, Nov. 1996.

[2] R. A. Philpott, R. A. Kertis, R. A. Richetta, T. J. Schmerbeck, and D. J. Schulte, "A 7 Mbyte/s (65 MHz), Mixed-Signal, Magnetic Recording Channel DSP Using Partial Response Signalling with Maximum Likelihood Detection," *IEEE J. of Solid-State Circuits*, vol. 29, No. 3, pp.177-184, March 1994.

[3] T. W. Pan and A. Abidi, "A Wide-Band CMOS Storage Amplifier for Magnetic Data Storage Systems," *IEEE J. of Solid-State Circuits*, vol. 27, No. 6, pp. 863-873, June 1992.

[4] R. Gomez and A. Abidi, "A 50-MHz CMOS Variable Gain Amplifier for Magnetic Data Storage

Systems," *IEEE J. of Solid-State Circuits*, vol. 27, No. 6, pp. 935-939, June 1992.

[5] R. J. Reay, K. B. Klassen, and C. S. Nomura, "A Resonant Switching Write Driver for Magnetic Recording," *IEEE J. of Solid-State Circuits*, vol. 32, No. 2, pp. 267-269, Feb. 1997.

[6] J. C. Mallinson, "Magneto-Resistive Heads : Fundamentals and Applications," *Academic Press, INC.* 1996

[7] J. L. Zoređa and J. M. Oton, "Smart Cards," *Artech House, INC.*, 1994.

[8] Mitsubishi사, Data sheet for F/2F Decoder IC(M54910P).

[9] SGS Thomson사, Data sheet for Magnetic Card Reader IC(STKM2114B). 1993.

[10] 지성전자, "F2F 디코더 및 그 제어 방법," 특허 제100957호, 1996년 6월 21일, 대한민국 특허청.

[11] P. R. Gray and R. G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview," *IEEE J. of Solid-State Circuits*, vol. sc-17, No. 6, pp. 969-982, Dec. 1982.

[12] P. E. Allen and D. R. Holberg, "CMOS Analog Circuits Design," *Saunders College Publishing*, 1987.

저 자 소 개



林 信 一 (正會員)
 1980년 서강대 전자공학과 졸업(학사). 1983년 서강대학원 전자공학과 졸업(석사). 1995년 서강대학원 전자공학과 졸업(박사). 1980년~1981년 (주)한국소프트웨어. 1982년~1992년 한국전자통신연구소 선임연구원. 1992년~1995년 전자부품종합기술연구소 선임연구원. 1995년~현재 서경대학교 컴퓨터공학과 조교수



崔 種 讚 (會員申請中)
 1985년 경희대학교 전자공학과 졸업(학사). 1997년~현재 한양대 산업대학원 석사과정 재학. 1985년~1991년 삼성전관 중앙연구소. 1992년~현재 전자부품연구소 주문형반도체설계센터 선임연구원