

고속 ATM 위성통신을 위한 TDMA 버스트 모뎀 설계 I 부 : 수신기 동기기술 분석

(Design of a Digital Burst MODEM for High-Speed ATM Satellite Communications

Part I : Analysis of Synchronization Techniques)

黃煥鉉 * , 金基潤 * , 崔炯辰 *

(Sung Hyun Hwang, Ki Yun Kim, and Hyung Jin Choi)

요 약

본 논문에서는 155Mbps 급 ATM 고속위성 전송에 적합한 동기 요소기술을 제시하고 추적성능 개선을 위한 최적 알고리즘을 제안하였다. 이때 신호변조는 QPSK 방식을 사용하였고 수신기는 버스트 모드로 동작함을 가정하였다. 이러한 점을 바탕으로 주파수동기(AFC), 위상동기(CR), 비트동기(STR)의 여러 요소기술 및 방식을 검토하고 문제점을 개선한 방안을 제시하였다. 또한 AWGN 채널 환경하에서 요구 심벌수, 정상상태 안정도 그리고 하드웨어(H/W) 구현 난이도에 중점을 두어 제안한 각 동기 요소기술의 제반 성능평가를 수행하였다.

Abstract

In this paper, we evaluate synchronization techniques suitable for high-speed ATM satellite communications with a transmission rate of 155Mbit/s, and propose optimal algorithms that improve the tracking performance, where QPSK is selected for a modulation scheme, and the receiver is operated in burst mode. Based on these assumptions, we proposed modified algorithms and architectures for automatic frequency control(AFC), carrier recovery(CR), and symbol timing recovery(STR) for burst acquisition. Analysis is performed under AWGN environments with respect to the number of required symbol, steady-state stability, and hardware implementation for the proposed algorithms.

I. 서 론

차세대 통신망은 다양한 사용자의 욕구를 충족하기 위하여 현재의 음성위주의 서비스에서 탈피하여 화상, 화상 등의 데이터 전송 및 다자간 멀티미디어 서비스가 가능한 초고속정보통신망을 지향한다. 초고속정보통신망의 구축은 핵심 요소기술인 B-ISDN/ATM 기술

을 바탕으로 지상 광케이블에 의해 이루어지지만 지리적 및 시기적으로 광케이블 설치가 불가능한 지역 등에 서비스를 제공하기 위해 위성통신망의 다각적인 활용이 기대된다. 특히, 위성통신의 두드러진 장점인 폭넓은 서비스 영역의 지원 및 방송과 동보서비스 측면에서 활발한 연구가 진행되고 있다.

위성통신시스템 측면에서 위성중계기는 고속의 B-ISDN 서비스를 직접적으로 제공하기 위하여 광역화되고 있으며 고속 전송에 적합한 TDMA 방식이 지배적으로 선호되고 있다. 그러므로 지상 송수신지구

* 正會員, 成均館大學校 電子工學科
(Dept. of Elec. Eng., Sung Kyun Kwan Univ.)
接受日字: 1998年4月30日, 수정완료일: 1998年7月3日

국은 고속 TDMA 전송을 지원할 수 있는 기술 개발이 필수적으로 요구된다. 특히, 155 Mbps 이상의 고속 TDMA 전송에 적합한 버스트 모뎀(Burst MODEM)과 관련된 기술 개발은 매우 절실한 연구분야이다.

선진외국의 경우 시험 위성망을 이용한 다양한 프로젝트들이 지상 B-ISDN/ATM 망과의 연동 및 송수신지구국 장비 개발을 위하여 활발히 추진되고 있다. 국내의 경우, 최근 계획수립하여 추진중인 무궁화 3호 위성이 Ka-대역을 사용한 200 MHz의 광대역 중계기(Transponder)를 탑재할 예정이므로 B-ISDN 서비스를 충분히 제공할 수 있을 것으로 사료된다.

이러한 점을 고려하여 본 논문에서는 위성을 이용하여 지상 B-ISDN/ATM 서비스를 직접적으로 제공하기 위하여 155 Mbps 급의 고속 위성 ATM 전송을 지원할 수 있는 변복조 기술개발의 일환으로 고속위성 변복조기의 구조를 제시하고 성능평가를 수행하였다. 사용한 동기 요소기술은 먼저 주파수 동기 알고리즘은 Double Product 방식을, 위상 동기 알고리즘은 Decision Directed Costas 루프를, 그리고 심벌 동기 알고리즘은 Decision Directed Gardner 루프를 사용하였다. 그리고 각 동기 요소기술의 성능개선 방안으로 우선 주파수 동기 알고리즘의 빠른 초기 포착을 위해 다단계 이득변화(Gear Shifting) 방식을 제안하고, 위상 동기 알고리즘과 심벌 동기 알고리즘의 성능개선을 위해 PLL의 hangup 방지회로를 제안하였다.

본 논문의 전체적인 구성은 I 장 서론을 비롯하여 II장에서는 수신기를 구성하는 기본적인 동기 요소기술들에 대해 분석하고, III 장에서는 기존 수신기의 성능 개선을 위한 다양한 방안들을 제안하였다. 마지막으로 IV 장에서 검토 및 결론을 맺는다.

II. 수신기 요소기술 분석

수신기 동기부분은 크게 주파수 동기부와 위상 동기부 그리고 심벌 동기부로 구성된다. 특히, 고속위성 수신기의 경우 신속한 초기동기 성능은 타 수신기에 비해 더욱 강조되는 부분으로서 위성채널에서 발생하는 큰 주파수 오프셋을 효과적으로 포착하는 문제가 관건이다. 또한 주파수 동기부를 통과한 잔류 반송파 성분은 위상 동기부와 심벌 동기부에 연쇄적으로 악영향을 미칠 수 있으므로 동기 속도 못지않게 안정된 정상상

태 성능 또한 보장되어야 한다.

본 장에서는 세부적인 동기 알고리즘 추적성능과 버스트 모드에서 동기에 요구되는 심벌수를 분석한다.

1. 주파수 동기 알고리즘

위성 채널에 의해 심각하게 교란된 수신신호의 주파수 복조를 짧은 시간내에 효과적으로 포착하기 위해 현재 상용화된 거의 모든 복조칩이 이러한 기능을 포함하고 있다^{[1] [2]}.

본 논문에서 사용한 주파수 동기 알고리즘은 Cross Product(CP) 방식의 AFC 구조를 개선시킨 Double Product(DP) 방식의 AFC^[3] 알고리즘이다. DP AFC 알고리즘은 기존의 CP AFC 검출기 출력신호(cross product 성분)와 부가적인 출력신호(self product 성분)를 이용하여 극성 판정하는 방법으로 일종의 CP AFC 구조에 결정 지향법(Decision Directed Method)을 적용한 것이라 할 수 있다. DP AFC 구조는 기존 알고리즘에 비해 잡음특성이 매우 우수하고 선형영역이 훨씬 넓어져(약 6배 더 넓은 선형영역 가짐) 큰 주파수 오프셋도 빠르게 추적할 수 있으므로 고속 위성 수신기에 적합한 주파수 동기 알고리즘이라 할 수 있다^{[3] [4] [5]}.

2. 위상 동기 알고리즘

주파수 동기 알고리즘에서 이월된 잔류 반송파의 미세 동기를 수행하는 부분으로 본 논문에서 채택한 위상 동기 알고리즘은 기존의 Costas 구조에 H. C. Osborn이 양쪽 채널에 경판정기를 부착한 MPSK 복조용 DD(Decision Directed) Costas 알고리즘을 사용하였다^[6].

DD Costas 알고리즘은 양 채널에 경판정기를 사용하므로 곱셈기를 제거할 수 있어 H/W 구현이 용이하다. 또한 경판정기가 오판하지 않을 정도로 CNR이 보장될 경우 선형영역과 검출기 이득이 증가하여 추적 성능이 크게 향상되고 잡음의 제곱항이 소거되므로 정상상태 안정도 또한 뛰어나다^[6]. 일반적으로 CNR이 충분히 보장될 경우(12~15 dB) 검출기 선형영역은 경판정기를 사용하지 않을 때보다 약 4 배 더 우수하다^[7].

3. 심벌 동기 알고리즘

고속 처리 속도에 대한 부담을 최소화하기 위해 동기에 요구되는 심벌당 샘플수를 작게 하는 동기 알고

리즘이 필요하다. DD(Decision Directed) Gardner 심벌 동기 알고리즘은 Gardner 알고리즘^[8]에 경판정기를 부착한 것으로서 곱셈기 제거효과와 잡음 제거효과를 가져올 수 있다. 따라서 타이밍 검출기 특성곡선의 선형구간이 넓어지고 이득도 커지나 CNR이 낮을 경우 결정과정의 오류로 인해 급격한 성능 열화가 발생할 우려가 있다.

DD Gardner 알고리즘은 기저대역 신호를 A/D 변환하여 심벌당 2 샘플을 취한 후 경판정기를 통과시킨 신호를 이용하여 심벌 천이 지점의 영점교차를 추적하는 방식으로서 반송파 동기 루프와 독립적으로 동작하므로 빠른 초기 동기가 가능하고 I 채널과 Q 채널을 동시에 더함으로서 잔류 반송파에 대한 동작성능이 우수한 특성이 있다. 또한 DD Gardner 알고리즘은 협대역 신호에 있어 영점교차 지점이 흔들릴 때 발생하는 Gardner 알고리즘의 성능열화를 상당부분 개선할 수 있다^{[7] [9]}.

4. 개별적인 수렴 성능평가

버스트 모드에서 동기에 요구되는 프리앰블의 길이를 파악하기 위해 제시한 알고리즘에 대한 개별적인 성능평가를 수행하였다. 먼저 1 차 PLL 구조를 이용한 DP AFC 주파수 동기 알고리즘에 대한 성능평가 환경은 다음과 같다. 입력 신호의 주파수 오프셋이 0.05 라고 할 때(일반적으로, 전송속도 155Mbps의 경우 위성 채널에서 5~10%의 주파수 오프셋이 발생함) 대체로 동기완료 시점은 정상상태 에러가 초기 오프셋의 약 10 % 이하를 만족하는 수준임을 감안하면 약 50~60 심벌이 소요된다. 즉 잔류 반송파 에러가 0.005 정도이면 주파수 동기가 완료 되었다고 할 수 있으며 실제로 위상 동기 알고리즘 성능에 큰 부담을 주지 않는 것으로 밝혀졌다^[4].

한편, 2 차 PLL 구조를 사용한 DD Costas 위상 동기 알고리즘의 경우 입력 위상 오프셋을 30°, 잔류 반송파를 0.005, CNR을 10 dB, 초과대역폭을 30%라고 가정할 때 정상상태 위상에러가 초기 위상 오프셋의 10 % 이하가 되기 위해서는 약 45~50 심벌이 요구된다. 마지막으로, 2 차 PLL을 이용한 DD Gardner 심벌 동기 알고리즘의 경우 타이밍 오프셋을 0.5, 잔류 반송파를 0.005, CNR을 10 dB라고 가정할 때 정상상태 타이밍에러가 초기 타이밍 오프셋의 10% 이하가 되려면 대략 65~70 심벌이 필요하다.

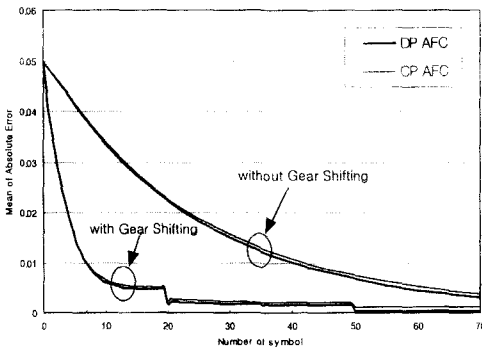
결론적으로 수신기 복조에 요구되는 프리앰블 길이는 약 160~180 심벌이라는 잠정 결론을 내릴 수 있다. 그러나 선진외국에서 개발된 고속위성용 버스트 모뎀의 경우 훨씬 작은 프리앰블을 사용하여(일본 NTT에서 개발된 버스트 모뎀의 경우 108 심벌만으로 반송파와 심벌동기를 수행함) 요구되는 정상상태 성능을 충분히 만족하는 수신기 복조를 수행하고 있으며 프리앰블 길이를 줄이기 위한 노력은 지금도 계속되고 있다. 이러한 점을 고려하여 본 논문에서는 기존의 동기 알고리즘의 추적성능을 현저히 향상 시킬수 있는 추가적인 개선방안을 다음과 같이 제안한다.

Ⅲ. 수신기 성능개선을 위한 방안

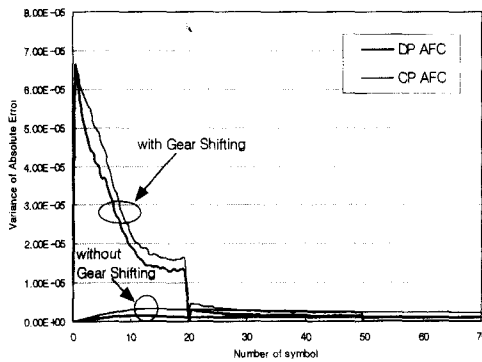
1. 주파수 동기 개선방안

일반적으로 주파수 동기의 초기 포착을 빠르게 하기 위해 루프 필터의 이득을 증가시키면 정상상태 안정도가 저하되어 셀 손실율이 극도로 악화되는 요인이 된다. 반면 루프 필터의 이득을 작게 할 경우 정상상태 안정도는 우수하나 신속한 동기를 기대하기 힘들다. 따라서 수신기의 동기속도와 정상상태 안정도를 동시에 개선시키는 것은 어느 정도 한계가 있다. 본 논문에서는 이러한 문제점을 해결하기 위해 다음과 같은 다단계 이득변화(Gear Shifting) 방식과 평균추정(Mean Estimation) 방식 알고리즘을 제안하였다. 다단계 이득변화 방식은 일종의 모드전환 방식으로 초기에 큰 루프이득을 할당하여 빠른 포착을 수행한 후 단계적으로 루프이득을 줄여나감으로서 안정된 정상상태 특성도 얻을 수 있게 하였다^[4]. 또한 단계 변환시에는 평균추정(Mean Estimation) 방식을 적용하여 빠르고 안정된 추적성능을 가지게 하였다. 평균추정 방식은 정상상태에서 VCO 특성이 특정값을 중심으로 진동하는 원리를 이용한 것으로 단계 변환 시점 바로 이전의 VCO 값 몇 개를 평균하여 다음단의 추적값으로 설정하는 방식이다^[4].

그림 1은 다단계 이득변화 방식을 사용할 경우와 사용하지 않을 경우에 대한 주파수 동기성능의 차이를 CP AFC와 DP AFC에 대해 비교한 것으로 (a)는 절대에러 평균특성을, (b)는 절대에러 분산특성을 각각 나타낸 것이다.



(a) 절대에러 평균특성



(b) 절대에러 분산특성

그림 1. 다단계 이득변화방식과 평균추정방식을 적용한 주파수 동기 개선효과(주파수 오프셋=0.05, CNR=10dB)

Fig. 1. Improvement of AFC using gear-shift and mean estimation(frequency offset=0.05, CNR =10dB).

다단계 이득변화 방식과 평균추정 방식을 사용할 경우 이득 변화는 2 단계로 구성되고 20 번째 심벌과 50 번째 심벌에서 각각 적용되어지며 이득변화 시점 이전의 VCO 값 10개를 평균하여 다음단의 추적값으로 설정하였다. 여기서, 1 차 이득은 0.036, 2 차 이득은 0.012로 가정하였으며 그림 1에서 급격히 낮아지는 시점이 이득변화방식과 평균추정방식이 적용된 부분이다. 그림 1-(a)를 보면 1 차 이득변화 시점에서 평균 에러는 1.84×10^{-3} 이고 2 차 이득변화 시점에서 평균 에러는 3.88×10^{-4} 으로서 매우 우수한 성능을 가진다. 반면 다단계 이득변화 방식을 사용하지 않을 경우 DP

AFC와 CP AFC에 따라 약간의 성능차이는 있으나 70 심벌 지점의 절대에러 평균값은 1 차 이득변화 시점인 20 심벌 지점의 절대에러 평균값에도 미치지 못함을 알 수 있다. 그림 1-(b)를 참조할 때 다단계 이득변화 방식을 사용할 경우 상대적으로 초기에 불안정한 분산특성을 갖는 반면 1 차 이득변화 시점에서 불안정도는 크게 감소하여 사용하지 않을 경우와 비슷한 수준을 만족하며 2 차 이득변화 부근에서는 보다 안정된 분산특성을 만족한다. 따라서 위상 동기와의 연동은 20번째 심벌부터 시작할 수 있으며 이때 이월된 잔류 반송파의 평균 및 분산특성은 충분히 우수하다.

결론적으로 다단계 이득변화 방식을 사용하지 않을 때와 비교하면 약 30~40 심벌을 줄일 수 있고 DP AFC가 CP AFC보다 전반적으로 성능이 약간 뛰어남을 알 수 있다.

2. 위상 동기 개선방안

PLL 추적회로를 이용하는 동기 알고리즘은 S 형태의 에러 검출기 특성곡선으로 인해 필연적으로 겪게 되는 성능열화 요인이 있다. 즉, 불안정한 영점부근에서의 작은 검출기 출력 에러로 인해 그 상태를 벗어나는데 걸리는 시간이 상대적으로 길어지는 현상을 Hangup 현상이라고 하며 PLL 구조에서는 자연스런 현상이다. 본 논문에서는 이러한 Hangup 현상을 방지하기 위해 불안정한 영점 근처에서 큰 복원력을 공급하는 방식(일명, Kickoff Pulse 방식^[10])을 위상 동기 알고리즘에 적용하였다. 그림 2는 Hangup 방지회로를 사용한 DD Costas 루프를 나타낸 것이다.

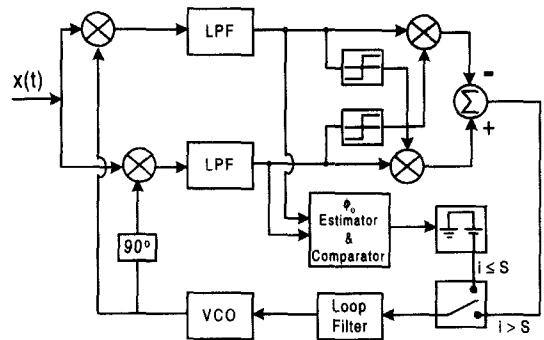


그림 2. Hangup 방지회로를 적용한 DD Costas 알고리즘

Fig. 2. DD Costas algorithm using anti-hangup circuit.

기존의 DD Costas 루프를 바탕으로 처음 프리앰블이 입력될 때($i=1$) 위상 에러를 계산하는 ϕ_0 추정기와 이 값을 임계값 T_0 와 비교하는 비교기, 큰 복원력에 해당하는 DC 출력, 그리고 PD 출력을 큰 복원력으로 전환시키는 스위치로 구성되어 있다. 단 본 논문에서는 완벽한 ϕ_0 추정기를 가정하였다. 식 (1)은 Hangup 방지회로의 동작원리를 설명한 것으로 첫 번째 동기용 프리앰블이 입력될 때의 위상에러, $\phi_0 = \theta_0 - \hat{\theta}_0 |_{i=1}$ 가 특정 임계값 T_0 를 넘을 경우 일정 심벌구간 S 동안 큰 복원력에 해당하는 특정 PD 출력신호 P_0 가 루프필터에 입력된다.

$$PD \text{ 출력 } \epsilon_i = P_0, \quad \text{if } T_0 \leq |\phi_0|, \quad i=1, 2, \dots, S \quad (1)$$

특히, Hangup 방지회로를 사용한 PLL 추적성능은 임계값 T_0 와 일정 심벌구간 S 에 따라 민감하게 변한다. 본 논문에서 설정한 임계값 T_0 는 QPSK 신호의 영역경계값(45°)의 1/2인 22.5° 로 가정하였다.

그림 3은 Hangup 방지회로를 적용한 DD Costas 위상 동기 알고리즘의 성능개선을 분석한 것으로 입력 위상변화에 따른 VCO 출력위상의 추적특성을 나타낸 것이다. 입력 채널 파라메타는 각각 $\Delta f T = 0.005$, $\theta_0 = 30^\circ$, $CNR = 10\text{dB}$, 초과대역폭=30%와 같고, Hangup 방지회로 파라메타는 각각 $P_0 = 1.0$, $T_0 = 22.5^\circ$, $S = 0 \sim 30$ 로 가정하였다. 그림 3-(a)를 보면 $S=0$ 일 때 일정한 입력위상 변화에 대해 VCO 출력위상의 추적특성이 초기 약 50 심벌 동안 헤매는 것(Hangup)을 알 수 있다. 반면 그림 3-(b)에서 $S=10$ 일 때 이러한 Hangup 현상은 사라지고 신속한 추적이 진행되는 것을 알 수 있다. 그러나 S 를 계속해서 증가시키면 Hangup 방지회로를 사용하지 않을 때보다 성능이 더 악화됨을 알 수 있다.

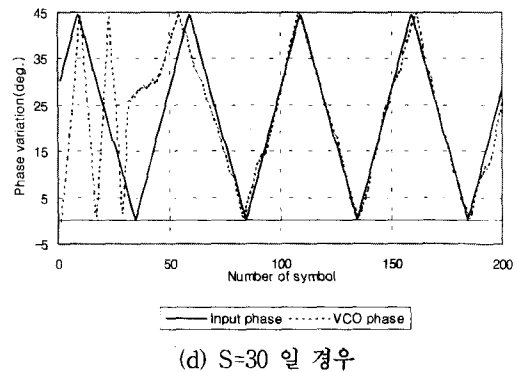
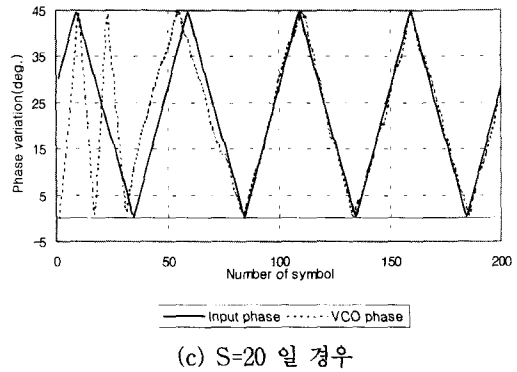
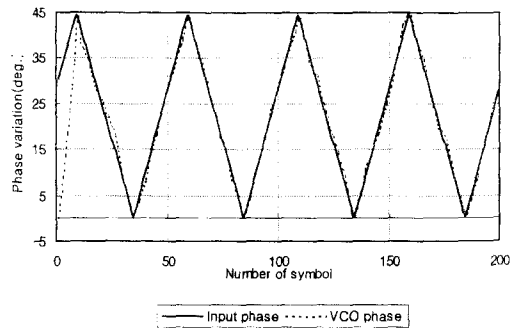
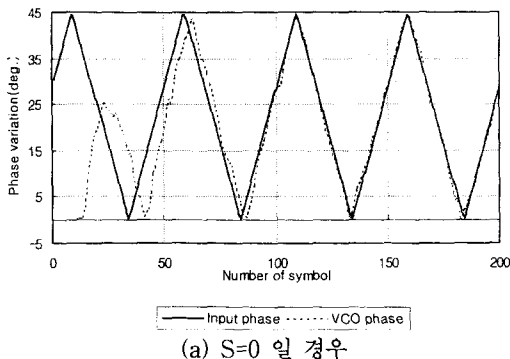


그림 3. 입력위상에 따른 VCO 출력위상 변화
Fig. 3. Variation of VCO output phase for input signal phase.

따라서, 주어진 주파수 오프셋에 대해 Hangup 방지회로의 성능을 최적화할 수 있는 심벌구간 S 를 선택하여 적용해야 한다. 그림 4는 3 가지 잔류 반송파에 대해 요구 프리앰블 수를 최소로 하는 심벌구간 S 를 분석한 것이다.

결론적으로, Hangup 방지기술을 사용하면 사용하지 않을 때($S=0$)와 비교해서 잔류 반송파에 따라 9~92 심벌을 줄이는 효과를 얻을 수 있다. 성능개선 효과는 잔류 반송파 ($\Delta f T$)가 클수록 더욱 우수하나 S

를 계속 증가시킬 경우 오히려 성능열화가 발생하므로 최적의 S를 선택해야 한다.

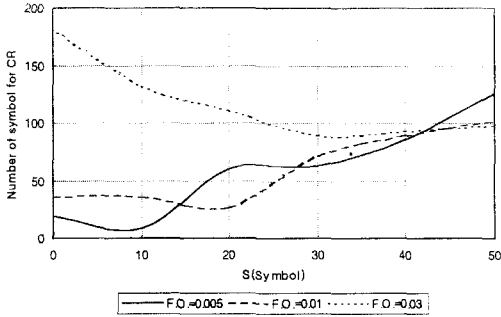


그림 4. 심벌구간 S에 따른 CR 프리앰블 길이 변화
Fig. 4. Variation of CR preamble length for symbol interval S.

3. 심벌 동기 개선방안

심벌 동기를 수행하는 DD Gardner 알고리즘은 위상 동기 알고리즘과 마찬가지로 2 차 PLL 구조를 사용하므로 제한한 Hangup 방지회로를 동일하게 적용할 수 있다. Hangup 방지회로의 구성은 초기 심벌 동기용 프리앰블이 입력될 때 타이밍 에러를 구하는 t_0 추정기와 이 값을 임계값 T_0 와 비교하는 비교기, 큰 복원력에 해당하는 DC 출력, 그리고 조건에 따라 PD 출력값을 큰 복원력으로 전환하는 스위치로 구성되어 있다. 단 본 논문에서는 완벽한 t_0 추정기를 가정하였다.

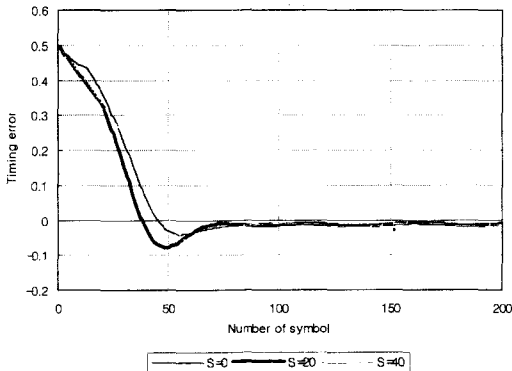


그림 5. 타이밍 에러의 평균 특성(ΔT=0.005)
Fig. 5. Mean of timing error(ΔT=0.005)

전체적인 동작은 첫 번째 STR 동기용 프리앰블이 입력될 때의 타이밍 에러 t_0 가 임계값 T_0 를 넘을 경

우 일정 심벌구간 S 동안 타이밍 검출기 출력신호를 큰 복원력 P_0 로 대체하여 입력되는 형태로서 임계값 T_0 는 DD Gardner 타이밍 에러 검출기 특성곡선의 기울기가 바뀌는 지점(타이밍 오프셋=0.3)으로 설정하였다.

그림 5는 잔류 반송파가 0.005일 때 프리앰블 진행에 따른 타이밍 에러(입력 신호 타이밍 오프셋 - VCO 출력 타이밍 오프셋)의 평균 특성을 나타낸 것으로 S 값에 따라 수렴 영역에 진입하는 시점이 빨라지거나 늦어지므로 최적의 S 값을 선택할 필요가 있다.

따라서, PLL Hangup 방지회로의 성능은 큰 복원력을 유지시키는 시간 S에 따라 득이 되기도 하고 실이 될 수도 있으므로 최적의 S 값을 결정하는 문제가 중요하다.

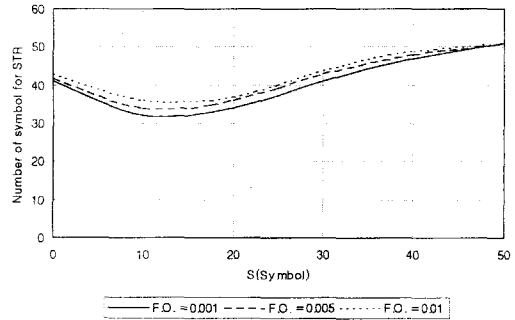


그림 6. 주파수 오프셋에 따른 최적 S의 결정
Fig. 6. Optimization of S for frequency offset.

그림 6은 여러 주파수 오프셋에 대해 다양한 S 값에 따른 심벌 동기 프리앰블 길이의 변화를 보인 것이다. 채널 파라미터는 위상 동기 개선방안에서 가정한 조건과 동일하고 Hangup 방지회로 파라미터는 각각 $P_0=1.2$, $T_0=0.3$, $S=0\sim30$ 과 같이 전제하였다. 그림 6을 보면 $S=12\sim15$ 심벌에서 최소의 동기 프리앰블이 요구되며 이는 $S=0$ 일 때와 비교할 때 약 10 심벌 정도가 줄어든 것이다.

IV. 결론

본 논문에서는 위성을 이용하여 지상 B-ISDN/ATM 서비스를 직접적으로 제공하기 위하여 155 Mbps 급의 고속 위성 ATM 전송을 지원할 수 있는 변복조 기술개발의 일환으로 고속위성 변복조기의 구

조를 제시하고 성능평가를 수행하였다.

고속위성 TDMA 수신기는 기본적으로 빠른 초기 포착 성능과 정상상태 안정도가 우수한 동기 요소기술을 요구하며 하드웨어적으로 고속동작이 가능한 알고리즘이어야 한다. 주파수 동기 알고리즘의 경우 위성 채널에서 발생하는 큰 주파수 오프셋을 신속하게 포착하기 위해 Double Product 방식에 추가로 다단계 이득변화(Gear Shifting) 방식과 평균추정 방식을 도입함으로써 요구 프리앰블 수를 30~40 심벌정도 줄이면서 동시에 보다 우수한 정상상태 특성을 얻을 수 있었다. 또한 위상 동기 알고리즘은 2 차 PLL을 이용한 DD Costas 루프에 Hangup 방지회로를 적용함으로써 잔류 반송파에 따라 최소 9 심벌에서 최대 92 심벌까지 절약할 수 있었고 정상상태에서의 평균 및 분산특성도 우수하였다. 심벌 동기 알고리즘의 경우, 2 차 PLL을 이용한 DD Gardner 알고리즘에 Hangup 방지회로를 사용함으로써 프리앰블 수를 10 심벌 정도 줄일 수 있었다.

결론적으로, 기존의 TDMA 프레임에서 요구하는 프리앰블 길이가 약 170 심벌 정도임을 감안할 때 본 논문에서 제안한 알고리즘과 개선방안을 사용할 경우 최대 100 심벌이 줄어든 70 심벌만으로도 동기가 가능하고 정상상태 안정도 또한 매우 우수함을 알 수 있었다. 이것은 최근 NTT에서 개발된 TDMA 수신기가 요구하는 프리앰블 길이(108 심벌)보다 훨씬 짧은 것이다.

참 고 문 헌

[1] F. D. Natali, "AFC Tracking Algorithms," IEEE Trans. On Comm., Vol. COM-32,

No.8, pp. 213-240, Aug. 1984.

[2] F. M. Gardner, "Charateristics of Frequency-Tracking Loops," IEEE Trans. Comm., Feb 1985.

[3] N. Mochizuki, T. Sugiyama, and M. Umehira, "A New AFC Circuit Employing Double-Product Type Frequency Discriminator in Very-Low CNR Environments," IEICE Trans. On Comm., Vol. E80-B, No. 1, pp. 25-32, Jan. 1997.

[4] 김기윤, 황성현, 김병균, 최형진, "고속위성용 TDMA 수신기의 AFC 최적 설계에 관한 연구," 한국통신학회(KICS) 추계학술대회, 제16권 2호, pp. 553-557, 1997년 11월

[5] 황성현, 김기윤, 김병균, 최형진, "고속위성용 TDMA 수신기 설계 및 성능평가에 관한 연구," 대한전자공학회(KITE) 추계학술대회, 제20권 2호, pp. 75-78, 1997년 11월

[6] H. C. Osborne, "A Generalized "Polarity-Type" Costas Loop for Tracking MPSK Signals," IEEE Trans. On Comm., Vol. COM-30, No. 10, Oct. 1982.

[7] 최형진, 동기방식 디지털 통신, 교학사, 1995년.

[8] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers," IEEE Trans. On Comm., Vol. COM-34, No. 5, pp. 423-429, May 1986.

[9] 김용훈, 이경하, 최형진, "DBS용 심벌동기 알고리즘의 성능평가," 전자공학회 논문지, 제33권, A편, 제10호, 1996년 10월.

[10] F. M. Gardner, "Hangup in Phase-Lock Loop," IEEE Trans. On Comm., Vol. COM-25, No. 10, pp. 1210-1214, Oct. 1977.

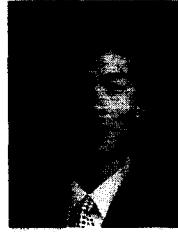
저자 소개



黃 鉉(正會員)

1996년 2월 성균관대학교 전자공학과 졸업(학사). 1998년 2월 성균관대학교 대학원 전자공학과 졸업(석사). 1998년 3월 ~ 현재 성균관대학교 전기전자컴퓨터공학부 박사과정.

주관심분야는 위성통신, 이동통신, 디지털통신 기술 등임



金 基潤(正會員)

1997년 2월 성균관대학교 전자공학과 졸업(학사). 1997년 3월 ~ 현재 성균관대학교 대학원 전기전자컴퓨터공학부 석사과정. 주관심분야는 위성통신, 이동통신, 디지털통신 기

술 등임



崔 炯辰(正會員)

1974년 2월 서울대학교 전자공학과 졸업(학사). 1976년 2월 한국과학기술원 전기전자공학과 졸업(석사). 1976년 3월 ~ 1979년 7월 주식회사 금성사 중앙연구소 근무(연구원).

1979년 9월 ~ 1982년 12월 미국 University of Southern California 전기공학과 졸업(Ph.D). 1982년 10월 ~ 1989년 2월 미국 LinCom Corp. 연구원으로 근무. 1989년 3월 ~ 현재 성균관대학교 전기전자컴퓨터공학부(정교수). 주관심분야는 디지털 통신, 무선통신, 위성통신, 및 동기화 기술을 포함한 Modem 기술 등임