

반얀망 ATM 스위치에서 충돌 제거를 위한 비충돌 패턴 발생기 설계

(Design of the non-blocking pattern generator for the elimination of conflicts in banyan ATM switch)

李周榮 * , 鄭在 一 *

(Joo-Young Lee and Jae-Il Jung)

요 약

본 논문에서는 반얀망 ATM 스위치를 위한 비충돌 패턴 발생기를 제안하고, 그 성능을 시뮬레이션에 의해 평가한다. 제안하는 비충돌 패턴 발생기는 우선 입력 셀 들을 입력, 출력 주소쌍을 이용하여, 두 개의 그룹, 즉, 충돌 유발 셀 그룹과 비충돌 셀 그룹 으로 분리한다. 분류된 충돌 유발 셀 들은 충돌 테이블을 이용하여 새로운 비충돌 입력 주소를 재할당 받는다. 시뮬레이션 결과는 NBPG가 최소한의 변환만으로 비충돌 주소 패턴을 발생함을 보여준다.

Abstract

In this paper, we propose the non-blocking pattern generator(NBPG) for banyan ATM switches and evaluate the performance by simulation. The proposed NBPG first classifies input cells into two groups, the conflict intended cell group and the non-blocking cell group, using input-output address pairs. Then, the conflict intended cells are assigned to their new non-blocking input addresses by the conflict table. Simulation results show that the NBPG generates non-blocking address patterns with minimal changes.

I. 서 론

ATM(Asynchronous Transfer Mode) 스위치는 고속, 다량의 ATM 셀 들을 다수의 입력단으로부터 출력단으로 손실 없이 전송하는 것을 목적으로 한다. ATM 스위치의 라우팅(routing)구조로서 주로 채택 되는 MIN(Multistage Interconnection Network)의 일종인 반얀망(banyan network)은 소수의 SE(Switching Element)만으로 모든 입력단에서 출력단으로 유일 경로를 갖는다. 반얀망은 확장이 용이하고 셀프 라우팅(self-routing)이 가능하므로 라우팅 망으로 적합하며 이에 대한 많은 연구가 진행되고 있다^[1].

반얀망 구조는 기본적으로 N/2개의 SE들을 스테이지 단위로 묶어 반얀 교환(banyan exchange)으로 연결한 구조로서, 포트 수 N에 대해 $(\frac{N}{2})\log_2 N$ 개의 SE 만으로 입, 출력 모두를 연결한다. 그러나, 동시에 다량의 셀을 전송해야 하는 ATM 스위치에서 반얀망은 내부 링크에서의 경로 공유와 입, 출력 포트간의 유일 경로로 인해 전송하는 셀들간의 충돌이 발생할 수 있다.

반얀망 구조에서 셀들간의 충돌이 발생하지 않기 위해선, 우선 모든 입력 단 셀들의 목적 주소가 하위 포트로부터 상위 포트까지 오름차순이나 내림차순으로 정렬이 되어야 하며, 셀들이 도착한 포트들간에 빈 포트가 없어야 한다. 마지막으로, 입력단 셀들은 서로 다른 목적 포트를 가져야한다. 그러므로, 반얀망 구조를 ATM 스위치의 라우팅 망으로 적용하기 위해선, 이상

* 正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字: 1998年8月7日, 수정완료일: 1998年12月2日

의 비충돌 조건을 만족할 수 있도록 입력단에 도달한 셀들의 입력 포트를 변경할 수 있는 전처리 망이 사용되어야 하며, 만일 전처리 망을 갖지 않는 경우엔, 충돌 회피를 위한 여분의 경로를 두거나 충돌하는 셀들을 저장하여 충돌을 회피하도록 해야 한다. 이제까지 제안된 전처리 망을 갖는 ATM 스위치는 배처-반안망(Batcher-banyan network) 스위치와 PR(Pseudo-Randomizer) 반안망 스위치가 있다^{[2] [3]}.

Sunshine 스위치나 Starlit 스위치로 구현된 배처-반안망 스위치는 이상의 비충돌 조건을 충족시키는 스위치로서, 비충돌 조건 각각을 수행하는 별도의 구조를 내부에 포함하고 있다^{[4] [5]}. 그러나 이러한 스위치의 경우, 전처리 망 구성을 위해 비교기(comparator)로 구성된 다수개의 SE를 필요로 하므로 구현에 따른 하드웨어 오버헤드가 지나치게 증가하는 단점을 가지고 있으며, $N \times N$ 반안망이 갖는 2의 $\log_2 N * N/2$ 승 개의 비충돌 패턴들 중 오직 으뜸치순의 한 패턴만을 이용한다. PR 반안망 스위치의 경우 입력 셀들을 분산하여, 라우팅 망 동일 경로상의 내부 충돌을 감소시키거나, 비충돌 패턴을 발생하지 못하는 단점을 갖는다.

본 논문에서는 입력단에 도달한 셀들의 주소 패턴을 반안망이 갖는 다수의 비충돌 주소 패턴중 하나로 변환시키는 비충돌 패턴 발생기(NBPG: Non-Blocking Pattern Generator)를 제안한다. 입력단에 도달한 셀들은 입, 출력 주소쌍을 이용하여 우선 충돌 유발 셀들과 비충돌 셀들로 분류된다. 충돌 유발 셀로 분류된 셀들은 테이블 기법을 이용하여 적절한 입력 포트 주소로 재할당 받는다.

II장에서는 입, 출력 주소쌍을 이용한 충돌 유발/비충돌 셀의 분류에 대해 설명하며, III장에서는 분류된 충돌 유발 셀에 의한 충돌 테이블을 이용하여, 입력 포트 주소를 재할당 받는 과정에 대해 설명한다. IV장에서는 제안한 NBPG의 시뮬레이션 결과를 통해 성능을 분석하며, V장에서 결론을 맺는다.

II. 반안망에서의 충돌 유발 셀과 비충돌 셀의 분류

반안망에서 입력단에 도달한 셀들은 완전 셔플 연결과 반안 교환 연결로 구성된 각 스테이지 SE간을 각각의 라우팅 비트에 따라 전송된다. 2×2 크로스바 망

으로 구성된 각 SE에서 셀들은 현재 라우팅 비트가 0이면 상위, 1이면 하위로 연결되므로, $\log_2 N$ 개 스테이지를 라우팅 하기 위해선 스테이지 수와 동일한 수의 비트 정보가 필요하다.

ATM 스위치의 라우팅 망으로 반안망이 사용될 경우엔, 동시에 다수의 셀이 각각의 목적 포트로 전송을 요구하므로, 내부 링크 공유로 인한 충돌 및 출력 포트에서의 충돌이 발생할 수 있으며, 이 경우 셀은 손실된다.

충돌에 관여하는 셀들은 진입한 입력, 출력 포트의 주소에 따라 고정된 중간 링크를 경유하여 전송되므로, 다른 경로를 통해 진입한 셀과의 충돌이 예상되더라도 충돌을 피할 수 없다. 이러한 과정의 설명을 위해 그림 1의 예를 들었다.

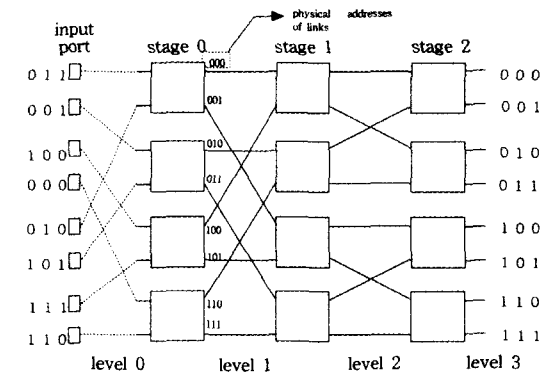


그림 1. 8×8 반안망 스위치의 예
Fig. 1. Example of 8×8 banyan network switch.

입, 출력단 및 각 스테이지 SE간의 연결은 0에서 $\log_2 N$ 까지의 레벨(level)로 나타내고, 각 링크의 물리적 주소는 $\log_2 N$ 개의 비트로 표현한다. 또한, 각 SE는 0에서 $\log_2 N - 1$ 까지의 스테이지 각각 $N/2$ 개씩을 갖는다. 입력 포트 좌측의 비트열은 각 입력 포트에 도착한 셀들의 목적 주소 비트, 즉 라우팅 비트를 나타낸다. 표기에는 생략되었으나, 각 입력 포트의 주소는 십진 주소 0부터 7까지를 $\log_2 N$ 개의 비트로 표현한다.

이상의 예에서, 입력 포트 000 번지에 도착한 셀은 각 라우팅 비트에 따라 레벨 1의 000, 레벨 2의 001, 레벨 3의 011 번지 링크로의 전송을 요구한다. 그러나 이 셀은 입력 포트 100 번지에 도착하여 레벨 1의 000, 레벨 2의 000, 레벨 3의 000 번지 링크로 전송

을 요구하는 셀과 레벨 1에서 충돌하게 된다.

($i_0i_1i_2-d_0d_1d_2$)를 입력 포트 주소 $i_0i_1i_2$ 에 도착하여 출력 포트 주소 $d_0d_1d_2$ 로 향하는 셀의 입, 출력 주소쌍이라고 가정할 때, (000-011)셀은 내부 충돌 없는 전송을 위해 레벨 1의 000 번지 링크로 향하는 입력 포트 100으로 부터의 셀, 레벨 2의 001 번지 링크로 향하는 입력 포트 010, 110로 부터의 셀이 있는지 판단해야 한다.

x를 don't care condition이라고 가정할 때, (000-011) 주소쌍의 셀은 표 1에서와 같이 충돌이 발생한다.

표 1. 주소쌍 '000-011'의 스테이지별 충돌 가능 주소쌍

Table 1. Possible conflict address pairs for a given address pair '000-011' with respect to stages.

스테이지\주소쌍	(000-011)
stage 0	(100-0xx)
stage 1	(x10-01x)
stage 2	(xx1-011)

표 1에서 스테이지 0, 스테이지 1은 내부 충돌이 가능한 주소쌍을, 스테이지 2는 출력 충돌이 가능한 주소쌍을 나타낸다. 임의 주소쌍 ($i_0i_1i_2-d_0d_1d_2$)의 충돌 가능 주소쌍은 다음과 같이 구할 수 있다. $N \times N$ 반얀망의 경우, k 는 $\log_2 N$, t 는 현재의 임의의 스테이지이다.

$$C_t(i_0 \dots i_{k-1} - d_0 \dots d_{k-1}) = (X \bar{i}_t i_{t+1} \dots i_{k-1} - d_0 \dots d_t X) \quad (1)$$

여기에서 C_t 는 임의의 주소쌍 ($i_0 \dots i_{k-1} - d_0 \dots d_{k-1}$)의 t 스테이지에서의 충돌 가능 주소쌍을 나타내며, \bar{i}_t 는 i_t 의 보수, t 는 $0 \leq t < k-1$ 이다. 좌측 X 는 k 비트, 우측 X 는 $n-k-1$ 비트의 don't care condition을 의미한다.

III. 비충돌 주소 패턴 발생을 위한 NBPG

본 논문은 반얀망에서 내부 충돌을 발생하는 충돌 주소 패턴을 비충돌 주소 패턴으로 변환하는 비충돌 주소 패턴 발생기(NBPG)를 제안한다. 비충돌 주소 패턴은 충돌 테이블의 구성 및 충돌 유발 셀의 축소 단계 그리고 입력 주소 재할당 단계의 총 세 단계를 거쳐 발생한다.

1. 충돌 테이블의 구성

반얀망에서의 내부 충돌을 제거하는 전처리 망을 설계하기 위해, 우선 II장에서 설명한 임의의 주소쌍에 대한 충돌 가능 주소쌍을 이용하여 충돌 테이블을 구성해야 한다. 최초 입력단에 도착한 셀들의 충돌 여부를 판별하기 위해, 셀 각각의 충돌 가능 주소쌍을 테이블에 표시하여 이를 충돌 테이블로 정의한다. 비충돌 주소 패턴 발생을 위해선 스테이지 0에서부터 스테이지 $\log_2 N - 2$ 까지 $\log_2 N - 1$ 개의 충돌 테이블이 필요하다. 동일 목적 포트에 향하는 셀들로 인한 출력 충돌은 고려하지 않으므로, 스테이지 $\log_2 N - 1$ 의 충돌 테이블은 고려하지 않는다. 그림 2는 그림 1의 예제에 대한 스테이지별 충돌 테이블이다.

in \ out	000	001	010	011	100	101	110	111
000	1	1	1	Ⓚ	0	0	0	0
001	0	Ⓚ	0	0	1	1	1	1
010	0	0	0	0	Ⓚ	1	1	1
011	Ⓚ	0	0	0	1	1	1	1
100	1	1	Ⓚ	1	0	0	0	0
101	1	1	1	1	0	Ⓚ	0	0
110	0	0	0	0	1	1	1	Ⓚ
111	1	1	1	1	0	0	Ⓚ	0

(a)

in \ out	000	001	010	011	100	101	110	111
000	0	0	0	Ⓚ	1	1	1	1
001	1	Ⓚ	0	0	0	0	1	1
010	0	0	1	1	Ⓚ	0	0	0
011	Ⓚ	1	0	0	1	1	0	0
100	0	0	Ⓚ	0	1	1	1	1
101	1	1	0	0	0	Ⓚ	1	1
110	0	0	1	1	0	0	0	Ⓚ
111	1	1	0	0	1	1	Ⓚ	0

(b)

그림 2. 입, 출력 주소쌍에 대한 스테이지별 충돌 테이블 (a) 스테이지 0 (b) 스테이지 1

Fig. 2. Conflict table with respect to input-output address pairs. (a) stage 0 (b) stage 1

테이블 세로축은 입력 주소, 가로축은 출력 주소를 나타낸다. 1로 나타낸 곳은 각 셀의 해당 스테이지에 따른 충돌 가능 주소쌍의 위치값을, 0은 1로 표시된 나머지 영역, 즉, 충돌과 무관한 위치를 나타낸다. 동그라미로 표시된 곳은 실제 입력단에 도착한 셀들의

주소쌍 위치를 나타낸다.

그림 2(a)의 경우, 테이블 상의 입력 주소 000에 해당하는 출력 주소 000, 001, 010, 011 항목은 입력 주소 100에 도착한 셀의 주소쌍 (100-011)의 스테이지 0에서 충돌 가능 주소쌍이 (000-0xx)이므로 1로 표시된다. 그러나, 입력포트 000에 도착한 셀이 목적포트 011로의 전송을 요구하므로, (000-011)의 셀은 (100-010)의 셀과 스테이지 0에서 충돌하게 된다.

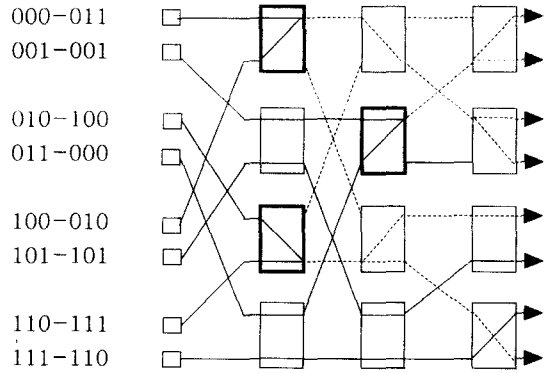
마찬가지로 그림 2(b)와 같이 스테이지 1의 경우, (001-001)의 셀과 (011-000)의 셀이 충돌한다. 이와 같이, 초기 충돌 테이블에서 충돌을 일으키는 셀들을 1차 충돌 유발 셀로 정의하며, 이러한 1차 충돌 유발 셀들은 스테이지별 충돌 테이블에서 동그라미의 위치와 1로 표시된 위치의 일치 여부에 따라 결정된다.

$N \times N$ 반양망의 경우, 입력단 셀들의 충돌 여부는 $\log_2 N - 1$ 개의 스테이지별 충돌 테이블을 오어링(ORing)한 테이블에서 확인할 수 있으며, 이 테이블은 충돌 확인 테이블로 정의 한다. 그림 3(a)는 그림 1에서 주어진 예제에 대한 충돌 확인 테이블이다.

그림 3(a)는 그림 1 예제의 입력 포트 000에서 111 까지 초기 주소 패턴 (011, 001, 100, 000, 010, 101, 111, 110) 중에서, 입력 포트 000, 001, 010, 011, 100, 110에 입력되는 011, 001, 100, 000, 010, 111로 향하는 셀들이 충돌함을 보여준다. 이들 내부 충돌의 상태를 자세히 알기 위해 그림 3(b)에 반양망 내에서의 충돌을 나타내었다. 굵은 선으로 표시된 SE는 내부 충돌이 발생하는 SE를 나타내며, 실선은 충돌 없는 셀의 전송 경로를, 점선은 충돌로 인하여 전송될 수 없는 셀들의 목적 경로를 나타내었다.

in \ out	000	001	010	011	100	101	110	111
000	1	1	1	①	1	1	1	1
001	1	①	0	0	1	1	1	1
010	0	0	1	1	①	1	1	1
011	①	1	0	0	1	1	1	1
100	1	1	①	1	1	1	1	1
101	1	1	1	1	0	①	1	1
110	0	0	1	1	1	1	1	①
111	1	1	1	1	1	1	①	0

(a)



(b)

그림 3. 8×8 반양망 스위치의 충돌 확인 테이블 및 내부 충돌

(a) 충돌 확인 테이블 (b) 내부 충돌의 예

Fig. 3. 8×8 Conflict check table in 8×8 banyan switch and internal blocking.

(a) Conflict check table (b) Examples of internal blocking

2. 충돌 유발 셀들의 최소화 및 입력 주소 재할당

이상의 과정을 통해 분류된 1차 충돌 유발 셀들은 내부 충돌을 피하기 위해, 각각의 입력 주소를 재할당 받아야 한다. 그러나, 반양망 내부의 충돌은 2×2 스위치로 구성된 각 SE에서 발생하며 각 충돌에 관여하는 두 개씩의 셀들중 한 셀은 정상 전송이 가능하므로, 1차로 분류된 충돌 유발 셀의 수는 절반으로 축소될 수 있다. 이러한 과정을 위해선, 1차 충돌유발 세로 분류된 셀들을 각각의 해당 충돌별로 분류해야 하는데, 이 분류를 위해서는 충돌이 발생하는 SE와 고정적으로 연결되어 있는 입력 포트 주소값들을 알아야 한다. 본 논문에서는 충돌이 발생한 임의의 스테이지, 임의의 SE로 셀이 전송된 최초의 입력 포트 주소에 대한 연결 가능한 모든 입력 포트 주소값들을 클래스(class)로 정의한다. 주어진 입력 포트 주소에 대한 클래스 주소는 다음과 같이 구할 수 있다.

$$Cls_t(i_0 \dots i_{k-1}) = (X \bar{i}_t i_{t+1} \dots i_{k-1}) \quad (2)$$

Cls_t 는 t 스테이지에서의 입력 주소 ($i_0 \dots i_{k-1}$)에 대한 클래스 주소 발생 함수를 나타내며, X 는 k 비트 don't care condition이며, \bar{i}_t 는 i_t 의 보수를 나타낸다.

그림 2(a)와 같이, 스테이지 0에서의 충돌 테이블에서 발생한 1차 충돌 유발 셀 (000-011)의 경우, 스

테이지 0에서의 동일 클래스는 식(2)에 따라 입력 주소 100이 되므로, 입력 주소 000의 셀과 100의 셀이 충돌함을 알 수 있다. 마찬가지로, 그림 2(b)에서 스테이지 1의 1차 충돌 유발 셀 (001-001)의 경우, 입력 주소 001의 셀에 대한 동일 클래스는 입력 주소 011, 111이 되므로 스테이지 1에서 발생한 충돌 유발 셀 중 011의 입력 주소로 입력된 셀과 충돌함을 알 수 있다.

이상과 같이 충돌 별로 분류된 셀들은 한 셀은 정상적으로 전송하고, 다른 한 셀은 2차 충돌 유발 셀로 결정된다. 2차 충돌 유발 셀로 분류된 셀들은 정상적인 전송이 가능한 다른 셀들과 충돌하지 않도록 새로운 입력 포트를 재할당 받아야 한다. 스테이지별 2차 충돌 유발셀을 제외한 충돌 확인 테이블은 그림 4와 같다.

in \ out	000	001	010	011	100	101	110	111
000	0	0	0	ⓐ	0	0	1	1
001	0	ⓑ	0	0	1	1	1	1
010	0	0	1	1	1	1	1	1
011	1	1	0	0	1	1	1	1
100	1	1	1	1	0	0	1	1
101	1	1	1	1	0	ⓓ	1	1
110	0	0	1	1	0	0	0	ⓔ
111	1	1	0	0	1	1	ⓖ	0

그림 4. 충돌 유발 셀이 제거된 충돌 확인 테이블
Fig. 4. Conflict check table without conflict intended cells.

마지막으로, 이상의 과정에서 결정된 2차 충돌 유발 셀은 충돌 없는 전송을 위해 입력 포트를 재할당 받아야 한다. 이들 셀들이 할당받을 수 있는 입력 포트로는 셀이 도착하지 않은 포트와 충돌 유발 셀로 분류되어 셀이 추출된 입력 포트로서, 본 논문에서는 이들 포트를 유효 입력 주소로 정의한다. 또한, 테이블 상에 나타난 바와 같이 재할당되는 입력 포트 주소가 현재 정상적인 전송이 가능한 다른 셀들과 충돌하지 않기 위해선 0으로 표시된 입력 포트 주소로 입력되어야 하므로, 본 논문에서는 이러한 포트를 가능 입력 주소로 정의한다.

표 2. 입력 포트 주소 재할당
Table 2. Reallocation of input port addresses.

		제어 대상 셀		
목적 주소		000	010	100
클래스	stage 0	100	110	000
	stage 1	010, 110	000, 100	010, 110
유효 입력 주소		010, 011, 100	010, 011, 100	010, 011, 100
가능 입력 주소		000, 001, 010, 110	000, 001, 011, 111	000, 100, 101, 110

2차 충돌 유발 셀들의 새로운 입력 포트는 유효 입력 주소중 가능 입력 주소에 해당하는 입력 주소만이 할당될 수 있다. 예를 들어, 초기 입력 포트 111로 진 입하여 2차 충돌 유발셀로 분류되어 저장된 출력 포트 000으로 향하는 셀의 경우, 표2와 같이 유효 입력 주소로 010, 011, 100, 가능 입력 포트 주소로 000, 001, 010, 110을 가지고 있으나, 유효 입력 주소이면서 가능 입력 포트 주소인 입력 포트는 010 하나를 가진다. 본 논문에서는 이러한 입력 주소를 공통 입력 포트 주소로 정의한다. 마찬가지로, 010 출력 포트 주소로 향하는 셀은 011의 공통 입력 포트 주소로, 100 출력 포트 주소로 향하는 셀은 100의 공통 입력 포트 주소를 갖는다. 따라서, 이들 각각의 공통 입력 포트 주소는 저장 셀들의 입력 주소로 재할당 된다.

만일, 다수개의 공통 입력 포트 주소를 갖는 경우엔 소수의 공통 입력 포트를 갖는 셀에게 우선적으로 입력 포트 주소를 할당하며, 할당 후에 할당된 해당 입력 포트 주소는 유효 입력 주소 목록에서 제외하여, 다른 셀들의 입력 주소로 재 할당될 수 없도록 해야 한다.

이상의 결과에 따라, NBPG는 초기 주소 패턴 (011, 001, 100, 000, 010, 101, 111, 110)을 입력 받아 비충돌 주소 패턴 (011, 001, 000, 010, 100, 101, 111, 110)을 발생시킨다. 재할당후의 반안망내 연결상 태는 그림 5와 같다. 그림 3(b)에서 발생했던 모든 내부 충돌은 충돌 유발 셀들의 입력 포트 주소를 재 할당함으로써 모두 해소되었음을 보여준다. 반안망은 Self-routing의 고유 특성을 가지고 있으므로, 새로운 목적 포트를 재 할당받은 2차 충돌 유발 셀들은 라우팅 태그에 따라, 충돌없이 최종 목적 포트까지 전송이 가능하다.

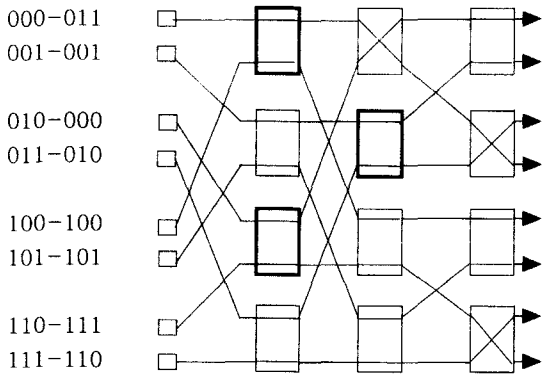


그림 5. 내부 충돌이 해결된 반얀망에서의 내부연결
Fig. 5. Internal connections of banyan network after resolving internal conflicts.

NBPG의 비충돌 주소 패턴 발생 과정은 다음의 단계로 정리할 수 있다.

- 단계 1:
입력단에 도달한 셀들의 주소쌍에 대한 스테이지별 충돌 테이블을 구성한다.
식(1)에 의해 발생하는 충돌 가능 주소쌍은 '1'로 표시하고, 나머지 충돌과 무관한 곳은 '0'으로 표시한다. 충돌 가능 주소쌍 발생의 대상 주소쌍, 즉 실제 셀이 도착한 입력 포트의 구분은 동그라미로 표시한다.
- 단계 2:
1차 충돌 유발 셀을 분류한다.
테이블 상에서 동그라미 부분과 '1'로 표기된 부분의 일치여부를 판별하여, 일치된 주소쌍, 즉 '①'로 표시된 부분을 충돌 가능 주소쌍으로 분류한다.
- 단계 3:
충돌 유발 셀의 축약을 위한 2차 충돌 유발 셀을 분류한다.
식(2)에 따라, 1차 충돌 유발 셀들중 서로 해당 충돌에 직접 관련된 충돌 유발 셀들을 두 개씩 묶어, 이중 한 셀은 정상 전송을, 다른 한 셀은 2차 충돌 유발 셀로 분류한다.
- 단계 4:
이상의 단계들을 최종 스테이지의 전단, 즉 스테이지 $\log_2 N - 2$ 까지 반복한다.
- 단계 5:
2차 충돌 유발 셀의 입력 포트를 재 할당한다.
해당 충돌 유발 셀의 공통 입력 포트 주소를 새로운 입력 포트 주소로 할당한다.
- 단계 6: 비충돌 주소 패턴을 완성한다.

IV. 실험 결과 및 고찰

제안하는 NBPG는 그림 6과 구성할 수 있다. 입력단에 도달한 셀들의 최초 입력 포트 주소 변경을 위해 N 개의 $1 \times N$ 디멀티플렉서(demultiplexer)가 요구되며, 디멀티플렉서의 반얀망 스위치 입력 주소 결정을 위한 NBPG 제어기(controller)가 필요하다. 제어기는 충돌 테이블 구성을 위한 $N \times N$ 비트 RAM, 충돌 가능 주소쌍 발생을 위한 로직으로 구성할 수 있다. 2차 충돌 유발 셀의 저장은 별도의 버퍼를 마련하거나, 비충돌 패턴 발생을 위한 NBPG 입력단의 버퍼만으로도 구현 가능하다. 반얀망 입력 포트 선택 라인은 각 디멀티플렉서로 주소 정보를 전달하여, NBPG 입력단의 셀들을 반얀망 입력단의 적절한 주소로 전송될 수 있도록 한다.

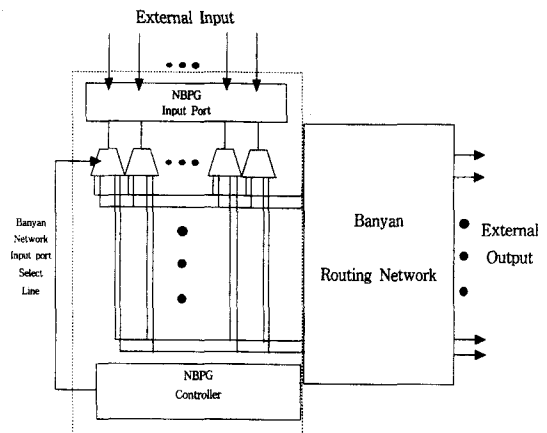


그림 6. NBPG가 부가된 8x8 반얀망 스위치
Fig. 6. NBPG attached 8x8 banyan network switch.

배치망의 경우, 정렬을 위해 각 스테이지 $N/2$ 의 2×2 Comparator SE(Sorting Element)로 구성된 총 $\log_2 N(\log_2 N + 1)/2$ 스테이지를 요구하는데 반해, 제안하는 방식은 소수의 소자만으로 구현이 가능하다.

제안한 NBPG의 성능 분석을 위한 시뮬레이션은 C언어로 구현하였다. 스위치의 입, 출력 포트 수를 점차 늘려 증가에 따른 각 파라미터의 변화를 고찰하였다. 제안한 NBPG의 성능 평가를 위한 시뮬레이션 환경과 가정, 정의는 다음과 같다.

- 동일 출력 포트에 향하는 셀들을 제외한 나머지

셀들은 유효셀로 정의한다.

- NBPG는 목적 포트가 서로 다른 셀들의 비충돌 주소 패턴만을 발생하므로, 동일 목적지로 향하는 셀들은 그중 한 셀만을 선택후 나머지 셀은 빈셀로 처리하여 시뮬레이션 하였다.
- 입력단 셀의 발생은 임의의 목적 포트 발생 확률이 1/N로 균일 분포를 갖도록 하였다.
- 입력단 셀 발생의 부하는 최대값인 1.0으로 고정하여, 가장 혼잡한 상태에서의 스위치 성능을 평가할 수 있도록 하였고, 포트당 셀의 발생은 10⁵ 개로 하였다.
- 성능 분석을 위해, 충돌 유발 셀의 평균 발생률, 입력 포트를 재할당 받아야 할 평균 셀의 개수, 전송당 평균 유효 입력의 개수, 2차 충돌 유발 셀당 평균 가능 입력 주소의 개수를 조사하였다.
- 입력단의 모든 셀들은 NBPG 프로세스 시간동안 입력 버퍼에 저장되며, 비충돌 주소 패턴을 구성후, 모든 입력단에서 동시에 전송되는 것으로 가정한다.

시뮬레이션을 위해 발생한 입력단 셀의 특성은 그림 7과 같다.

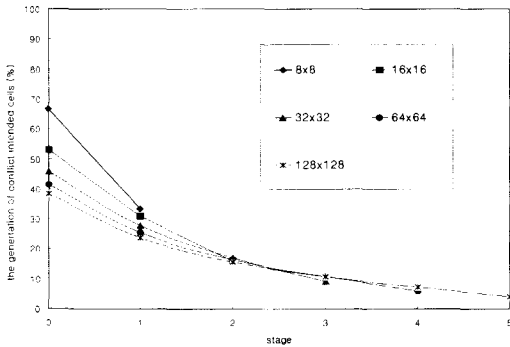


그림 7. 스테이지 증가에 따른 충돌 유발 셀 발생 빈도
Fig. 7. Conflict intended cell versus stage.

유효 셀 내에서 발생된 총 충돌 유발 셀에 대한 스테이지별 충돌 유발 셀의 비를 백분율로 나타내었다. 그림에서와 같이, 충돌 유발셀은 상위 스테이지에 비해 하위 스테이지에서 높은 빈도로 발생함을 알 수 있다. 그러므로, 제안하는 NBPG의 충돌 테이블 구성 및 충돌 유발셀 축소 과정에 소요되는 프로세스 시간 역시, 하위 스테이지에서 보다 많은 시간을 필요로 한다. 입, 출력 포트 수 증가에 따른 유효 셀 내에서

의 충돌 유발 셀 발생률은 그림 8과 같다.

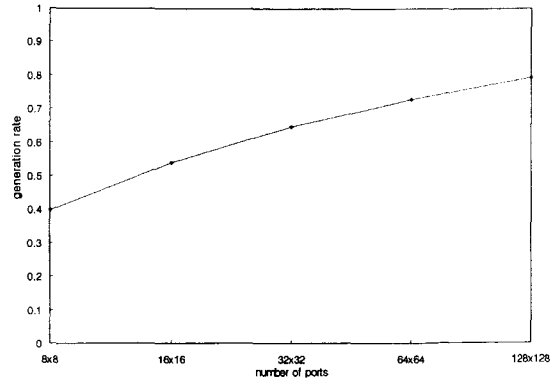


그림 8. 입, 출력 포트 수 증가에 따른 충돌 유발셀 발생률
Fig. 8. Generation rate of conflict intended cell versus input/output ports.

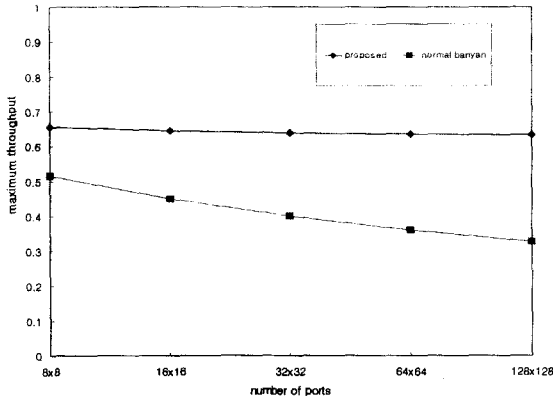
그림 8에서와 같이, 충돌 유발셀의 발생율은 포트수 증가에 비례하여 증가한다. 총 세 단계로 구분되는 NBPG의 패턴 발생은 입, 출력 포트수의 증가에 따라 비충돌 주소 패턴 발생에 소요되는 시간도 비례하여 증가하였다. 이런 특성을 갖는 입력단 셀들의 비충돌 주소 패턴 발생후의 성능은 최대 스루풋으로 평가했으며, 그 식은 다음과 같다.

(부하 1.0)

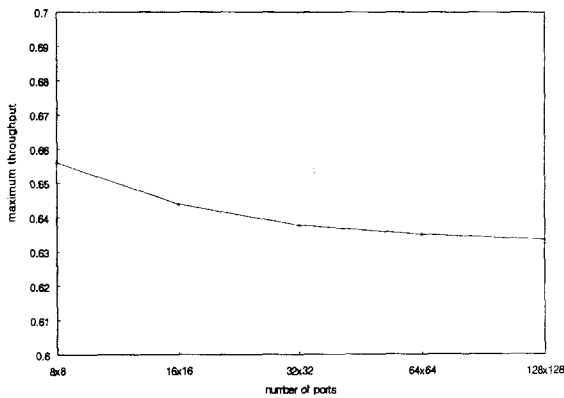
최대 스루풋 = 반얀망 스위치 출력단에 도달한 셀의 수 / 총 발생한 셀의 수

(3)

제안한 방식의 객관적인 비교 평가를 위하여, 초기 발생한 셀들은 퍼뮤테이션(permutation) 패턴이 아닌, 발생 확률이 1/N으로 균일하도록 하여, 일반 반얀망과 비교하였다. 그림 9(a)는 일반 반얀망 스위치와 NBPG를 부가한 반얀망의 최대 스루풋을 비교한 것으로서, NBPG를 부가한 8x8 반얀망의 경우, 일반 반얀망에 비해 최대 스루풋을 약 27% 향상 시켰으며, 128x128 반얀망의 경우, 약 94% 향상 시켰다. 이 결과에 따라, NBPG를 부가할 경우, 반얀망은 포트수가 증가하더라도 최대 스루풋을 일정한 범위 이내로 고정시킬 수 있음을 알 수 있었다. 또한, 그림 9(b)는 NBPG를 부가한 반얀망의 최대 스루풋을 0.6과 0.7 범위에서 나타낸 것으로, 포트수가 증가함에 따라 점차 안정된 최대 스루풋을 갖는 것을 알 수 있다.



(a)



(b)

그림 9. 최대 스루풋

(a) NBPG를 적용한 반얀망과 일반 반얀망과의 스루풋 비교 (b) NBPG를 적용한 반얀망의 최대 스루풋

Fig. 9. Maximum throughput.

(a) Throughput comparison between NBPG banyan network and normal banyan network (b) Maximum throughput of NBPG banyan network.

퍼뮤테이션 입력 패턴의 경우, 100% 충돌 없는 전송이 가능한데 비해, 그림 9와 같이 발생 확률이 균일한 입력 셀 패턴에 대해 스루풋이 저하된 것은, 발생 확률이 균일한 경우의 입력 패턴의 경우에 있어서도 동일 목적 포트로 향하는 중복 셀들이 존재하기 때문이며, 이러한 특성을 분석하기 위해 시뮬레이션에서 발생한 셀들중에서의 중복 셀 발생률을 조사하였다. 그림 10은 동일 목적지로 향하는 중복 셀들의 발생률이다.

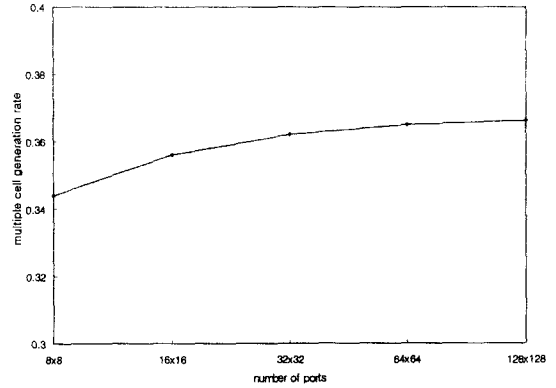


그림 10. 동일 목적지로 향하는 중복 셀 발생률

Fig. 10. Same destination ports forwarded cell generation rate.

그림 10에서와 같이 그림 9(b)의 결과는 초기에 발생한 셀들 중에 포함된 중복 셀 발생으로 인해 저하됐음을 알 수 있었으며, 중복 셀을 제거한 셀들의 최대 스루풋 분석결과, NBPG를 적용한 반얀망의 경우 100% 충돌없는 셀 전송에 성공했음을 확인할 수 있었다.

이상의 시뮬레이션 결과 및 분석 결과, 제안한 NBPG는 충돌 유발 셀이 포함되어 있는 초기 주소 패턴을 충돌 유발 셀이 제거된 비충돌 주소 패턴으로 발생하는, 전처리 망으로서의 기능을 완벽히 수행했음을 알 수 있었다. 표 3은 이상의 시뮬레이션에서 발생한 결과로서, 평균 2차 충돌 유발 셀 발생률 및 저장 셀당 평균 유효 입력 주소의 수, 평균 가능 입력 주소의 수를 나타내었다. 128x128 반얀망의 경우, NBPG의 비충돌 주소 패턴 발생을 위해 약 79개의 2차 충돌 유발 셀이 입력 포트를 재할당 받아야하며, 이 경우 평균 약 19개의 유효 입력 주소 및 약 33개의 가능 입력 주소가 발생함을 알 수 있었다.

표 3. 시뮬레이션 결과

Table 3. Simulation result.

평균/입출력 포트 수	8x8	16x16	32x32	64x64	128x128
제어 대상 셀의 수	1.047130	2.804610	6.701600	38.134750	78.905690
유효 입력 주소의 수	1.867029	3.275536	5.846396	10.402610	18.533577
가능 입력 주소의 수	3.794220	9.475410	18.193100	15.090370	32.925650

배치망의 경우 포트수 증가에 따른 하드웨어 확장이 간단한 반면, 비교기로 구성된 다수의 SE를 필요로 하는 데에 반해, 제안하는 NBPG의 경우, 테이블 구성에 따른 N^2 비트의 RAM 및 N 개의 디멀티플렉서, 그리고 표 3의 시뮬레이션 결과 테이블에 따라 128×128 스위치의 경우, 약 79개의 2차 충돌 유발 셀을 처리하면 되므로, 충돌 가능 주소쌍 발생 로직의 설계 여부에 따라, 1792개의 SE(Sorting Element)를 요구하는 배치망에 비해 적은 규모로 구현할 수 있다. 비충돌 패턴 발생을 위한 프로세스 시간 역시, NBPG 구조의 병렬화 등의 설계 기법을 통해, 내부 처리 속도를 증가시킬 수 있다.

V. 결론 및 향후 연구 과제

본 논문에서는 테이블을 이용하여 발생 확률이 $1/N$ 로 균일한 입력단의 셀들을 비충돌 주소 패턴으로 발생시키는 NBPG를 제안하였다. 입력단에 셀들의 입, 출력 주소쌍을 이용 하여 충돌 가능 주소쌍을 발생시켰으며, 이를 이용하여 충돌/비충돌 셀들을 구분하였다. 충돌을 유발하는 셀들은 정상적인 전송이 가능한 셀들과 충돌 없는 전송을 가능하게 하기 위하여, 테이블을 이용, 충돌이 없는 새로운 입력 주소를 재할당하여 모든 셀들이 충돌없이 전송될 수 있도록 하였다.

제안하는 NBPG의 구현을 위한 모델을 제시하였으며, 기존의 배치망과 하드웨어의 크기를 개략적으로 비교하였다. 시뮬레이션 결과, NBPG를 적용한 경우 반안망은 일정한 범위의 스루풋을 유지함을 알 수 있었으며, 퍼뮤테이션 패턴의 입력 셀의 경우, 충돌없는

완전한 전송이 가능하였으며, 발생 확률이 $1/N$ 로 분포된 입력 셀의 경우 반안망의 최대 스루풋을 크게 향상 시켰다.

향후 연구 과제로는 NBPG에서 고려하지 않았던 중복 셀들에 대한 분석 및 이들 셀들을 처리하기 위한 개선된 NBPG를 설계하는 것이며, 현재는 NBPG의 최적의 하드웨어 구현을 연구중에 있다.

※ 이 연구는 한국학술진흥재단 1998년도 대학 부설 연구소 과제 지원금에 의하여 수행되었음.

참 고 문 헌

- [1] Chen, Thomas M. and Stephen S. Liu, "ATM Switching Systems," *Artech House Incorporated*, Chap. 5-10, pp. 81-233, 1995.
- [2] K. E. Batcher, "Sorting networks and their application," *Proc. AFIPS Spring Joint Comp. Conf.*, pp. 307-314, 1968.
- [3] Young Man Kim and Kyungsook Y. Lee, "PR-Banyan: A Packet Switch with a Pseudorandomizer for Nonuniform Traffic," *IEEE Trans. Commun.*, Vol. 41, No. 7, July, 1993.
- [4] James N. Giacomelli *et al.*, "Sunshine: A High-Performance Self-Routing Broadband Packet Switch Architecture," *IEEE J. Select. Areas. Commun.*, Vol. 9, No. 8, Oct., 1991.
- [5] Huang A. and S. Knauer, "Starlit: A Wideband Digital Switch," *GLOBECOM'84*, pp. 121-125 Atlanta, Dec., 1984.

저 자 소 개

李周榮(正會員) 第34卷 S編 第8號 參照

鄭在—(正會員)

1959년 1월 14일생. 1981년 2월 한양대학교 전자공학과(공학사). 1984년 2월 한국과학기술원 전기 및 전자공학과(공학석사). 1993년 프랑스 국립 전기통신 대학교(ENST) 네트워크 공학과(공학박사). 1984-1997 한국통신 통신망 연구소 선임연구원 및 팀장. 1993 프랑스 국립 전기통신 연구소(CNET) 연구원. 현재 한양대학교 전자통신공학과 조교수. 주관심분야는 통신망, QoS관리, 트래픽제어, Wireless ATM등임.