

論文98-35S-12-1

10Gb/s FPLL 방식 클럭/데이터 재생회로 설계 및 제작

(Design and Fabrication of 10Gb/s FPLL Clock and Data Regeneration Circuit)

宋宰昊*, 兪泰暎*, 朴昌洙*

(Jae Ho Song, Tae Hwan Yoo, and Chang Soo Park)

요 약

본 논문에서는 10Gb/s 클럭/데이터 재생회로의 설계와 제작된 특성에 대해 기술한다. 회로는 알루미나 기판 위에 고속 IC와 초고주파 회로를 이용하여 구현하였다. 주파수와 위상 잠금(frequency and phase locked loop) 을 위해 quadri-correlation 방법을 이용하였다. 주파수 잠금 범위는 150MHz 였으며 발생된 rms 지터는 1.0ps 이하였다. 이러한 클럭/데이터 재생회로를 10Gb/s광수신기에 적용하여 동작특성을 확인할 수 있었다.

Abstract

In this work we designed and characterized a 10Gb/s clock and data regeneration circuit. The circuit was realized by integrating high-speed ICs and microwave circuits on alumina substrates. The quadri-correlation method was used for frequency and phase-locked loop. The frequency locking range was 150MHz and the rms jitter generated by the circuit was measured to be less than 1.0ps. The clock and data regeneration circuit was successfully applied to 10Gb/s optical receiver.

I. 서 론

최근 통신 서비스 시장의 수요가 다변화, 대형화함에 따라 광통신 시스템의 전송용량에 대한 요구도 급속히 증가하고 있다. 국내에서는 1980년대에 90Mb/s 비동기식(PDH) 시스템의 상용화로 광통신 시스템의 시대를 연 이후, 현재 2.5Gb/s 동기식(SDH) 시스템이 상용서비스에 적용되고 있으며, 10Gb/s SDH 시스템이 개발 완료 단계에 와 있다. 또한 2.5Gb/s x 8 채널 (20Gb/s) 및 10Gb/s x 16 채널 (160Gb/s) WDM 시스템 등이 연구 개발 중에 있다.

이처럼 전송속도가 높아질수록 시스템 구성에서 가장 문제가 되는 부분은 고속 전자소자 부분인데, 그중에서도 클럭/데이터 재생회로는 구현이 매우 어려워 세계적으로 10Gb/s 의 속도에서 상용화된 제품이 아주 드물다. 본 논문에서는 이러한 10Gb/s 에서 동작하는 클럭/데이터 재생회로를 하이브리드 IC와 초고주파 회로를 이용하여 설계 제작하여 그 특성을 살펴보았다.

광수신기에서 데이터-클럭 재생회로는 광검출기, 전치증폭기, 리미팅증폭기를 거쳐 수신된 데이터 신호로부터 클럭을 추출하고 추출된 클럭으로 데이터를 판별하여 원래의 데이터를 깨끗하게 재생하는 기능을 한다. 클럭 추출 방법에 따라 크게 두 가지로 분류되는데 하나는 유전체공진기 및 SAW 필터 등의 수동 협대역 필터를 사용하는 회로이고^[1-2], 다른 하나는 PLL (Phase Locked Loop) 을 이용한 능동 협대역 필터를 사용하는 회로이다^[3-10]. 수동 협대역 필터를 이용

* 正會員, 韓國電子通信研究院 광대역전송연구부
(Transmission Technology Department
Electronics and Telecommunications Research
Institute)

接受日字: 1998年9月1日, 수정완료일: 1998年11月18日

하는 방법은 제작이 간단하다는 장점이 있으나 입력 신호 및 환경 변화에 따른 성능의 변화가 있다는 단점이 있다. 반면에 PLL을 이용한 클럭 추출 방법은 회로가 복잡하다는 단점이 있지만, 소형화, 자동 위상정렬, 온도변화에 따른 동작 안정성 등의 장점이 있어 상용화 시스템에 적합하다.

이와 같이 여러 장점이 있는 PLL 방식은 VCO의 초기 주파수와 전송 클럭의 주파수 차가 PLL의 포획 주파수를 벗어나는 경우에는 PLL 동작이 이루어지지 않는 문제가 있다. 따라서, VCO의 조정 전압이 주파수 차에 비례하면서 직접 변할 수 있는 주파수 변환 회로(frequency locked loop:FLL)를 별도로 구성하여 동작초기에 주파수 차를 줄이는 기능이 필요하다.

본 논문에서 설계된 클럭추출회로는 FLL과 PLL이 순차적으로 동작하는 회로를 구성하여 초기 주파수 차이가 큰 경우에도 VCO가 전송 클럭에 동기화될 수 있도록 하였다. 이를 구현하는 방법은 디지털 회로를 이용한 bang-bang 방식^[3], sample/hold 방식^[4], rotation detection 방식^[5], 아날로그 회로를 이용한 quadri-correlator 방식^[6], injection-locking 방식^[7], delay-loop 방식^[8] 등이 있다. 본 설계에서는 Cordell에 의해 50MHz 클럭 재생 회로가 처음 구현되었고 2.5Gb/s에 적용되어 시스템에 성공적으로 사용되고 있는 quadri-correlator 방법을 이용하였다^[9,10]. 특히, 이 방식은 현재 상용화 되어있는 개별 고속 IC를 이용해서 회로를 구성할 수 있다는 장점이 있다.

II. 설계 및 제작

그림 1은 데이터-클럭 재생회로의 블록도를 나타낸 것으로 10Gb/s의 고속신호를 처리하기 위해 하이브리드 집적회로(hybrid integrated circuit)로 구현된 초고속회로부와, FPLL의 루프 필터가 구현된 저속 회로부로 구성된다. 고속 회로부는 입력부, 판별회로, 클럭 발생회로, 10GHz 믹서, VCO 및 전력분배회로, 변위기 등의 여섯 부분으로 구성되고 믹서를 제외한 나머지 회로들은 각각 알루미늄 기판 위에 박막 HIC 공정으로 회로를 구현하였다. 그리고 FPLL 루프 필터는 일반 PCB인 FR-4를 이용하여 회로를 구현하였다.

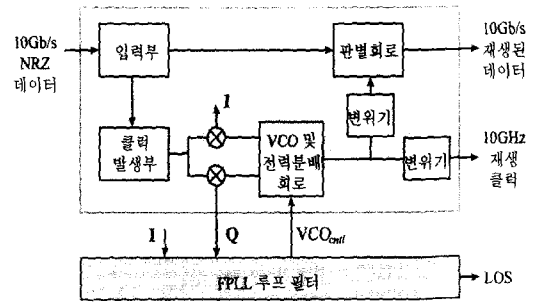


그림 1. 10Gb/s 클럭/데이터 재생 회로 블록도
Fig. 1. Block diagram of 10Gb/s clock and data regeneration circuit.

1. FPLL 설계

그림 2는 quadri-correlator 방식으로 구현된 FPLL 회로의 구성도이다. VCO의 출력 신호는 위상이 같은 I-(In phase) 신호와, 위상을 90° 지연시켜 만든 Q-(Quadrature) 신호로 분리된다. I-신호를 사용한 루프는 PLL을 구성하고 Q-신호를 사용한 루프는 FLL회로를 구성한다. Q-신호 루프에서 위상 검출기 출력 신호는 미분된 후 PLL 신호와 곱해져 입력신호 V_{in} 과 VCO의 출력신호의 주파수 차이에 비례하는 DC 신호를 출력한다. 이 DC신호는 적분기에 입력되어 주파수가 일치하도록 하였다. 주파수가 일치된 후에는 PLL 신호만이 동작하도록 스위치를 사용하여 FLL 신호가 궤한 루프에서 절체되도록 하였다. 그리고 입력에 데이터가 들어오지 않는 경우에는 신호의 손실을 표시하는 LOS 경보를 발생하도록 하였다.

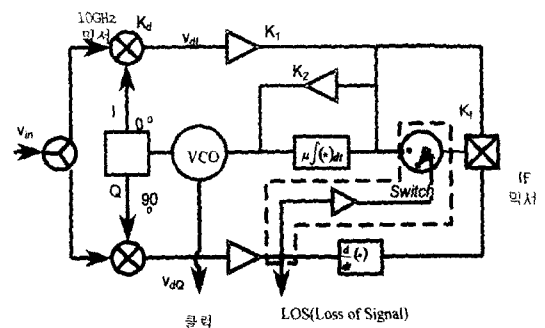


그림 2. 10GHz FPLL 클럭 추출 회로 블록도
Fig. 2. Block diagram of 10GHz FPLL clock recovery circuit.

먼저 PLL 구성을 살펴보면 K_d 의 이득을 갖는 위상검출기, K_1 , K_2 의 이득을 갖는 OP-AMP, 적분기, 그리고 K_o 의 이득을 갖는 VCO로 구성된다. 이러한 방법으로 구성된 PLL의 개방 루프 (open loop) 이득은 다음과 같이 얻어진다.

$$G(s) = K_d K_1 (K_2 + \frac{\mu}{s}) \frac{K_o}{s} \quad (1)$$

위 식에서 μ 는 적분상수를 나타낸다. PLL에서 입력 위상신호에 대한 출력 위상 신호의 비를 나타내는 폐쇄루프 (closed loop) 전달함수 $H(s)$ 는 식(1)로부터 다음과 같이 정리된다.

$$H(s) \equiv \frac{\theta_o}{\theta_i} = \frac{G(s)}{1+G(s)} = K \frac{S + \omega_2}{s^2 + Ks + K\omega_2} \quad (2)$$

$$K \equiv K_d K_1 K_2 K_o, \quad \omega_2 \equiv \mu K_2$$

폐쇄루프 전달함수는 곧 입력 위상 잡음 θ_i 에 대한 출력 위상 잡음 θ_o 의 비를 나타내므로 PLL로 구성된 클럭 추출 회로의 지터 전달 함수를 의미한다. 지터 전달 함수는 3dB 대역폭, roll-off 특성, 첨두치 (peak value) 등으로 그 특성이 규정된다. 국제 표준화 기구인 ITU-T에서는 전송시스템의 중계장치에 대한 지터 전달 함수의 특성을 규정^[11]하고 있으며, 현재 2.5Gb/s까지의 광전송 장치에 대한 권고 사항은 결정되어 있으나 10Gb/s 장치에 대해서는 아직 결정되어 있지 않다. 따라서 설계한 클럭/데이터 재생회로는 2.5Gb/s의 규정을 연장하여 지터 전달 함수의 3dB 대역폭은 8MHz, roll-off는 20dB/dec, 그리고 첨두치(peak value)는 0.1dB로 설계하였다. 식(2)로부터 지터 전달 함수의 3dB 대역폭과 첨두치는 다음과 같이 유도된다.

$$\omega_{3dB} \approx K \quad (3)$$

$$H_p \approx 1 + \frac{\omega_2}{K} \quad (4)$$

따라서 3dB 대역폭, 첨두치에 대한 잠정적인 요구 사항을 식(3), 식(4)에 적용하여

$$K = 8MHz, \quad \omega_2 \approx 0.01K \quad (5)$$

의 설계 조건을 도출할 수 있다. -20dB roll-off 특성은 식(2)에서 알 수 있듯이 사용된 루프 필터에 의한 지터 전달 함수가 2차 저대역 통과 필터이므로 자동적으로 만족된다.

다음은 데이터가 처음으로 수신되기 시작할 때 전송 클럭 주파수와 클럭/데이터 재생회로 내부의 VCO 주파수가 일치하도록 하는 FLL 동작에 대해 기술한다. 그림 2에서 RF 믹서의 출력신호는 V_{dq} 신호를 미분한 후 V_{dr} 신호와 곱해서 주파수 차에 비례하는 신호를 얻는다. 이와같은 기능을 갖는 회로를 PLL의 위상검출기에 대비해서 주파수 검출기라고 할 때, 주파수 검출기 이득은 다음과 같이 표현할 수 있다.

$$K_f = K_{f0} \frac{\omega_p}{s + \omega_p} \quad (6)$$

위 식에서 ω_p 는 RF 믹서 내부에 구성된 저대역 통과 필터의 차단 주파수이다. 주파수 검출기의 출력은 적분기로 적분된 후 VCO의 주파수 조정전압으로 인가된다. 이때 적분기는 PLL과 같이 공유하여 FLL 동작에서 PLL 동작으로 이동될 때 적분기에 축적된 전하량의 변화가 점진적으로 일어나도록 한다. 이러한 방법으로 구성된 FLL의 개방 루프 (open loop) 이득은 다음과 같이 얻어진다.

$$G_f(s) = K_f \frac{\mu}{s} K_o \quad (7)$$

따라서, 입력 주파수 변동에 대한 출력 주파수 변동의 비를 나타내는 주파수 전달함수는 다음식으로 표현된다.

$$H_f(s) = \frac{K_{f0} \mu K_o \omega_p}{s^2 + \omega_p s + K_{f0} \mu K_o \omega_p} \quad (8)$$

동작초기에 전송 클럭과 VCO의 주파수 차가 f_{diff} 인 경우 FLL에 의한 주파수 차의 과도응답은 식(7)로부터 다음과 같이 얻어진다.

$$\Delta f(t) = \begin{cases} f_{diff} e^{-\frac{\omega_p t}{2}} \cos \sqrt{K_{f0} \mu K_o \omega_p - (\omega_p / 2)^2} t, & \omega_p \leq 2K_{f0} \mu K_o \\ f_{diff} e^{-\frac{\omega_p t}{2}} (1 - \sqrt{1 - 4K_{f0} \mu K_o / \omega_p^2}), & \omega_p > 2K_{f0} \mu K_o \end{cases} \quad (9)$$

따라서 FLL의 대역폭이 RF 믹서의 저대역 통과 필터로 제한되는 회로에서 FLL의 응답시간정수는 식(9)의 첫번째 식으로부터 FLL의 응답 시간 정수 $\tau_f = 2/\omega_p$ 로 유도된다. 저대역 통과 필터의 대역폭이 적을수록 FLL의 잠김 시간이 길어짐을 알 수 있다. PLL의 대역폭인 8MHz로 저대역 통과 필터의 차단 주파수를 설계하였을 경우, 시간정수는 40ns이고 초기 주파수 차가 100MHz이면 PLL의 잠김범위인 8MHz로 주파수가 감소하는데 걸리는 시간은 100ns

로 계산된다.

만약, 저대역 통과 필터 차단주파수보다 $2K_{fo}K_o$ 의 값이 작을 때에는 FLL 의 응답 시간 정수는 $\tau_f = 1/K_{fo}K_o$ 로 유도된다. FLL 의 주파수 잠김범위 (locking range) 은 식(8)로는 판단할 수 없다. 실제의 경우는 주파수 검출기를 구성하는 회로의 대역폭에 의해서 FLL 의 주파수 포획 영역이 제한된다. 즉, 주파수 차가 증가함에 따라 식(8)의 K_{fo} 가 감소하여 응답시간이 증가하고, 결국 주파수 차가 한계치 이상인 경우에는 주파수 검출기 출력이 잡음 준위 이하로 감소하여 FLL 동작이 이루어질 수 없게 된다. 따라서, FLL 에 의한 주파수 포획영역은 동작 대역폭이 넓은 주파수 검출기를 사용함으로써 증가시킬 수 있는데 본 설계에서는 대역폭이 200MHz 이상이 되도록 하여 150MHz 이상에서 주파수 잠김이 일어나도록 하였다.

2. 고속회로부 설계

고속 회로부는 10GHz 속도에서 동작하는 회로들로 이루어졌으며 개별 고속 IC 를 사용하고 알루미늄 기판 위에 초고주파 회로를 설계하여 구현하였다. 그림 1의 고속 회로부에 대한 상세 설명은 다음과 같다.

입력부

그림 1에서와 같이 수신된 데이터는 입력부에서 둘로 나뉘어져 하나는 판별회로에 공급되고 다른 하나는 클럭 추출을 위해 사용되어진다. 입력회로의 특성으로는 입력 신호의 크기에 상관없이 일정한 신호를 출력해야 하며 입력 신호에 대한 수신감도가 좋아야 한다. 본 설계에서는 상용 IC를 사용하여 200mV 이상의 입력 신호에서 동작하여 900mV 크기를 갖는 두 신호를 출력하게 하였다.

클럭발생부

클럭발생부는 입력부에서 얻어진 10Gb/s NRZ (Non-Return to Zero) 데이터 신호로부터 10GHz 클럭 신호를 발생시키는 기능을 한다. 클럭 신호는 NRZ 데이터 신호의 천이(transition) 영역마다 양방향 펄스를 발생하여 만들어진 PRZ(Pseudo Return to Zero) 신호로부터 얻는다. 이러한 NRZ-to-PRZ 신호변환을 위해서는 NRZ 데이터 신호를 미분하고 미분된 신호를 전파정류하는 과정이 필요하다. 본 설계에서는 랑게 결합기 (Lange coupler) 와 브리지 다이오드를 사용하여 특별히 고안된 NRZ-to-PRZ 신호

변환 회로를 사용하였다^[12]. PRZ 로 변환된 신호는 저잡음 증폭기에 의해 증폭되고 협대역 증폭기에 의해 잡음이 제거된 후 6dB 전력 분배기로 두개의 동일한 신호로 분리되어 다음 단의 믹서에 연결된다(그림 3).

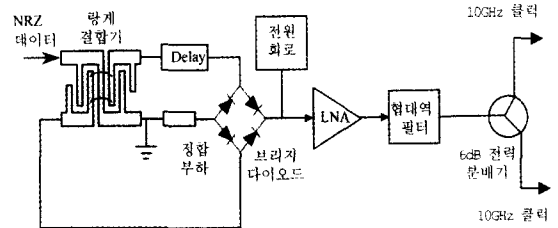


그림 3. 10GHz 클럭 발생 회로 블록도

Fig. 3. Circuit diagram of 10GHz clock generator circuit.

PRZ 신호에는 클럭 성분의 주파수 성분 이외에도 데이터의 무작위성에 의해 발생한 연속 스펙트럼이 포함된다. 이 연속 스펙트럼은 클럭 추출 과정에서 잡음으로 작용하여 클럭 성분의 크기가 작을 때는 연속 스펙트럼에 의한 잡음의 총 전력이 클럭 성분의 전력보다 커서 FPLL 의 초기 동작인 FLL 이 이루어 지지 않을 수도 있다. 따라서 10GHz 를 중심으로 일정 대역의 스펙트럼만을 통과시켜 잡음의 전력을 감소시켜 주파수 잠김이 용이하게 이루어지게 하였다. 본 설계에서는 3dB 대역폭이 0.9GHz 가 되도록 선형 마이크로 스크립 공진 필터를 설계하였다.

VCO 회로

VCO 회로는 클럭 추출회로에서 발생한 주파수 조정 전압을 인가 받아 데이터 전송속도와 같은 클럭 신호를 출력한다. 출력된 신호는 신호 분배기를 통해서 4 개의 신호로 분배되는데 하나는 판별회로 기준 클럭으로 입력되고, 다른 하나는 클럭/데이터 재생회로 밖으로 출력되어 외부의 역다중화 회로에서 사용된다. 그리고 나머지 두 신호는 10GHz 믹서에 입력되어 FPLL 동작에 사용된다. 이러한 신호 분배기는 3dB Wilkinson 전력 분배기를 설계하여 알루미늄 기판 위에 제작하였고, branch line coupler 를 사용하여 FPLL 에 사용되는 두 신호가 서로 90° 위상차를 갖도록 하였다.

판별회로

판별회로는 입력부에서 얻어진 10Gb/s 데이터 신

호를 추출된 클럭으로 리타이밍 (retiming) 하여 원래의 10Gb/s 데이터를 재생하는 기능을 한다. 판별회로는 상용화 되어있는 0.15 m GaAs MESFET 회로를 사용하였다. 정확한 데이터 판별을 위해서는 데이터와 기준 클럭의 위상이 잘 맞아야 하는데 이를 위해서 클럭 경로에 변위기 회로를 설계하였다. 변위기는 4 개의 바랙터 다이오드와 1 단의 하이브리드 결합기를 사용하여 360° 변위가 일어나도록 제작하였다. 삽입손실은 $-4.5 \pm 0.8\text{dB}$ 이다¹³⁾.

FPLL의 위상검출기 기능을 위해 10GHz의 상용화된 balanced diode 믹서를 사용하였다.

III. 특성 분석

1. 기능 및 입출력 신호 특성

제작된 클럭/재생회로는 그림 4와 같다. 두께가 25 mil 인 4 개의 알루미늄 기판으로 구성되어 있고 FPLL 루프 필터는 PCB에 구현되어 있다. 모듈의 크기는 $99.4 \times 95.2 \times 15.3\text{mm}^3$ 이다. 데이터 입력 신호의 크기가 200 mV 이상일 때 출력되는 데이터 신호는 H=0V, L=-0.9V 인 SCFL(Source-Coupled FET Logic) 신호 준위를 만족한다. 클럭 출력은 dc 값 -0.5 V, 신호 크기 800 mV_{p-p}의 값을 갖는다(그림 5).

판별회로에 입력되는 변위기를 조정하여 위상마진을 살펴보았다. 크기가 0.5V 인 2^{23} -1 PRBS 신호를 입력하여 BER= 10^{-12} 을 얻을 수 있는 위상 마진은 60ps (216°)였다. 클럭-데이터 사이의 위상이 가장 적합한 곳에 있을 때 BER= 10^{-12} 을 얻을 수 있는 최소 입력 전압은 76 mV_{pp} 였다.

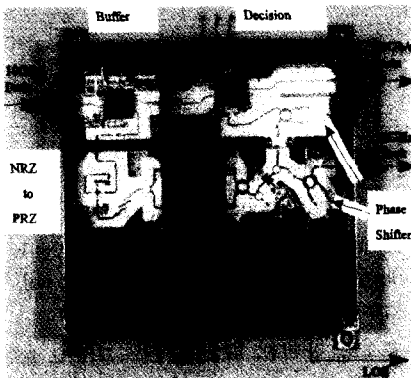


그림 4. 10Gb/s 클럭/데이터 재생회로
Fig. 4. 10Gb/s clock and data generation circuit.

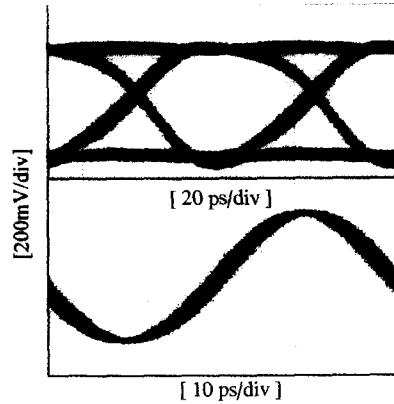


그림 5. 재생된 데이터, 클럭 출력 신호
Fig. 5. Regenerated data and clock output.

제작된 클럭/데이터 재생회로와 광검파기, 전치증폭기, 그리고 주증폭기로 구성된 10Gb/s 광수신기의 BER 실험을 한 결과 19dBm의 수신감도를 얻었다. 10Gb/s 광전송 시스템에 적용하여 320km 전송실험에 사용하여 정상 동작을 확인할 수 있었다.

2. 지터 특성

클럭/데이터 재생회로에서 지터 특성은 최대 허용 지터, 지터 전달 함수, 발생 지터 등으로 평가한다. 설계된 지터 규격은 앞에서 서술했듯이 ITU-T 권고안에서 STM-16 까지의 규격을 STM-64로 확장한 것이다.

최대 허용 지터는 1 dB 손실(penalty)을 유발하면서 입력 신호에 허용되는 정현파 지터의 peak-to-peak 값으로 정의되고 지터 주파수에 따른 최대 허용 지터를 측정하여 평가한다. 그림 6은 지터 주파수에 따른 최대 허용 지터를 나타내는데 측정된 지터 허용치는 규격을 만족함을 볼 수 있다. 8MHz의 PLL 대역폭보다 낮은 주파수에서는 VCO의 위상이 입력 클럭 위상에 따라 변하기 때문에 지터 허용치가 크고 지터주파수가 증가함에 따라 1/f의 함수로 감소한다. 지터주파수가 PLL 대역폭보다 높은 주파수에서는 VCO의 위상이 입력 클럭의 지터가 반영되지 않고 지터허용치는 지터주파수에 관계없이 일정한 값을 유지한다. 50kHz 지터 주파수에서 33UI의 지터허용치를 보이고 있고 계속 감소하다가 8MHz 이상에서는 일정하게 된다. 측정장치의 제한으로 10MHz 이상에서는 정확한 지터허용치 측정은 어려웠으나 10MHz 이상의 높은 주파수에서 최대허용 지터는 약 0.34UI

로 측정되었다.

지터 전달 함수는 입력 데이터에 지터가 없을 때 클럭/데이터 재생회로 출력으로 전달되는 비율로 정의되고 지터주파수의 함수로 나타난다. 그림 7은 측정된 지터 전달 함수를 표시하고 있는데 규격을 충분히 만족함을 볼 수 있다. PLL 대역폭은 6MHz으로 규격된 8MHz 보다 작고, 침투값은 0.1dB 이하임을 확인할 수 있다. 2차 저대역 필터로 구성된 루프의 roll off 는 20dB/decade 이다.

발생 지터는 입력 데이터에 지터가 없을 때 클럭/데이터 재생회로 내부 회로의 잡음에 의해 출력 신호에 나타나는 지터의 크기를 나타낸다. 이때, 지터의 크기는 rms 값, 혹은 peak-to-peak 값으로 표현되는데 rms 값은 0.01 UI (1 ps), peak-to-peak 는 0.1 UI (10 ps) 등으로 규정되어 있다. 샘플링 스크오프에 의해 측정된 발생 크기는 RMS 값은 0.01 UI (0.97 ps), peak-to-peak 는 0.06 UI (5.5 ps) 이었다.

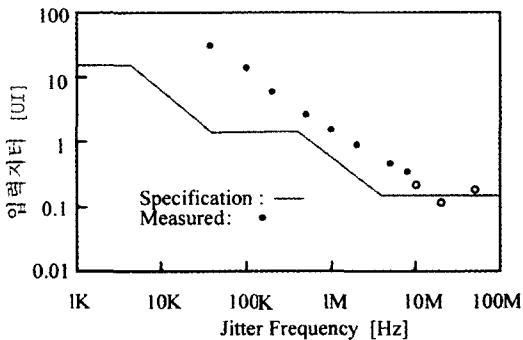


그림 6. 10Gb/s 클럭/데이터 재생회로 지터 허용치
Fig. 6. Jitter tolerance of 10Gb/s clock and data generation circuit.

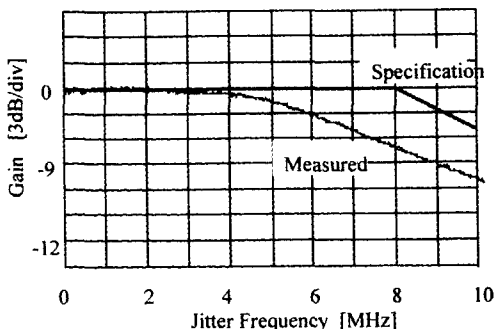


그림 7. 10Gb/s 클럭/데이터 재생회로 지터 전달함수
Fig. 7. Jitter transfer of 10Gb/s clock and data generation circuit.

IV. 결론

본 논문에서는 FPLL 방식 10Gb/s 클럭/데이터 재생회로의 설계와 제작된 회로의 특성을 분석하였다. 회로는 입력버퍼, 판별회로, VCO 등의 고속 IC와 NRZ-to-PRZ 회로, 360° 변위기, 협대역 필터, 6dB 전력 분배기, branch 라인 커플러 등의 초고주파 회로를 알루미늄 기판 위에 꾸며 구현하였다. 그리고 FPLL 루프 필터는 일반적으로 사용되는 OP AMP와 RF 믹서를 이용해 PCB 기판 위에서 구현하였다. FPLL 회로는 quadri-correlation 방법을 이용하였다. FPLL 동작 원리와 설계, 그리고 고속회로 각 부분에 대해서 설명하였다.

제작된 클럭/데이터 재생회로는 광수신기에 적용되어 BER= 1×10^{-12} 에서 60ps의 위상마진을 갖고 동작을 하였다. 주파수 잠금 범위는 150MHz였으며 rms 지터는 1.0ps 이하였다. 그리고 설계 목표로 규정한 지터 특성을 만족시켰다. 이러한 클럭/데이터 재생회로는 10Gb/s 광통신 시스템에 적용하여 광증폭기를 이용한 320km 전송시험을 하였는데 성공적으로 동작됨을 확인할 수 있었다.

감사의 글

※ HAN-BISDN의 160Gb/s 광전송 장치 개발 과제 의 일부로 수행된 본 연구를 격려하여 주신 한국전 자통신연구원의 김재근 박사님과 수신기와 송신기 의 제작 및 광링크실험에 도움을 주신 한국전자통 신연구원 광다중화팀과 광링크팀에게 감사를 드립니다.

참고 문헌

- [1] P.Monteiro, J.N.Matos, A.Gamerio, and J.R.F. da Rocha, 10Gbit/s timing recovery circuit using dielectric resonator and active bandpass filter, *Electron. Lett.*, vol. 28, pp. 819-820, 1992.
- [2] 송재호, 유태환, 박문수, 온도 보상된 유전체공진기 필터를 이용한 10Gbit/s 클럭추출회로, *전자공학회 논문집*, 제33권, A편, 제4호, pp. 78-83,

- 1996.
- [3] M.Soyuer, A monolithic 2.3Gb/s 10mW clock and data recovery circuit in silicon bipolar technology, *IEEE J. Solid-State Circuits*, vol.28, no.12, Dec. 1993.
- [4] A. Pottbacker and U.Langmann, An 8GHz silicon bipolar clock recovery and data regenerator IC, *IEEE J. Solid-State Circuits*, vol.27, no.10, pp.1747-1751, Dec. 1992.
- [5] D.G. Messerschmit, Frequency detector for PLL acquisition in timing and carrier recovery, *IEEE Trans. Commun.*, vol. COM27, pp. 1258-1295, Sept.1979.
- [6] J.A. Belliso, A new phase-locked loop timing recovery method for digital regenerator, *IEEE Int. Conf. Commun. Rec.*, pp.10-17, June 1976.
- [7] X.Zhou, A Phase controlled self-oscillating mixer, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp.749-752. 1994.
- [8] T.H.Lee and J.F.Bulzacchelli, A 155MHz clock recovery delay- and phase-locked loop, *IEEE Int. Solid-State Conf. Dig.*, pp.160-161, 1992.
- [9] R.R. Cordell, A 50MHz phase- and frequency-locked loop, *IEEE J. Solid-State Circuits*, vol.14, no.6, pp. 1003-1010, Dec. 1979.
- [10] H. Ransijn and P. OConnor, A PLL-based 2.5Gb/s GaAs clock and data regenerator IC, *IEEE J. Solid-State Circuits*, vol.26, no.10, pp.1345-1353, Oct. 1991.
- [11] ITU-T Recommendation G.958.
- [12] T.W. Yoo, J.H. Song, M.S. Park, and C.S. Shim, A novel clock extraction circuit using a new NRZ-to-PRZ converter and dielectric resonator filter for 10Gb/s optical Receiver, *IEEE Int. Microwave Symp. Dig.*, pp.1395-1398. 1995.
- [13] 송재호, 유태환, 박문수, 1 단 90° 하이브리드 커플러로 이루어진 360° 반사방식 아날로그 변위기 구현, 1996년도 춘계 마이크로파 및 전파전파 연구회 학술발표회 논문집 Vol.19, No.1, pp.90-91, 1996.

 저 자 소 개



宋宰昊(正會員)

1992년 2월 : 홍익대학교 전자공학과 공학사. 1994년 2월 : 홍익대학교 전자공학과 공학석사. 1994년-현재 : 한국전자통신연구원. 관심분야 : 초고속 전자회로 설계, 초고속

광링크

俞泰暉(正會員)

1981년 2월 : 서울대학교 원자핵공학과 공학사. 1983년 2월 : 한국과학기술원 물리학과 이학석사. 1993년 8월 : 미국 Texas A&M University 전기전자과 공학박사. 1983년 ~ 현재 : 한국전자통신연구원 책임연구원, 고속모뎀팀장. 관심분야 : 광통신시스템, 초고속 전자회로, 마이크로파/밀리미터파를 이용한 무선통신

朴昌洙(正會員)

1979년 2월 : 한양대학교 전자공학과 공학사. 1981년 2월 : 서울대학교 전자공학과 공학석사. 1990년 12월 : 미국 Texas A&M University 전기전자과 공학박사. 1997년 ~ 현재 : 한국통신학회 광통신연구회장. 1982년 ~ 현재 : 한국전자통신연구원 책임연구원, 광다중화팀장. 관심분야 : Optical Network&System application, Microwave Photonics application