

論文98-35T-9-2

# NMOSFET SOI 소자의 Current Kink Effect 감소에 관한 연구

## (A Study on the Reduction of Current Kink Effect in NMOSFET SOI Device)

韓明錫\*, 李忠根\*\*, 洪信男\*\*

(Myoung-Seok Han, Chung-Keun Lee, and Shin-Nam Hong)

### 요 약

박막의 SOI(Silicon-On-Insulator) 소자는 짧은 채널 효과(short channel effect), subthreshold slope의 개선, 이동도 향상, latch-up 제거 등 많은 이점을 제공한다. 반면에 이 소자는 current kink effect와 같이 정상적인 소자 동작에 있어 주요한 저해 요소인 floating body effect를 나타낸다. 본 논문에서는 이러한 문제를 해결하기 위해 T-형 게이트 구조를 갖는 SOI NMOSFET를 제안하였다. T-형 게이트 구조는 일부분의 게이트 산화막 두께를 다른 부분보다 30nm 만큼 크게 하여 TSUPREM-4로 시뮬레이션 하였으며, 이것을 2D MEDICI mesh를 구성하여 I-V 특성 시뮬레이션을 시행하였다. 부분적으로 게이트 산화층의 두께가 다르기 때문에 게이트 전계도 부분적으로 차이가 발생되어 충격 이온화 전류의 크기도 줄어든다. 충격 이온화 전류가 감소한다는 것은 current kink effect가 감소하는 것을 의미하며, 이것을 MEDICI 시뮬레이션을 통해 얻어진 충격 이온화 전류 곡선, I-V 특성 곡선과 정공 전류의 분포 형태를 이용하여 제안된 구조에서 current kink effect가 감소됨을 보였다.

### Abstract

Thin film SOI(Silicon-on-insulator) devices offer unique advantages such as reduction in short channel effects, improvement of subthreshold slope, higher mobility, latch-up free nature, and so on. But these devices exhibit floating-body effect such as current kink which inhibits the proper device operation. In this paper, the SOI NMOSFET with a T-type gate structure is proposed to solve the above problem. To simulate the proposed device with TSUPREM-4, the part of gate oxide was considered to be 30nm thicker than the normal gate oxide. The I-V characteristics were simulated with 2D MEDICI. Since part of gate oxide has different oxide thickness, the gate electric field strength is not same throughout the gate and hence the impact ionization current is reduced. The current kink effect will be reduced as the impact ionization current drops. The reduction of current kink effect for the proposed device structure were shown using MEDICI by the simulation of impact ionization current, I-V characteristics, and hole current distribution.

### I. 서론

\* 正會員, 大川大學 電氣電算學部

(Dept. of Elec. Eng., Daechon College)

\*\* 正會員, 韓國航空大學校 航空電子工學科

(Department of Avionics, Hankuk Aviation University)

接受日字: 1998年8月31日, 수정완료일: 1998年9月23日

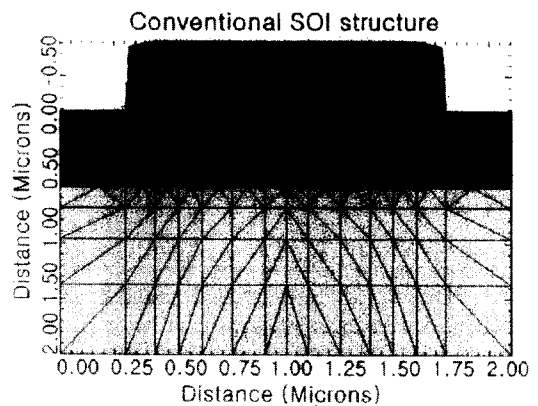
현재 반도체 산업에서 실리콘 기판을 이용하여 ULSI(Ultra Large Scale Integration)급으로 집적도가 향상됨에 따라 짧은 채널 효과, latch-up,  $\alpha$ -입자로부터의 데이터 손실, 누설전류, 저 전력 소자 개발 등 일반적인 CMOS 회로 및 소자에서 요구되는 사항

과 발생되는 문제들을 해결하기 위해서 새로운 소자 기술이 필요하게 되는데 CMOS/SOI 기술은 개별 소자 및 이를 이용하여 구성된 회로에 많은 이점들을 제공한다. 양질의 박막 SOI 제작 기술에 의해서 MOSFET의 짧은 채널 효과의 감소, subthreshold slope의 개선, 높은 이동도, 낮은 기생 커패시턴스, latch-up 현상 제거, 간단한 공정, 그리고 집적도의 향상, 누설전류 감소 등의 여러 가지 장점들이 제시되고 있다<sup>[1] [2]</sup>. 지금까지 SOI 기판 제조에 있어서는 많은 어려움이 있었으나 많은 연구가 진행되어 SIMOX(Seperation by Implantated Oxygen) 방법, wafer bonding 방법, 실리콘 기판을 종자(seed)로 하여 성장시킨 기판 제작 등 다양한 방법이 제시되고 있으며<sup>[3] [4] [5] [6]</sup>, 이를 통한 집적회로 및 응용소자가 구현되고 있다<sup>[7] [8]</sup>. 이러한 SOI 소자의 장점에도 불구하고 개별 소자가 동작할 때 current kink effect와 early breakdown 같은 floating body effect 등의 문제점을 지니고 있다. 일반적으로 실리콘 박막이 fully depleted된 FD SOI 소자는 partially depleted된 PD SOI 소자보다 floating body effect를 감소시키는 결과를 얻을 수 있었다<sup>[9] [10]</sup>. 따라서 본 연구에서는 SOI 소자에서 발생하는 floating body effect를 감소시키기 위한 방법을 고안하여 일반적인 방법으로 구성된 SIMOX SOI 소자와 제안한 소자를 2D MEDICI simulation을 수행한 후 비교 검토하였다. 이에 대한 결과로는 소자의 I-V 특성과 게이트 특성을 살펴보고, 이에 따른 충격 이온화 양의 측정 등을 살펴보고, 이 충격 이온화 양과 current kink effect의 발생과의 관계를 고찰하여 본 결과 제안된 소자의 경우 충격 이온화 전류양 생성 기율을 일반적인 SOI 구조의 소자보다 감소시켜 kink effect를 줄이는 결과를 나타내었다.

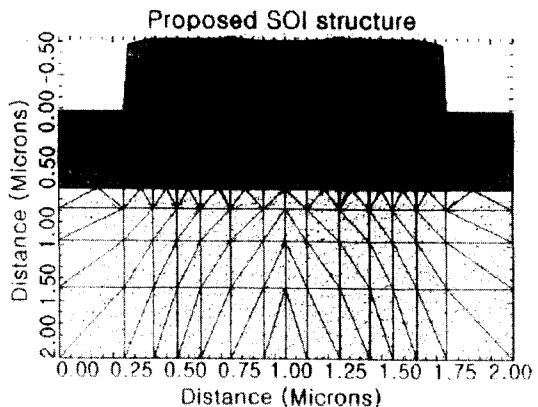
II. 기존의 소자 및 제안된 소자 비교

본 연구에서는 SOI 소자의 단점인 floating body effect를 감소시켜 소자가 안정적으로 동작하게 하기 위해서 일반적으로 사용되는 SIMOX SOI 구조에 T-게이트 형태의 소자를 적용하였다. T-게이트 구조의 소자 공정은 LDD 형성 방법 개념을 도입하여 게이트 다결정실리콘 아래 일부분의 게이트 산화층 두께를 다른 부분보다 30nm 만큼 증가토록 하여 TSUPREM-4

로 시뮬레이션 하였으며, 이 결과를 가지고 그림 1과 같이 2D MEDICI mesh를 구성하여 I-V 특성 시뮬레이션을 위한 SOI 소자를 형성하였다. 이러한 구조에 따라 게이트 전계를 부분적으로 감소시킬 수 있어 충격 이온화 전류 즉 정공 전류 분포에 변화가 있게 된다. 이 소자에 대한 제작 공정은 LDD구조를 형성하기 위한 enhanced sidewall oxidation 과정을 이용한 습식산화를 수행하면 10nm~30nm의 reoxidation 이 일어나<sup>[11]</sup> 제안된 소자를 제작할 수 있으며, 이 공정 중 low doping large tilt-implant 공정 과정을 제외하면 제안된 소자를 형성할 수 있다.



(a)



(b)

그림 1. SOI NMOSFET 소자 구조  
(a) 일반적인 구조 (b) 제안된 구조  
Fig. 1. SOI NMOSFET device structure.  
(a) Conventional structure.  
(b) Proposed structure.

제안된 소자와 일반적인 소자에 대한 공정 변수는

표 1과 같다.

표 1. 공정 변수 비교

Table 1. Comparison of processing parameters.

소자형태 소자변수	일반적인 SOI 소자	제안된 SOI 소자
게이트 산화 층 두께	30nm로 일정	thick 영역 : 60nm / thin 영역 : 30nm
film 두께	0.2 $\mu$ m	0.2 $\mu$ m
소오스/드레 인 이온주입	As, $4 \times 10^{15}$ cm <sup>-2</sup>	As, $4 \times 10^{15}$ cm <sup>-2</sup>
게이트 길이	1 $\mu$ m	1 $\mu$ m
기판 도핑 조건	Boron, $1 \times 10^{17}$ cm <sup>-2</sup>	Boron, $1 \times 10^{17}$ cm <sup>-2</sup>

위에 제시된 소자에 대해서 직접 제작에 앞서 2D simulator인 MEDICI로 소자 동작을 고려하였다. 이때 이용된 모델은 충격 이온화 전류를 측정하기 위한 impact.i 모델 이외에 불순물의 농도에 따라 반송자 이동도를 변화시키는 conmob, parallel electric field 요소를 이용하는 fldmob model, consrh, auger, bgn, prpmob 모델을 이용하였다.

### III. Current Kink effect 시뮬레이션 및 분석

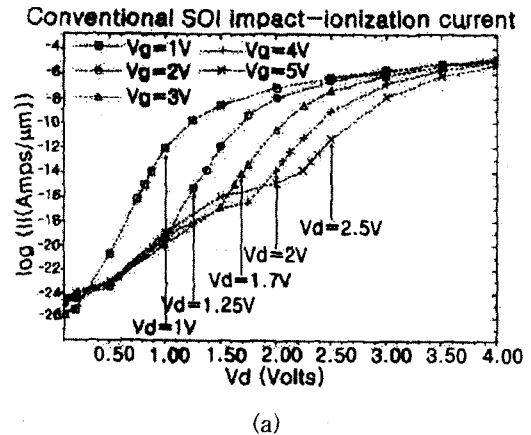
SOI MOSFET에서 제거되어야 할 사항이 floating body effect를 발생시키는 current kink effect인데, 이 현상은 이온화 충돌에 의해 NMOS의 경우 드레인 영역에서 발생한 정공이 floating된 SOI MOSFET에서 기판으로 빠져나가지 못하고 소오스로 빠져나가며 소오스 부근의 p형 기판에 정공이 쌓이는 경우가 있다. 이러한 경우 p형 박막의 전위가 증가하고 이 전위는 문턱 전압을 감소시켜 항복 전압  $V_{BDS}$  이하에서도 갑자기 전류가 증가하는 current kink effect가 발생한다. 이러한 현상은 FD구조에서보다도 PD의 경우에 실리콘 박막에서 전위가 낮아서 정공이 소오스로 빠져지 못하고 중성 박막에 갇히게 되기 때문에 더 크게 나타난다.

Current kink effect를 발생시키는 요소를 감소시키기 위해 제안된 소자에 대해서 일반적으로 bulk MOSFET에 이용되는 (1)과 (2)식에 적용하면, 제안된 소자의  $T_{ox}$ (게이트 산화층 두께)가 부분적으로 두

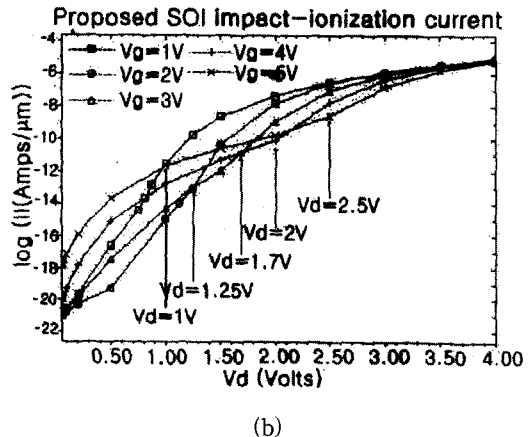
껍기 때문에 채널 영역에서 게이트 산화층의 두께 차이에 의해 부분적으로 일정한  $V_d$ 에 대해  $E_m$ 의 값이 감소하게 된다. 이 결과를 식(2)에 대입하면  $I_{sub}$  생성 양이 감소하게 되어 current kink effect를 발생시키는 요소를 감소시킬 수 있어 소자가 보다 안정적으로 동작시킬 수 있게 된다.

$$E_m = (V_d - V_{sat}) / 2(T_{ox}x_j)^{1/2} \quad (1)$$

$$I_{sub} = 2 I_{ds} \exp(-1.7 \times 10^6 / E_m) \quad (2)$$



(a)



(b)

그림 2. 게이트 전압 변화에 따른 충격 이온화 전류 (a) 일반적인 구조 (b) 제안된 구조

Fig. 2. Impact ionization currents depend on gate voltages.

(a) Conventional structure.

(b) Proposed structure.

이에 대한 결과를 그림 2에 제안된 구조 및 일반적인 구조에 대해서 드레인 전압 변화에 따른 정공 전류

를 나타내었다.

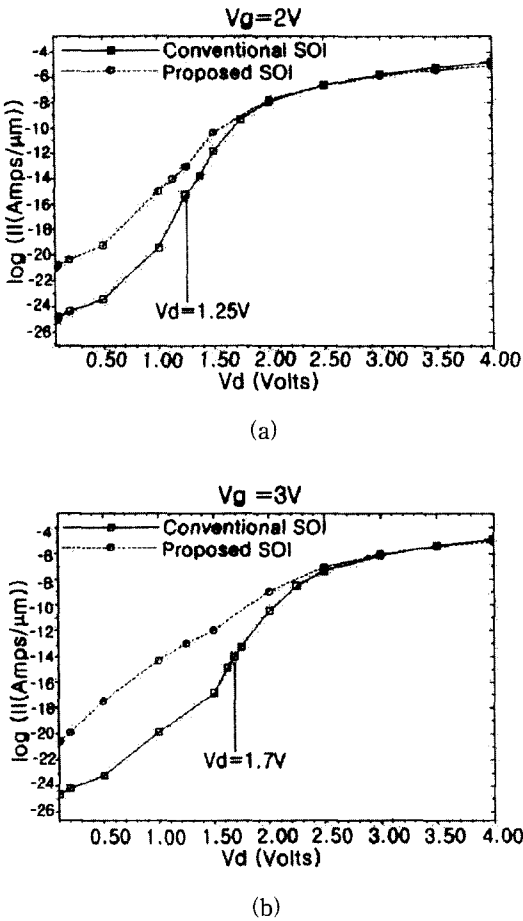


그림 3. 특정한 게이트 전압에서 충격 이온화 전류  
(a)  $V_g=2V$  (b)  $V_g=3V$   
Fig. 3. Impact ionization currents at specific gate voltages.  
(a)  $V_g=2V$  (b)  $V_g=3V$

제안된 구조에서는 충격 이온화 전류가  $V_d=0V$ 에서부터 낮은 기울기를 가지고 증가함을 보이고 있으나 일반적인 구조의 경우에 그림 2에 표시된 것처럼  $V_g$ 가 각각 1V, 2V, 3V, 4V, 5V에 대해  $V_d$ 가 약 1V, 1.25V, 1.7V, 2V, 2.5V 부근에서 충격 이온화 전류가 급격히 증가함을 보여 각각의 전압에서 current kink effect가 발생하리라 판단된다. 그림 3에 기울기가 가장 크다고 판단되는  $V_g=2V, 3V$ 에 대해 충격 이온화 전류를 나타내었다.

그림 3에 나타낸 것처럼 일반 SOI 소자는 제안된 소자보다 충격 이온화 전류 기울기가 급격하기 때문에  $V_d=1.25V, 1.7V$  부근에서 current kink effect가

발생하리라 예상되며 동일한 전압에 대해 제안된 소자는 생성된 충격 이온화 전류량은 많지만 드레인 전압 변화에 따른 생성 비율인 기울기가 일반적인 구조의 SOI 소자보다 작으므로 current kink effect는 감소 하리라 판단된다.

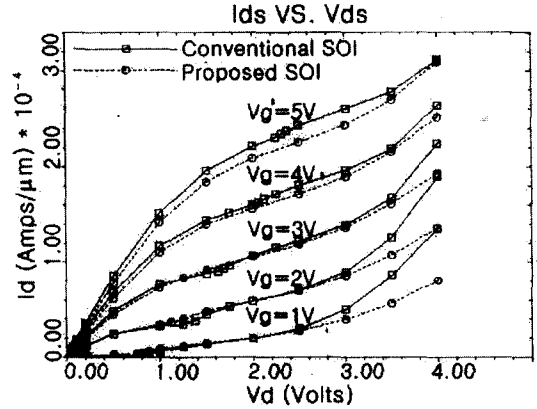


그림 4. I-V 특성 곡선  
Fig. 4. I-V Characteristics.

두 방법에 의해 형성된 소자의 I-V 특성을 그림 4에 나타내었다. 그림을 보면 두 소자 모두 드레인 전류의 크기는 비슷하나 일반적인 SOI 소자의 경우 current kink effect가 현격히 발생함을 알 수 있다. 이 현상이 발생하는 게이트 전압 대 드레인 전압을 보면 충격 이온화 전류 곡선에서 예상하였던 전압에서 발생되며 current kink effect는 충격 이온화 전류량과 기울기에 밀접한 관계를 가짐을 확인할 수 있다. 충격 이온화가 작을 경우에는 발생된 반송자들은 film body 안에서 재결합을 통해 소멸되지만 많은 양의 반송자가 급격히 생성되면 일부는 film 안에서 재결합을 하며 나머지는 전계를 따라서 소오스 쪽으로 움직이고 전위 우물에 축적된다. 이것은 표면 뒤의 소오스 근처에 나타나고 그 결과 게이트와 드레인에 바이어스가 걸리게 되고 문턱전압의 감소로 인해 드레인 전류가 증가하여 특정한 드레인 전압에의 출력 특성에서 kink 현상을 제공한다. 즉, SOI 소자에서 current kink effect를 발생시키는 주요한 원인은 충격 이온화에 의해 생긴 반송자들의 급격한 증가라 할 수 있고 따라서 제안된 구조는 current kink effect를 줄일 수 있는 효과를 나타내는 소자라는 평가가 가능하다.

제안된 소자와 기존의 일반적인 SOI 소자에 대한 게이트 특성을 그림 5에 나타내었다. SOI 소자의 경

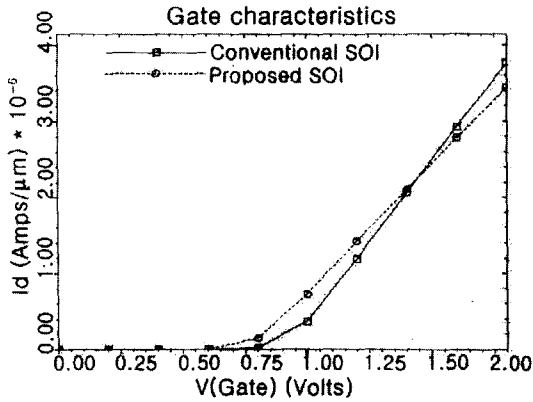
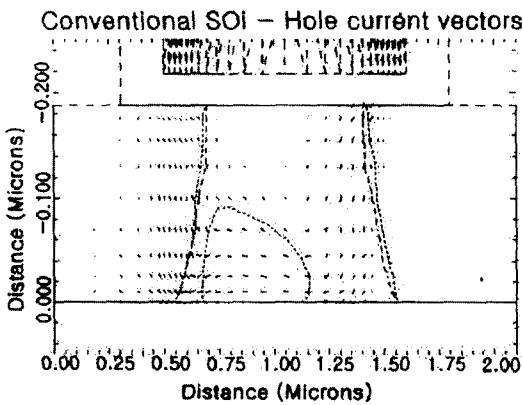
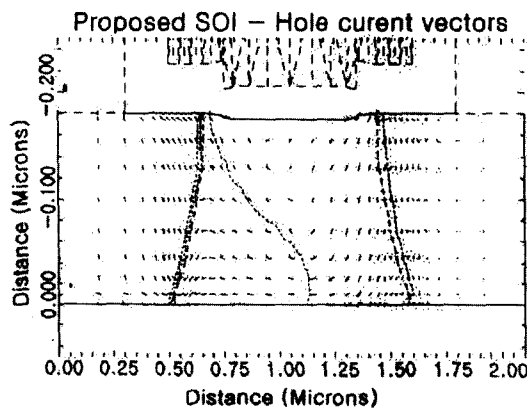


그림 5. 소자의 Gate 특성  
Fig. 5. Gate characteristics of the two devices.



(a)



(b)

그림 6. 정공 전류 분포 (a) 일반적인 구조  
(b) 제안된 구조

Fig. 6. Hole current distribution.  
(a) Conventional structure.  
(b) Proposed structure.

우 subthreshold slope이 개선되는 것이 SOI 소자의 장점으로 알려져 있는데 본 연구에서 제시한 SOI 소자에 대해서 보면 일반적인 소자의 경우 subthreshold slope가 106.6mV/dec이며 제안된 SOI 소자의 경우 105.1mV/dec로 거의 비슷한 우수한 특성을 나타내고 있다. 또한 임계 전압은 각각  $V_T=0.93V$ ,  $V_T=0.79V$ 로 제안된 소자가 0.14V 낮았다. 또한 제안된 소자를 가지고 회로를 구성하면 소오스와 드레인 영역의  $C_{gd}$ 를 감소시킬 수 있어 회로의 동작 속도 또한 향상시킬 수 있으리라 판단된다.

MEDICI로 시뮬레이션된 각 소자에 대한 정공 전류의 분포를 그림 6에 나타내었다. 이 결과를 보면 기존 소자의 정공 전류 흐름은 대부분의 전류가 전위 우물에 축적되는 결과를 알 수 있는 반면 제안된 소자의 경우는 게이트 변형에 의해 전계가 감소되어 정공 전류가 넓게 분포되어 있음을 알 수 있다. 즉 제안된 소자의 경우가 body에서 충격 이온의 재결합율을 높일 수 있고, 이에 따라서 current kink effect를 감소시키는 결과를 나타낸다 할 수 있다.

#### IV. 결 론

고집적화가 될수록 bulk MOSFET의 문제점으로 대두되는 짧은 채널 효과의 감소, subthreshold slope의 개선, latch-up 현상 제거, 집적도의 향상 등의 여러 가지 장점들이 양질의 박막 film SOI 제작 기술에 의해서 제시되고 있다. 이러한 많은 SOI 소자에 대한 장점에도 불구하고 개별 소자가 동작을 할 때 current kink effect와 early breakdown같은 floating body effect등의 문제점을 지니고 있는데 본 연구에서 제안한 소자의 경우 SOI NMOS의 단점인 current kink effect를 발생시키는 충격 이온화 양과 current kink effect의 발생과의 관계를 고찰하여 본 결과 제안된 소자의 경우 충격 이온화 전류양 생성 기율기를 일반적인 SOI 구조의 소자보다 감소시켜 current kink effect를 감소시키는 결과를 나타내었다.

Current kink effect는 충격 이온화 전류인 정공 전류와 밀접한 관계를 갖는데 많은 양의 반송자가 급격히 생성되어 정공 전류 기율기가 크면 반송자 일부는 film 안에서 재결합을 하지만 나머지는 전계를 따라서 소오스 쪽으로 움직이고 전위 우물에 축적되어 current kink effect를 발생시킴을 알 수 있고, 제안

된 소자는 게이트의 전계 감소에 의한 효과가 발생하여 충격 이온의 재결합율을 높였다고 할 수 있다. 즉 current kink effect를 일으키는 중요한 원인은 충격 이온에 의해 생긴 반송자들의 급격한 증가라 할 수 있고, 일반적인 소자의 게이트 전압 2V와 3V에서 현저히 발생된 kink effect를 제한한 소자에서는 감소시키는 결과를 나타내었다. 이 결과는 제안된 소자의 경우 게이트 전계의 부분적인 감소에 따른 충격 이온화 생성율을 감소시켰기 때문이라 판단된다. 이에 따라 본 논문에서 제안된 구조는 floating body effect를 줄이는 구조라는 평가가 가능하다고 할 수 있다.

앞으로 본 구조를 가지고 실제 소자를 제작하여 동작을 확인 해야하고, 이 소자에 LDD 구조를 적용하면 early-breakdown 현상을 감소시킬 수 있어 이에 따른 SOI 소자의 단점인 floating body effect를 감소시켜 소자의 안정적 동작을 확보할 수 있으리라 판단된다.

#### 참 고 문 헌

- [ 1 ] H. K. Lim and JERRY G. F, "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's," IEEE Trans. Electron Devices, vol. 40, pp. 1244-1251, 1983.
- [ 2 ] P. K. Vasudev, "Ultrathin SOI for high speed submicrometer CMOS technology," Solid State Technol., pp. 61-65, 1990.
- [ 3 ] J. Stoemenos, A. Garcia, B. Aspar, and J. Margail, "Silicon-on-Insulator Obtained by Dose Oxygen Implantation, Micro-structure, and Formation Mechanism," J. Electrochem. Soc., Vol. 142, No. 4, pp. 1248-1260, April 1995.
- [ 4 ] M.shimbo, k. Furukawa, K. Fukuda, and K. Tanzawa, "Silicon-on-Silicon direct bonding method," J. Appl. Phys. 60(8), 15, Oct., pp. 2987-2989, 1986.
- [ 5 ] J.B. Lasky, "Wafer bonding for Silicon-on-insulator technologies," Appl. Phys. Lett. 48(1), 6, pp. 78-80, 1986.
- [ 6 ] Dimitris E. Ioannou, Sorin Cristoloveanu, Constantinos N. Potamianos, Xiaodong Zhong, Peter K, McLarty, and Harold L. Hughes, "Optimization of SIMOX for VLSI by Electrical Characterization," IEEE Trans. Electron Devices, vol. 38, No. 3, pp. 463-468, 1991.
- [ 7 ] V. Ferlet-Cavrpis, O. Mussean, et-al, "Comparison of the Sensitivity to Heavy Ions of SRAM's in Different SIMOX Technologies," IEEE Trans. Electron Devices Letters, vol. 15, No. 3, pp. 82-84, 1994.
- [ 8 ] Stoshi Matsumoto, Il-Jung lim, et-al, "Device Characteristics of a 30-V-Class Thin-Film SOI Power Device," IEEE Trans. Electron Devices, vol. 43, No. 5, pp. 746-752, 1996.
- [ 9 ] O. Faynot and B. Giffard, "High Performance of Ultrathin SOI MOSFET's Obtained by Localized Oxidation," IEEE Electron Devices Letter, vol. 15, No. 5, pp. 175-177, 1993.
- [ 10 ] Masun Chan, Fariborz Assderaghi, Stephen A. Parke, et-al, "Recessed-Channel Structure for Fabricating Ultrathin SOI MOSFET with Low Series Resistance," IEEE Electron Device Letters, vol. 15, No. 1, pp. 22-24, 1994.
- [ 11 ] K. Kurimoto, S. Odanaka, "T-gate Overlapped LDD Device with High Circuit Performance and High Reliability," IEDM91, pp. 541-544, 1991.

## 저 자 소 개



韓 明 錫(正會員)

1964년 10월 10일생. 1989년 2월 한국항공대학교 항공전자공학과 졸업(학사). 1991년 8월 한국항공대학교 대학원 항공전자공학과 졸업(석사). 1991년 7월 ~ 1994년 2월 현대전자 반도체 연구소 1995년 ~ 현재 대전

대학 전기전산학부 조교수. 주관심분야는 SOI 소자 개발 및 modeling 등임



李 忠 根(正會員)

1973년 4월 30일생. 1996년 2월 한국항공대학교 항공전자공학과 졸업(학사). 1998년 2월 한국항공대학교 대학원 항공전자공학과 졸업(석사). 1998년 ~ 현재 한국항공대학교 대학원 항공전자공학과 박사과정. 주관

심분야는 SOI, Device modeling, Device 개발 등임



洪 信 男(正會員)

1953년 12월 17일생. 1979년 2월 한양대학교 전자공학과 졸업(학사). 1984년 12월 North Carolina State University 전기 및 컴퓨터공학과 졸업(석사). 1989년 8월 North Carolina State University 전기

및 컴퓨터공학과 졸업(박사). 1989년 9월 ~ 현재 한국항공대학교 항공전자공학과 부교수. 주관심분야는 반도체 소자 및 공정 등임