

論文98-35S-10-4

# 고속 ATM 위성통신을 위한 TDMA 버스트 모뎀 설계 II 부 : 수신기 연동 성능평가

(Design of a Digital Burst MODEM for High-Speed ATM  
Satellite Communications  
Part II : Performance Analysis of an Integrated Receiver)

黃 煥 鉉 \* , 崔 炯 辰 \*

(Sung Hyun Hwang and Hyung Jin Choi)

## 요 약

본 논문에서는 ATM 고속위성 버스트 모뎀에 적합한 동기 요소기술과 개선방안을 사용하여 수신기를 설계 하고 AWGN 채널 환경하에서 제반 연동평가를 수행하였다. 또한 프리앰블의 진행에 따라 각 동기부가 동작하는 과정을 평균과 분산특성을 이용하여 제시하고 수렴확률을 통해 복조기의 동작상태와 수렴여부를 판단하였다. 결론적으로 UW 검출기와의 연동을 통해 셀 손실율을 분석한 결과 본 논문에서 구현한 버스트 모드 TDMA 수신기는 보편적으로 요구되는 셀 손실율을 충분히 만족함을 알 수 있었다.

## Abstract

In this paper, we designed a demodulator using proposed synchronization techniques and algorithms for high-speed ATM satellite burst modem, and analyzed various performance in the AWGN channel. In addition, as the preamble progressed, each synchronization process can be analyzed by using the mean and variance characteristics, and the convergence state and operation state using convergence probability can also be determined. In conclusion, we analyzed the Cell Loss Ratio(CLR) by integrating the burst acquisition with Unique Word(UW) detector performance, and verified that proposed TDMA receiver satisfied the generally required CLR performance adequately.

## I. 서 론

고속 ATM 위성통신에 사용되는 수신기가 갖추어야 할 보편적인 특성은 안정된 정상상태 성능 뿐 만 아니라 동기속도가 매우 중요한 요소로 작용한다. 따라서 고속 위성통신에 적합한 복조기를 구성하는 동기 요소기술은 안정된 정상상태 성능과 함께 신속한 동기

가 가능해야 하고 동시에 하드웨어의 구현이 용이해야 한다<sup>[1]</sup>. 그러나 현실적으로 동기속도와 안정도를 동시에 개선시키는 것은 상충되므로 기존의 알고리즘만으로는 어느정도 한계가 있다.

본 논문에서는 이러한 한계를 극복하기 위해 제 I 부에서 제안한 동기 요소기술과 개선방안을 사용하여 수신기를 구현하고 연동평가를 수행하였다. 먼저, 복조기의 주파수 동기부는 위성채널에서 발생하는 큰 주파수 오프셋을 효과적으로 포착하기 위해 기존의 널리 사용되는 CP AFC 구조를 보다 개선한 DP AFC 구조<sup>[2]</sup>를 바탕으로 다단계 이득변화 방식과 평균추정

\* 正會員, 成均館大學校 電子工學科

(Dept. of Elec. Eng., Sung Kyun Kwan Univ.)

接受日字: 1998年4月30日, 수정완료일: 1998年7月3日

방식을 사용하여 동기성능을 상당히 개선하였다. 또한 위상 동기부는 2차 PLL 구조를 이용한 DD Costas 알고리즘<sup>[3] [9]</sup>을 사용하고 PLL 구조에서 발생하는 Hangup 현상을 방지하기 위한 회로를 추가함으로써 프리앰블 길이를 줄이고 동시에 안정도를 개선시킬 수 있었다. 마지막으로, 심벌 동기부에서는 기저대역 신호로부터 심벌당 두 샘플을 취한 후 DD Gardner 알고리즘을 사용하여 구동하였다. 이 알고리즘은 기존의 Gardner 알고리즘<sup>[4] [9]</sup>에 경관정기를 부착한 것으로 위상 오프셋에 독립적으로 동작하는 특징이 있다. 또한 사용된 2차 PLL의 Hangup을 줄이기 위해 위상 동기부와 동일한 원리를 사용한 방지회로를 이용하여 속도와 안정도를 동시에 향상시킬 수 있었다<sup>[5]</sup>.

한편, 복조기의 연동구조는 주파수 동기부가 먼저 동작하여 원하는 수준까지 잔류 반송파가 감소하면 위상 동기부와 심벌 동기부가 동시에 동작하고 도중에 주파수 동기부는 동작을 중단시키는 형태로 구성된다. 이러한 연동구조를 바탕으로 각 동기부의 평균 및 분산특성과 수렴확률을 분석함으로써 복조기의 동작상태를 파악하고 수렴여부를 판단할 수 있다. 최종적으로 UW 검출기를 구현하여 복조기와 연동함으로써 셀 손실율(CLR : Cell Loss Ratio)을 분석하였다. 여기서 셀 손실율은 검출실패확률과 허위검출확률에 의해 좌우되며 상대적으로 열악한 허위검출확률을 개선하기 위한 방안으로 보편적인 Window 기법<sup>[5]</sup>과 동시에 새로운 UW 검출기의 Modulo-2 연산 방식을 제안하였다.

본 논문의 구성은 I 장 서론에 이어 II 장에서는 수신기의 연동구조에 대해 분석하고 제반 성능평가를 수행하였으며 III 장에서는 UW 검출기와의 연동을 통해 셀 손실율을 분석하였다. 마지막으로 IV 장에서 결론을 맺었다.

## II. 수신기 연동구조

전체 수신기 구조는 크게 복조기와 UW(Unique Word) 검출기로 구성되고 복조기는 다시 반송파 동기부와 심벌 동기부로 분류된다. 반송파 동기는 다시 큰 주파수 오프셋을 대략적으로 잡아내는 주파수 동기부와 잔류 반송파 성분을 미세하게 추적하는 위상 동기부로 나눌수 있다. 또한, 위성채널의 큰 주파수 오프셋을 단시간내에 효과적으로 포착하기 위해 기존의

주파수 동기 알고리즘에 다단계 이득변화(Gear Shifting) 방식과 평균추정(Mean Estimation)방식을 도입하였으며 위상 동기과 심벌 동기 알고리즘에는 Hangup 방지회로를 사용하였다. 그림 1은 전체 수신기 구조를 나타낸 것이다.

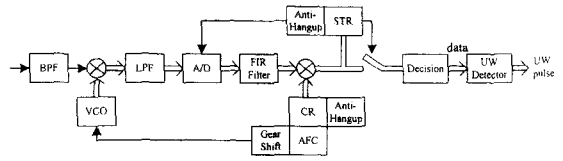
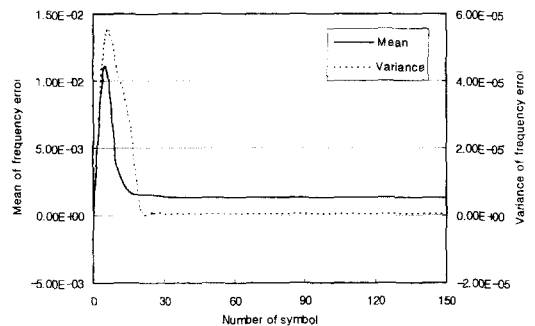


그림 1. 전체 수신기 구조  
Fig. 1. Structure of total receiver.

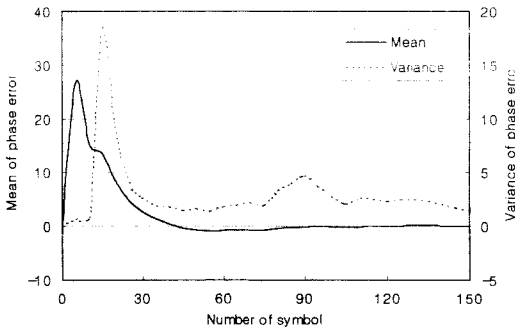
전체적인 동작순서는 그림 1과 같이 먼저 주파수 동기부만 동작시킨 상태에서 잔류 반송파가 원하는 성능을 만족하면 위상 동기부와 심벌 동기부를 동시에 동작시키고 잔류 반송파가 어느 수준에 이르면 주파수 동기부는 중단되도록 연동하였다.

한편, 복조기 연동구조의 성능 평가는 포착속도 및 정상상태 안정도의 기준이 되는 출력 에러의 평균특성과 잡음에 의한 지터 성능을 판단할 수 있는 분산특성에 의해 이루어질 수 있다. 그림 2는 각 알고리즘에 대한 평균 및 분산특성을 나타낸 것으로 그림의 좌측 세로축은 평균값을, 우측 세로축은 분산값을 각각 의미한다. 또한, 프리앰블 길이는 반송파 동기용으로 60 심벌을, 심벌 동기용으로 70 심벌을 할당하고 입력 및 루프 파라메타는 제 1 부의 개선방안에서 가정한 조건과 동일하게 설정하였다.

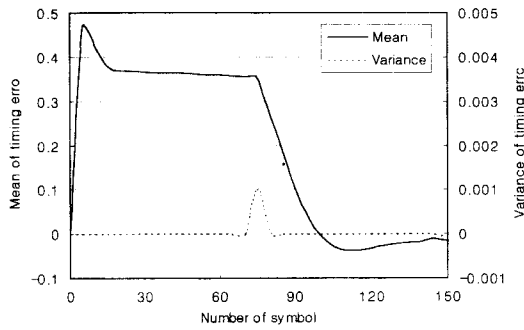
그림 2를 참조할 때 출력에러의 평균 특성이 가장 급격하게 변하는 부근에서 분산값이 가장 크고 이 지점에서 실질적인 포착과정이 수행된다.



(a) 주파수 동기부



(b) 위상 동기부



(c) 심벌 동기부

그림 2. 동기 알고리즘별 평균 및 분산특성  
Fig. 2. Mean and variance characteristics for each synchronization algorithm.

그러므로 반송파 동기는 35 심벌(주파수 동기 20 심벌 + 위상 동기 15 심벌)이 소요되고 심벌 동기는 반송파 동기용 심벌이 끝난 61번째 심벌부터 시작되므로 약 35 심벌이 필요하며 따라서 최소 70 심벌이면 수신기 동기가 완료된다. 따라서, 개선방안을 적용하지 않을 때와 비교해서 약 90~110 심벌을 줄이는 상당한 개선효과를 얻을 수 있다.

한편, 그림 3은 전체 수신기 동작상태를 파악하고 수렴여부를 판단하기 위해 새롭게 정의한 수렴확률을 나타낸 것으로 평균 출력에러가 지정한 수렴범위를 만족하는 확률을 도시한 것이다. 그림 3은 입력 오프셋을 기준으로 수렴범위 15%(예를 들어, 입력 주파수 오프셋이 0.05일 때 수렴 주파수 에러는 0.0075임)에 대한 수렴확률의 변화를 보인 것이다. 수신기 동작순서는 그림 3에서 알 수 있듯이 AFC, CR, 그리고 STR 순으로 동작하고 동기완료 기준을 수렴확률 90% 이상이라 가정하면 요구되는 총 프리앰블 길이는

약 70 심벌(반송파 동기용 35 심벌 + 심벌 동기용 35 심벌)이다.

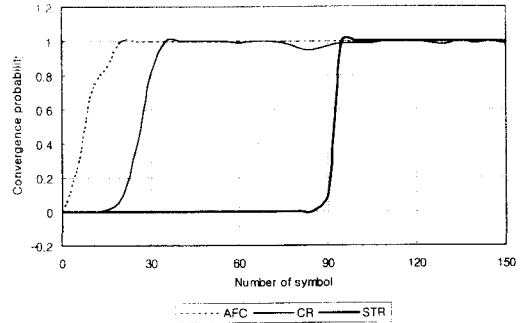


그림 3. 수렴확률(수렴범위=15%)  
Fig. 3. Convergence probabilities(convergence range=15%).

### III. 셀 손실율 분석

본 장에서는 수신기에서 사용하는 동기 요소기술과 할당된 프리앰블의 길이에 대한 셀 손실율의 관계를 분석하기 위해 앞서 그림 1과 같이 복조부와 UW 검출기를 상호 연동시킨 구조에서 UW 검출성공확률 및 허위검출확률에 대한 성능평가를 수행하였다.

	a		
b	0	1	
0	1	0	
1	0	1	

	a		
b	0	1	
0	1	-1	
1	-1	1	

(a) 일반적인 방식      (b) 제안한 방식

그림 4. Modulo-2 연산방식  
Fig. 4. Modulo-2 adder type.

UW는 수신 프레임의 타이밍 정보를 제공하는 프리앰블로서 정확한 검출 여부는 수신 셀의 손실 여부와 직결된다. UW 검출기는 상관기의 일종으로서 2 개의 N-stage 시프트 레지스터, N개의 modulo-2 adder, summer, 그리고 임계값 검출기로 구성된다<sup>[6] [7]</sup>. UW 길이가 N 심벌일 경우 검출기 출력신호의 최대값은 N이고 UW 에러수 만큼 상관값은 감소하며 평균 N/2을 중심으로 진동한다. 본 논문에서는 UW 에러에 덜 민감한 검출기 설계를 위해 그림 4-(b)와 같은 modulo-2 연산방식을 새롭게 제안하여 적용하였다. 제안한 modulo-2 방식은 UW 검출기 출력 평균이 N/2인 기존의 방식과 달리 평균 0을 중심으로 진동하므로 UW 검출기의 에러 임계값을 설정할 때 유

연하게 대처할 수 있어 상당한 셀 손실을 개선효과를 얻을 수 있다. 특히 허위검출확률 개선을 위해 Window 기법<sup>[6] [7]</sup>을 적용할 경우 일반적인 modulo-2 방식을 사용할 때 보다 큰 잇점을 얻을 수 있다(그림 8 참조).

그림 5는 제안한 modulo-2 연산방식을 사용한 UW 검출기 출력신호를 나타낸 것으로 프리앰블은 각각 반송과 동기용 40 심벌, 심벌 동기용 60 심벌, 그리고 UW 20 심벌을 사용하였으며 이를 제외한 심벌은 랜덤 시퀀스를 입력하였다. UW는 상관특성이 우수한 패턴을 사용하며 본 논문에서 사용한 UW는 {1, 1, 1, 0, 0, 1, 0, 1, 0, 1, 1, 0, 1, 1, 0, 1, 0, 0} 이다<sup>[6]</sup>.

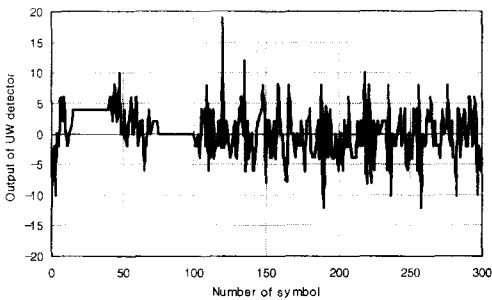


그림 5. UW 검출기 출력신호(CR=40, STR=60, UW=20)  
Fig. 5. UW detector output(CR=40, STR=60, UW=20).

그림 5를 보면 UW 검출지점의 출력값이 19이므로 에러 임계값이 1 이상이면 검출성공하고 0 이면 검출 실패 한다. 궁극적으로 수신기의 최종 성능은 프레임(셀) 검출성능으로 귀결되며 프레임 검출성능을 나타내는 셀 손실율은 UW 검출실패확률(Probability of Miss Detection)과 UW 허위검출확률(Probability of False Alarm)에 의해 결정된다. UW 검출실패확률은 UW가 존재하나 이를 검출하지 못할 확률이고, UW 허위검출확률은 랜덤열을 UW로 오판할 확률이며 이 두가지 요인은 셀 손실율 성능평가에 있어 동일한 비중을 할당한다. 셀 손실율은 여러 파라메타 중에서 주파수 오프셋( $\Delta fT$ ), CCR(Carrier and Clock Recovery) 프리앰블 길이, 그리고 UW 검출기의 에러 임계값(E)에 의해 주로 좌우되며 특히 검출실패확률과 허위검출확률을 동시에 개선시킬 경우 에러 임계값 조건이 상충되므로 두가지 검출확률을 모두 만족시

킬 수 있는 에러 임계값의 절충이 요구된다.

일반적으로 요구되는 셀 손실율은  $1.0 \times 10^{-12} \sim 1.0 \times 10^{-8}$  정도이며 COMSAT의 경우  $1.0 \times 10^{-8}$  이하의 성능을 요구하고 있다 [8]. 그러나, 시뮬레이션 수행속도상 검증이 난해한 관계로 트래픽 버스트의 데이터 필드에 대한 BER을 이용하여 셀 손실율을 분석적으로 구할 수 있다. 그림 6은 단계적으로 개선방안을 적용할 때 BER의 변화를 나타낸 것으로 다단계 이득변화 방식과 Hangup 방지회로를 모두 적용할 때 성능이 가장 우수함을 알 수 있다.

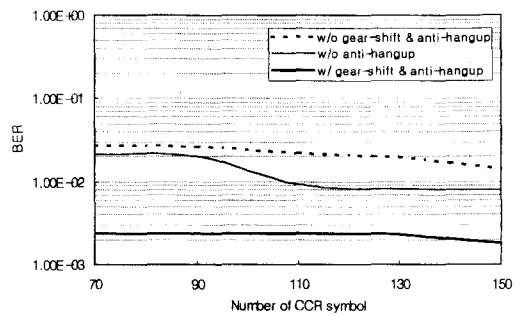


그림 6. 트래픽 버스트의 데이터 필드에 대한 BER 변화

Fig. 6. BER of data field in traffic burst.

그 결과, 그림 7은 그림 6의 BER 성능과 에러 임계값, 그리고 UW 길이에 의해 정의되는 검출실패확률 식 [6] [7]을 이용하여 분석적으로 구한 결과를 보인 것으로 에러 임계값 E에 대해 큰 성능 차이를 보이며 E가 4일 경우 그림 7의 네모부분과 같이  $1.0 \times 10^{-10} \sim 1.0 \times 10^{-9}$  정도의 성능이 보장되며 이는 요구되는 셀손실율을 충분히 만족하는 값이다.

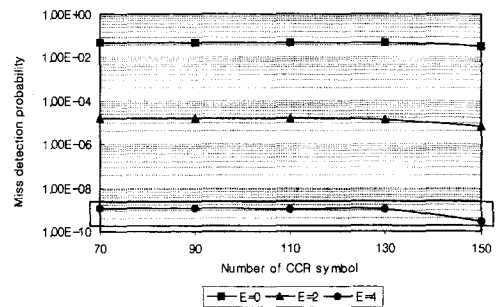
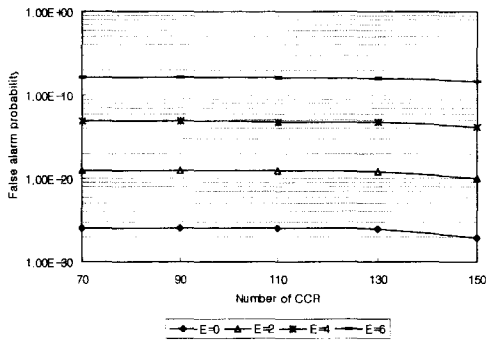
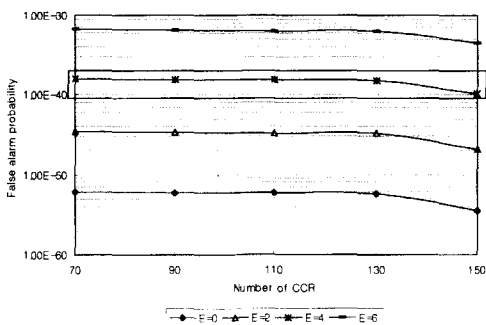


그림 7. UW 검출실패확률의 변화  
Fig. 7. UW miss detection probabilities.

한편, 셀 손실률을 결정하는 또 다른 요인으로 동일한 비중을 차지하는 허위검출확률은 검출실패확률에 비해 상대적으로 성능이 매우 열악하여 대부분의 수신기에서 Window 기법을 사용하여 상당한 성능개선 효과를 얻고 있다<sup>[6] [7]</sup>. Window 기법이란 일정 시간 동안 지속되는 Time Window를 각 프레임의 UW 검출지점에 주기적으로 발생시킴으로서 Time Window 동안 발생하는 UW 검출만을 진정한 UW 검출로 간주하는 방식으로 허위검출확률을 획기적으로 줄일 수 있다. 그림 8은 Window 기법을 적용한 UW 검출기의 허위검출확률을 분석한 것으로 Window 길이는 3으로 가정하였다.



(a) 평균이 N/2인 modulo-2 연산을 사용할 경우



(b) 평균이 0인 modulo-2 연산을 사용할 경우

그림 8. UW 허위검출확률의 변화  
Fig. 8. UW false alarm probabilities.

그림 8-(a)는 평균이 N/2인 일반적인 modulo-2 연산을 사용한 경우이고 그림 8-(b)는 평균이 0인 제안한 modulo-2 연산을 사용한 경우이다. 동일한 조건 하에서 제안한 방식을 사용할 경우 허위검출확률이 훨씬 우수하며 에러 임계값이 4일 때 네모부분과 같이

$1.0 \times 10^{-40} \sim 1.0 \times 10^{-38}$  정도의 극도로 낮은 확률을 만족한다. 따라서, 그림 7과 8을 참고할 때 주어진 환경에서 에러 임계값이 4이면 본 논문에서 목표한 셀 손실률을 충분히 만족시킬 수 있다.

표 1. 155Mbps 고속위성 수신기의 최종 성능

Table 1. Final performance of 155Mbps high speed satellite MODEM.

Parameter	Performance
Information Rate(Mbps)	155.52
Modulation Scheme	QPSK
AFC Algorithm	Double Product
CR Algorithm	DD Costas
STR Algorithm	DD Gardner
CNR(dB)	10
Frequency Offset	0.05
Phase Offset(degree)	30
Timing Offset	0.5(8delays/16samples)
UW length(symbol)	20
UW Error Threshold	4
UW Window Length	3
Carrier Recovery Symbol	30~70
Clock Recovery Symbol	40~80
Uncoded Modem BER	$1.8 \times 10^{-3} \sim 2.4 \times 10^{-3}$
Probability of Miss Detection	$1.0 \times 10^{-10} \sim 1.0 \times 10^{-9}$
Probability of False Alarm	$1.0 \times 10^{-40} \sim 1.0 \times 10^{-38}$

결론적으로 본 논문에서 제안한 동기 알고리즘과 개선 알고리즘을 이용하여 구현한 155Mbps 고속위성 수신기의 최종성능을 AWGN 환경하에 수행한 시뮬레이션 결과를 바탕으로 표 1과 같이 정리할 수 있다.

표 1을 참조할 때 본 논문에서 구현한 수신기는 기존의 심벌수보다 훨씬 짧은 심벌수만으로 고속위성 전송에서 요구되는 셀 손실율을 충분히 만족하며 정상상태 특성(그림 2 참조)도 매우 우수함을 알 수 있다.

#### IV. 결론

본 논문에서는 제 I 부에서 제안한 고속 ATM 위성 전송에 적합한 수신기 요소기술과 개선 알고리즘을 바탕으로 시뮬레이션 모델을 구현하여 다양한 성능평가를 수행하였다.

제 I 부에서 제안한 각 동기 요소기술과 개선 알

고리즘은 그림 1과 같은 구조로 연동이 되고 동작순서는 입력되는 프리앰블의 구조를 감안하여 AFC, CR, STR 순으로 동작하며 할당된 프리앰블 내에 충분히 요구되는 정상상태에 진입할 수 있어야 한다. 연동구조에서 각 동기부에 대한 평균 및 분산특성을 분석한 결과 반송파 동기용 프리앰블 35 심벌과 심벌 동기용 프리앰블 35 심벌만으로 동기가 완료될 수 있고 정상상태 특성 또한 우수함을 알 수 있었다.

또한, 복조기와 UW 검출기를 상호 연동시킨 구조에서 셀 손실율을 분석한 결과  $\Delta fT=0.005$ ,  $\theta_o=30^\circ$ , 타이밍 오프셋=0.5, 그리고 CNR=10dB에서 에러 임계값 E가 4이면 검출실패확률은  $1.0 \times 10^{-10} \sim 1.0 \times 10^{-9}$  이고 허위검출확률은  $1.0 \times 10^{-40} \sim 1.0 \times 10^{-38}$  이다. 따라서 매우 짧은 프리앰블을 사용하여 고속 위성 TDMA 수신기에서 요구되는 셀 손실율을 충분히 만족함을 알 수 있었다. 특히, Window 기법과 제안한 modulo-2 연산방식을 사용함으로써 허위검출확률을 상당히 개선시킬 수 있었다.

결론적으로, QPSK 변조방식과 제안한 알고리즘을 사용하여 155.52 Mbps 고속 위성 ATM 전송을 지원할 수 있는 수신기의 최종성능을 표 1과 같이 정리할 수 있다. 따라서, 본 논문의 결과는 현재 계획 수립하에 추진중인 무궁화 3 호 위성이 200 MHz 광대역 중계기를 탑재할 예정이어서 관련된 수신기 개발에 직접적인 활용이 기대된다.

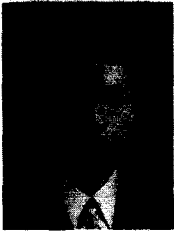
#### 감사의 글

※ 본 논문은 97-98년도 교원 연구년 및 97년도 ETRI 위탁과제 「고속 위성 변복조기 구조 및 성능분석에 관한 연구」의 일부로서 수행되었음.

#### 참고 문헌

- [1] K. Kobayashi, T. Sakata, Y. Matsumoto, and Shuji Kubota, "Fully Digital Burst Modem for Satellite Multimedia Communication Systems," IEICE Trans. Comm., Vol. E80-B, No.1, pp. 8-15, Jan. 1997.
- [2] N. Mochizuki, T. Sugiyama, and M. Umehira, "A New AFC Circuit Employing Double-Product Type Frequency Discriminator in Very-Low CNR Environments," IEICE Trans. On Comm., Vol. E80-B, No. 1, pp. 25-32, Jan. 1997.
- [3] H. C. Osborne, "A Generalized "Polarity-Type" Costas Loop for Tracking MPSK Signals," IEEE Trans. On Comm., Vol. COM-30, No. 10, Oct. 1982.
- [4] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers," IEEE Trans. On Comm., Vol. COM-34, No. 5, pp. 423-429, May 1986.
- [5] F. M. Gardner, "Hangup in Phase-Lock Loop," IEEE Trans. On Comm., Vol. COM-25, No. 10, pp. 1210-1214, Oct. 1977.
- [6] T. T. Ha, *Digital Satellite Communications*, McGraw-Hill Co., 1990.
- [7] K. K. Feher, *Digital Communications*, Prentice-Hall, 1981.
- [8] COMSAT Technical Review, Vol. 24, No. 1-2, pp. 223-240, 1994/1995.
- [9] 최형진, 동기방식 디지털 통신, 교학사, 1995년.

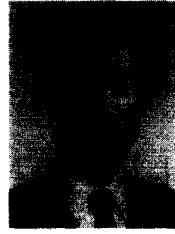
## 저 자 소 개



黃 鎰 鉉(正會員)

1996년 2월 성균관대학교 전자공학과 졸업(학사). 1998년 2월 성균관대학교 대학원 전자공학과 졸업(석사). 1998년 3월 ~ 현재 성균관대학교 전기전자컴퓨터공학부 박사과

정. 주관심분야는 위성통신, 이동통신, 디지털통신 기술 등임



崔 炯 辰(正會員)

1974년 2월 서울대학교 전자공학과 졸업(학사). 1976년 2월 한국과학기술원 전기전자공학과 졸업(석사). 1976년 3월 ~ 1979년 7월 주식회사 금성사 중앙연구소 근무(연구원).

1979년 9월 ~ 1982년 12월 미국 University of Southern California 전기공학과 졸업(Ph.D). 1982년 10월 ~ 1989년 2월 미국 LinCom Corp. 연구원으로 근무. 1989년 3월 ~ 현재 성균관대학교 전기전자컴퓨터공학부(정교수). 주관심분야는 디지털 통신, 무선통신, 위성통신, 및 동기화 기술을 포함한 Modern 기술 등임