

論文98-35S-9-2

900MHz GSM 디지털 단말기용 Si BiCMOS RF송수신 IC개발 (I) : RF수신단

(An Integrated Si BiCMOS RF Transceiver for 900 MHz
GSM Digital Handset Application (I) : RF Receiver
Section)

朴寅植*, 李圭馥*, 金鍾圭*, 金漢植*

(In-Shig Park, Kyu-Bok Lee, Jong-Kyu Kim, and Han-Sik Kim)

요 약

본 논문에서는 E-GSM 단말기용 Transceiver RFIC 칩 수신단의 회로설계, 제작 및 특성측정을 수행하였다. AMS사의 0.8 μ m 실리콘 BiCMOS 공정을 사용하여 10 × 10 mm 크기를 갖는 80핀 TQFP 패키지로 제작하였으며, 동작전압 3.3V에서 우수한 RF 성능을 얻었다. 제작된 RFIC의 수신단에는 LNA, Down Conversion Mixer, AGC, SW-CAP 및 Down Sampling Mixer를 포함하고 있으며, 제작된 RFIC의 사용 주파수 범위는 925 ~ 960MHz, 전류소모는 67mA, 최소검출레벨은 -105dBm의 특성을 얻었다.

Abstract

A single RF transceiver chip for an extended GSM handset application was designed, fabricated and evaluated. A RFIC was fabricated by using silicon BiCMOS process, and then packaged in 80 pin TQFP of 10 × 10 mm² in size. As a result, it was achieved quite reasonable integrity and good RF performance at the operating voltage of 3.3V. This paper describes development results of RF receiver section of the RFIC, which includes LNA, down conversion mixer, AGC, switched capacitor filter and down sampling mixer. The test results show that RF receiver section is well operated within frequency range of 925 ~ 960 MHz, which is defined on the extended GSM specification (E-GSM). The receiver section also reveals moderate power consumption of 67 mA and minimum detectable signal of -105 dBm.

I. 서론

세계의 이동통신은 아날로그(Analog)방식에서 디지털(Digital)방식으로 빠르게 바뀌어 가고 있다. 1980년대부터 유럽, 미국, 일본 등 선진국가에 의해 제정되

기 시작한 디지털 이동통신 방식은 1990년대에 상용 서비스가 개시되면서 급속하게 성장하고 있다. 현재 전세계에서 활발하게 상용서비스 되고 있는 디지털 이동통신 방식은 GSM(Global System for Mobile Communication) 방식과 CDMA(Code Division Multiple Access) 방식으로 대별된다.

1997년 현재 전세계 94개국가가 GSM을 디지털 이동통신 방식으로 채택하였고 가입자수는 약 4,400만 명에 이르고 있으며, 전세계 이동통신 시장의 약 28%를 점유하고 있다. 주파수 900MHz 대역의 GSM은 발전을 거듭하여 1.8GHz 대역의 PCN(Personal

* 正會員, 電子部品綜合技術研究所

(Korea Electronics Technology Institute, KETI)

※ 본 연구는 통상산업부에서 시행한 공업기반기술 개발사업의 일환으로 이루어졌음

接受日字: 1997年9月12日, 수정완료일: 1998年7月1日

Communication Network)과 1.9GHz 대역의 PCS(Personal Communication Service)등 2개의 디지털 개인휴대통신 규격을 파생시켰다. PCN은 유럽 국가의 표준으로, PCS는 미국의 표준으로 채택되어 상용서비스가 시작되었다.

최근들어 무선통신 시스템은 GHz 주파수의 무선통신 수신기를 위한 저가이고 고성능의 수신단 부품(RF 증폭기, 혼합기, VCO등)을 필요로 하고 있으며, 특히 단말기의 소형화와 제조원가를 줄이기 위하여 Discrete 부품들을 단일 칩위에 구현하여 IC화 및 집적도를 향상시켜 Board 및 기판 면적을 최소화하는 것이 중요한 요소로 대두되고 있다^[1,2]. 본 연구에서는 이와 같은 필요성에 따라 유럽형 표준 디지털 이동통신인 GSM 단말기용 RFIC의 설계, 제작 및 특성측정을 수행하여 비교적 우수한 결과를 얻었으며 본고에서는 개발된 RFIC의 수신단에 대한 기술사항을 정리하였다.

II. 회로설계 및 시뮬레이션

디지털 이동통신(E-GSM)용 RF부의 수신단은 Low Noise Amplifier, RF SAW 필터, Down Conversion Mixer, IF SAW 필터, AGC 증폭기, SW-CAP 필터및 Down Sampling Mixer로 구성되어 있으며, AMS사의 0.8 μ m BiCMOS 공정파라미터를 사용하여 회로를 설계하였다.

수신단의 동작을 간단히 설명하면 안테나를 통하여 들어온 고주파 신호는 듀플렉서를 거쳐서 저잡음증폭기로 입력된다. 여기에서 μ V 이하의 미세한 입력신호를 증폭하며 다른 대역의 잡음신호를 제거하기 위하여 RF SAW 필터를 거친 후 Down Conversion Mixer를 통하여 IF 주파수로 변환된다. 이 신호를 IF SAW 필터를 통하여 혼합기에서 발생된 다른 고조파(Harmonics)를 제거하고 AGC 증폭기를 통하여 출력이 포화되지 않는 일정한 레벨로 증폭한다. 증폭된 IF 신호는 Down Sampling Mixer와 SW-CAP 필터를 통하여 I, Q의 두 베이스 밴드 신호로 바뀌어져 BBC(Baseband Converter)로 공급된다^[3]. 그림 1에 수신단의 블록도를 나타냈다.

디지털 이동통신(E-GSM)용 수신단의 규격은 최소 -102dBm의 입력신호를 수신할 수 있어야 하며 Baseband로의 출력레벨은 -13dBm 이상의 출력특성

을 나타내야 한다. 그러므로 외부정합부품인 RF 및 IF SAW 필터의 삽입손실을 각각 5dB와 10dB로 가정하여 LNA, Down Conversion Mixer, AGC, SW-CAP 및 Down-Sampling Mixer의 각각의 Spec.을 설정하여 아래와 같이 설계하였다.

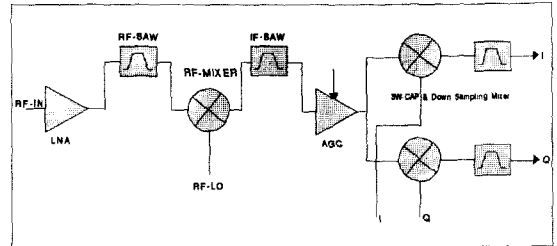


그림 1. E-GSM 수신단의 블록도
Fig. 1. Block Diagram of Receiver Section for E-GSM.

1. 저잡음증폭기 (Low Noise Amplifier)

본 절에서는 안테나 및 Duplexer를 통하여 수신된 E-GSM 주파수 925~960 MHz 대역의 RF 신호를 n-p-n Bipolar TR을 사용하여 13dB 이상의 이득을 얻도록 2단 증폭기로 회로 설계하였으며, 설계된 저잡음증폭기의 회로도를 그림 2에 나타냈다.

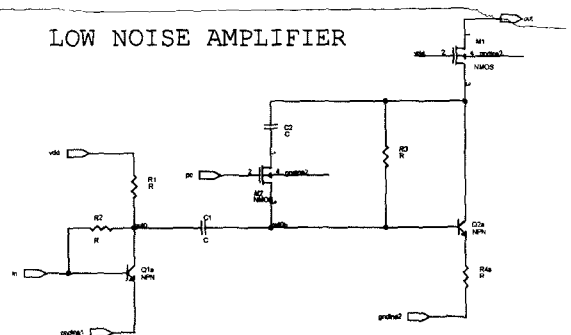


그림 2. 저잡음증폭기의 회로도
Fig. 2. Circuit Diagram of Low Noise Amplifier.

증폭기의 구조는 저잡음과 고이득의 특성을 갖도록 잡음지수와 이득을 최적화 시키기 위하여 Dual 모드로 설계하여 High Gain 모드와 Low Gain 모드단자를 따로 만들었으며 입력레벨에 따라 모드를 선택할 수 있도록 설계하였다. 초단의 이득은 Noise Figure를 최적화하고 뒷단의 Overloading을 피하기에 충분하며, 2dB의 전체 Noise Figure에 대해 좋은 IP3 특성을 갖는다. 저잡음증폭기의 둘째단은 에미터쪽에 작은 Degenerative 저항(R4a)을 갖는 BJT 소자(Q2a)

를 사용하였으며, 높은 IP3와 낮은 Intermodulation Product를 위하여 Feedback 회로를 사용하였다^[4]. 또한, 둘째단은 19dB와 13dB의 두 이득을 선택할 수 있도록 콜렉터 Feedback에 스위치를 사용한 이득스위칭 회로를 설계하였다. 이 스위치는 둘째단의 Feedback에서 직렬로 큰 캐패시터(C2)를 갖는 NMOS 스위치(M2) 이다. 또한, 이득단에서의 캐패시턴스에 의한 Miller 효과를 낮추기 위해 BJT(Q2a) 소자의 콜렉터에 NMOS(M1) 소자를 사용하였다^[5].

그림 3과 그림 4는 주파수가 700MHz에서 1.3GHz 까지 변할 때 High Gain 모드와 Low Gain 모드에서의 이득특성을 보여주고 있다. High Gain 모드의 이득은 중심주파수인 940MHz에서 약 19.3 dB의 특성을 나타내고 있으며, Low Gain 모드에서는 약 13.2dB의 특성을 나타내고 있다. 또한 설계된 저잡음 증폭기의 Noise Figure는 Third Order Intercept Point (IP3)가 -3dBm일 때 약 2dB 이다.

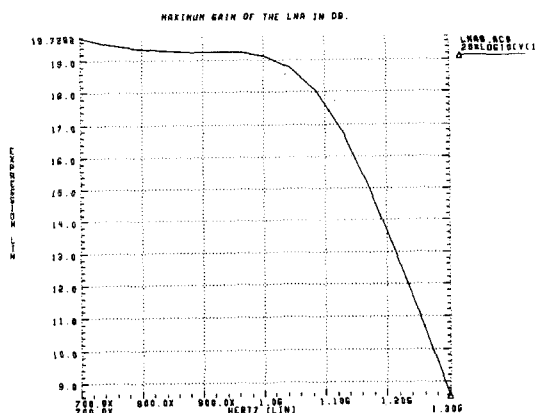


그림 3. High Gain Mode의 이득특성
Fig. 3. Gain Characteristics of High Gain Mode.

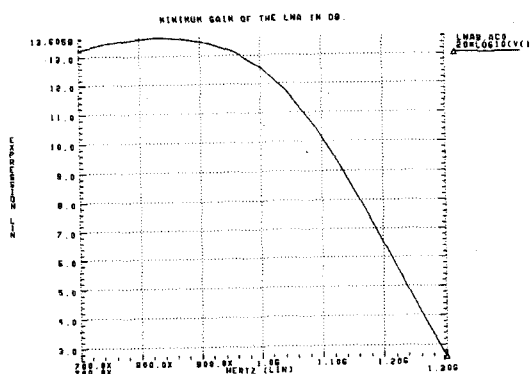


그림 4. Low Gain Mode의 이득특성
Fig. 4. Gain Characteristics of Low Gain Mode.

2. Down Conversion Mixer

본 절에서는 저잡음증폭기 및 RF SAW 필터를 통하여 수신된 E-GSM 주파수 925 ~ 960 MHz 대역의 RF 신호와 1003 ~ 1038 MHz LO 주파수를 Mixer에 인가하여 78 MHz의 IF 주파수를 생성하기 위한 Down-Conversion Mixer를 설계하여 그림 5에 나타냈다.

설계된 Mixer는 RF-VCO에 의하여 구동되는 간단한 Differential Pair (Q1c - Q2a) 회로구조이다. LO로 구동되는 Differential Pair는 하부 트랜지스터 (Q3a)를 흐르는 신호전류를 분할하는 Common-Base 입력버퍼이다^[6].

Mixer의 입력 임피던스는 에미터와 접지사이에 인덕턴스를 갖는 에미터 본딩 와이어를 사용하여 RF SAW 필터의 50Ω 출력 임피던스에 정합되었으며, Degeneration 저항과 직렬로 연결된 에미터와 접지사이의 본딩와이어의 작은 인덕턴스를 이용하여 Mixer의 입력단을 정합하였다^[7]. 또한, 에미터 Degeneration 저항을 사용함으로써 거의 +6dBm의 높은 IP3 특성과 6mA의 바이어스 전류에서 높은 트랜스컨덕턴스(g_m) 특성을 얻을 수 있었다.

DOWN CONVERSION RF MIXER

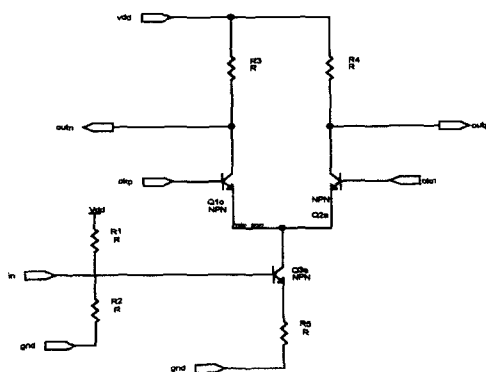


그림 5. Down Conversion Mixer의 회로도
Fig. 5. Circuit Diagram of Down Conversion Mixer.

그림 6은 -25dBm의 레벨을 갖는 960MHz와 970MHz의 RF 신호와 870MHz의 LO 신호를 인가하였을 경우의 출력특성을 보여주고 있다. 출력단(IF)으로는 RF와 LO 주파수의 차가 나타나므로 90MHz와 100MHz의 출력특성을 나타내고 있으며, 이득은 약 13dB 이고 Fundamental 주파수와 3rd Order

Harmonics 사이의 차이는 약 65dBc의 특성을 나타내고 있음을 확인할 수 있다.

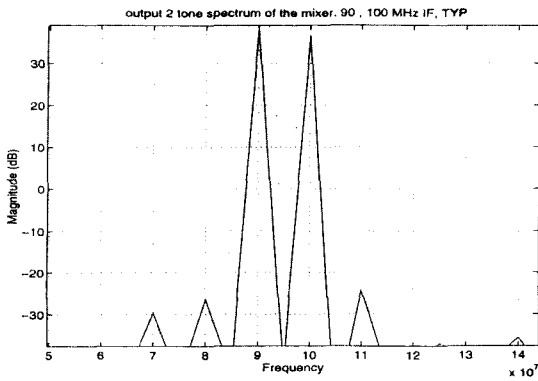


그림 6. Down Conversion Mixer의 2-tone 출력특성
Fig. 6. 2-tone Output Characteristics of Down Conversion Mixer.

3. AGC (Automatic Gain Control) 증폭기

AGC 증폭기는 Down-Conversion Mixer와 IF SAW 필터를 통하여 수신된 78 MHz의 RF 신호를 BBC에서 필요한 일정레벨로 이득을 조절해주는 기능

을 수행하는 소자로서, 설계된 AGC 증폭기의 Block Diagram을 그림 7에 나타냈으며, 내부 AGC Stage의 회로도를 그림 8에 나타냈다. 본 설계에서는 AGC Stage와 비교기를 5단으로 설계하고 고정된 이득 Stage와 Buffer Amp단을 추가하여 E-GSM RF 수신부에 연결되는 베이스밴드에 필요한 이득을 일정한 레벨로 공급할 수 있도록 설계하였다. 일반적으로 AGC 증폭기는 대신호에서 넓은 Dynamic Range와 높은 IP3 특성을 가져야 하고, 소신호에서는 낮은 Noise Figure를 가져야 한다^[8].

본 논문에서의 AGC 증폭기는 GSM Spec에 맞추기 위하여 0 dB에서 80dB까지 폭넓게 이득을 변화시킬 수 있어야 한다. 대신호 입력에 대하여 설계된 AGC 증폭기는 0dBm IP3 특성과 0dB 이득을 갖도록 설계되었고, 반면에 소신호 입력에 대하여 AGC 증폭기는 6dB에서 7dB의 Noise Figure 특성을 갖고 80dB의 이득을 갖도록 설계되었다. 그러므로 설계된 AGC 증폭기는 대신호와 소신호 입력신호 양쪽에 대하여 최적화되었다.

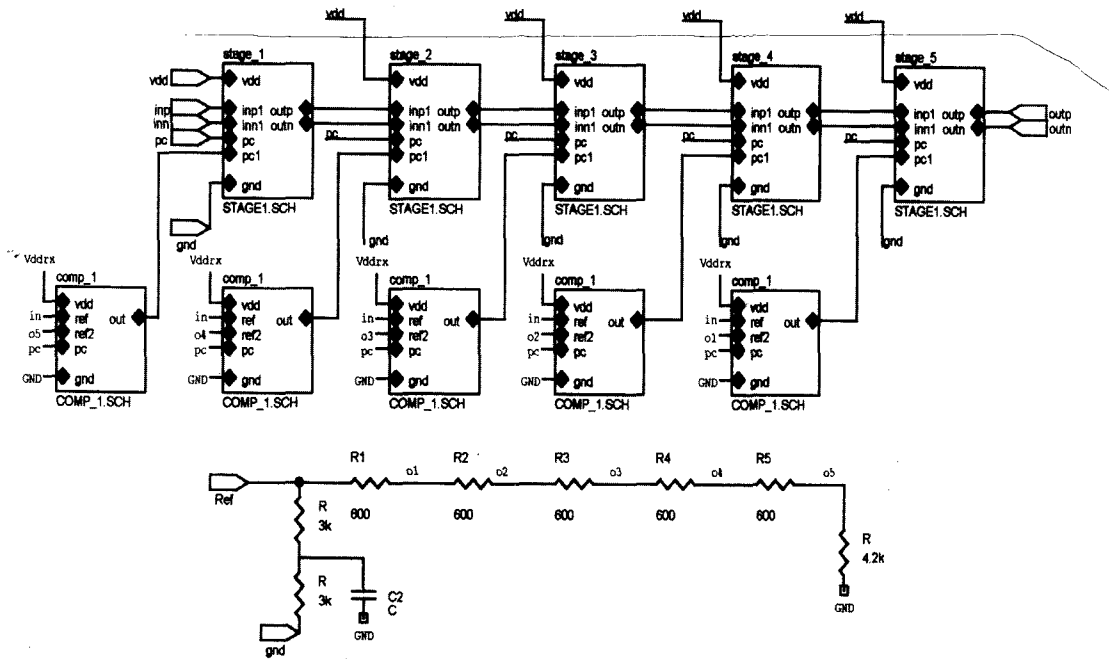


그림 7. AGC 증폭기의 블록도
Fig. 7. Block Diagram of AGC Amplifier.

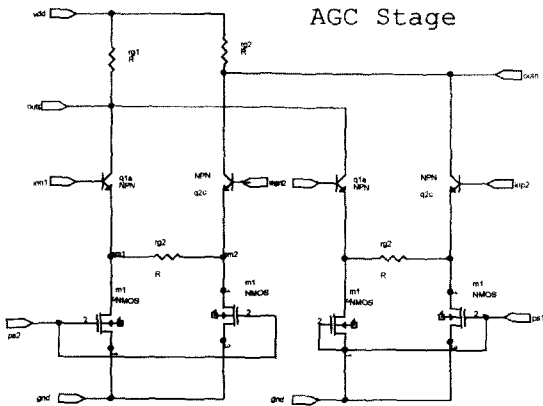


그림 8. 각단 AGC Stage의 회로도 (stage1,2,3,4,5)
Fig. 8. Circuit Diagram of each AGC Stage (stage1,2,3,4,5).

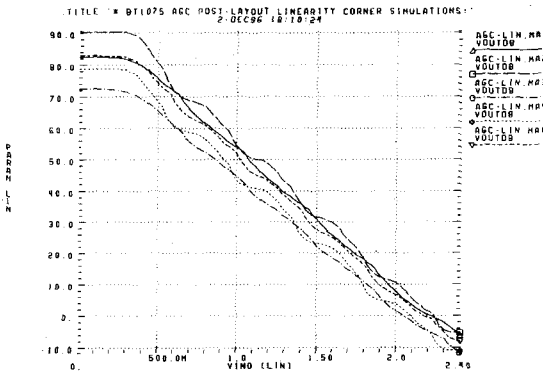


그림 9. 제어전압에 따른 AGC 증폭기의 이득특성 (Vcc=2.7,3.0,3.2,3.3,3.6V, Vc=0~2.4V)
Fig. 9. Gain Characteristics of AGC Amplifier using Control Voltage.

그림 7에서 알 수 있듯이 설계된 AGC 증폭기는 5개의 동일한 비교기들과 AGC 이득 Stage들로 구성된다. Ladder 회로와 비교기 회로를 조합하여 필요한 AGC 이득을 얻기 위한 이득 Stage의 선택이 가능하도록 회로를 설계하였으며, 5개의 비교기 각각은 특별한 AGC 이득 Stage와 연결된다. 비교기들이 On 됐을 때, 비교기들은 연결된 이득 Stage가 더 많은 이득을 공급하도록 AGC의 Switching Gain Stage를 활성화하는 전류를 발생한다. 또한, 고정된 이득으로부터 Switched 이득으로 바뀌는 동안 두 번째의 Switching 이득 Stage의 전류는 이득레벨의 급격한 변화를 막기 위하여 점진적으로 증가한다. 이러한 구조는 일반적인 디지털 AGC 곡선을 Interpolate하여

이득 Stage들사이의 선형적인 변화를 가능하게 한다. 5개의 이득 Stage들과 그 내부의 2개의 이득 Stage들의 합과 천이(transition)는 AGC 증폭기가 0 ~ 80dB의 이득조절을 가능하게 한다^[9].

그림 9는 AGC 증폭기의 Gain Control 단자인 NMOS의 Gate 단자 전압을 0V에서 2.4V까지 인가하였을 경우의 AGC 증폭기 출력의 Gain 특성의 변화를 나타낸 것으로 Gain을 -5dB에서 80dB까지 원활히 제어할 수 있음을 확인할 수 있다.

4. SW-CAP & Down-Sampling Mixer

AGC 증폭기를 통과하여 일정한 레벨로 증폭된 IF 주파수로부터 I/Q의 Baseband 신호를 얻기 위하여 Down Sampling Mixer와 SW-CAP 필터를 설계하였으며 회로도를 그림 10에 나타냈다. 설계된 SW-CAP은 2가지 기능을 수행하는데, 첫째는 78MHz의 IF 주파수를 베이스밴드의 I/Q 주파수로 Down Conversion하기 위하여 자기 자신의 Clock 주파수 (26MHz)의 3차 Harmonics를 사용하여 Sub-Sampling Mixer의 기능을 한다. 둘째로 200KHz 대역의 신호를 통과시키고 외부의 Spurious Noise를 제거하는 필터로서의 기능을 수행한다. 이러한 구조를 Demodulator Section에 사용함으로써 On-chip Spurious Noise를 감소시켰으며 부가적인 Mixing 회로와 필터단을 제거하였다. 또한 IF Synthesizer의 설계를 간소화하였으며 Power Consumption을 줄일 수 있었다. 그러나, LO 주파수가 26MHz로 IF 주파수(78MHz)보다 높으므로 LO 신호가 AGC 증폭기쪽으로 Coupling하는 것을 방지하도록 설계하여야 한다^[10].

SW-CAP 필터의 또다른 기능은 대역폭 밖의 신호들을 제거하는 것이다. 일반적으로 SW-CAP 필터는 공정의 변화에 무관하며, Corner Frequency는 캐패시터의 기하학적인 형상과 캐패시터의 비율에 의존한다. 이 필터의 Noise Figure를 최소화 하기 위하여 입력 캐패시턴스를 크게 설정하였는데, 그 이유는 Noise는 1/C에 직접적으로 비례하기 때문이다^[11].

그림 11은 SW-CAP 필터의 입력 및 출력특성을 보여주고 있다. (a)의 파형은 SW-CAP 필터로의 78.1MHz Differential Input을 나타내고 있으며, (c)의 파형은 26MHz의 Clock 입력을 보여주고 있다. (b)의 파형은 Downsampling 되고 Filtering된

SW-CAP FILTER

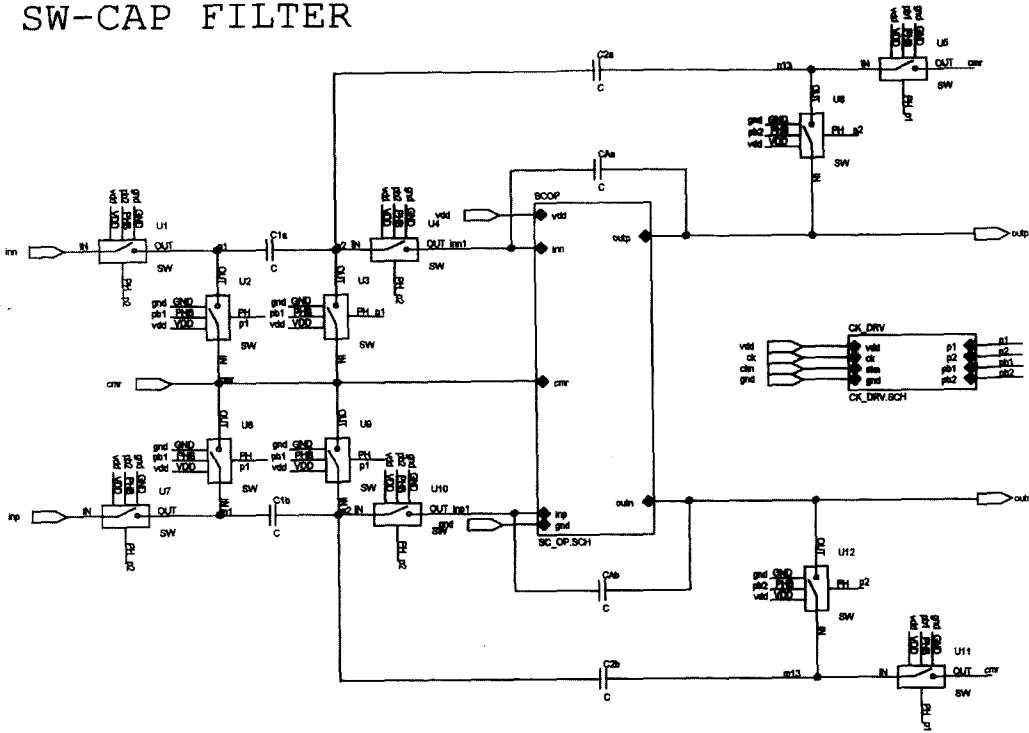


그림 10. SW-CAP 필터의 회로도
 Fig. 10. Circuit Diagram of SW-CAP Filter.

100KHz 출력특성을 보여주고 있다. 78.1MHz의 3차 Harmonic은 100KHz로 Down Sampling 되고 SW-CAP에 의해 필터링 된다.

와 AGC & SW-CAP은 전체 E-GSM RFIC Chip의 내부에 포함되는 부분으로서 각각의 특성을 평가할 수 있도록 Chip을 Layout 하였으며, 제작된 Chip의 Layout 사진을 그림 12에 나타냈다.

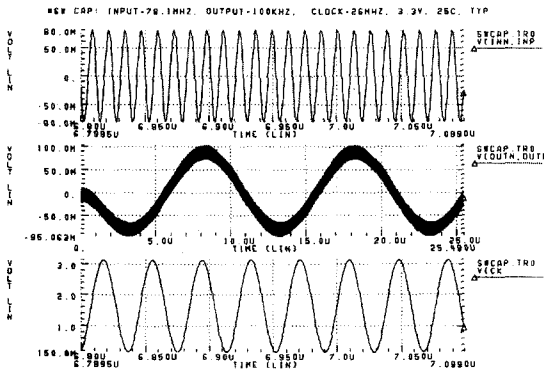


그림 11. SW-CAP 필터의 입력 및 출력특성
 Fig. 11. Input and Output Characteristics of SW-CAP Filter.

Ⅲ. 특성측정 및 평가

앞절에서 설계된 LNA, Down Conversion Mixer

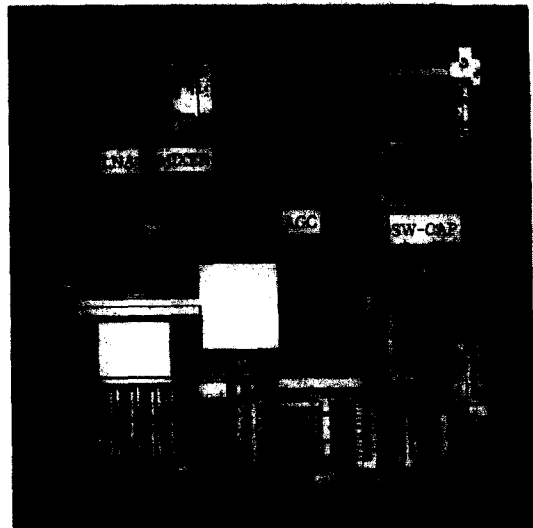


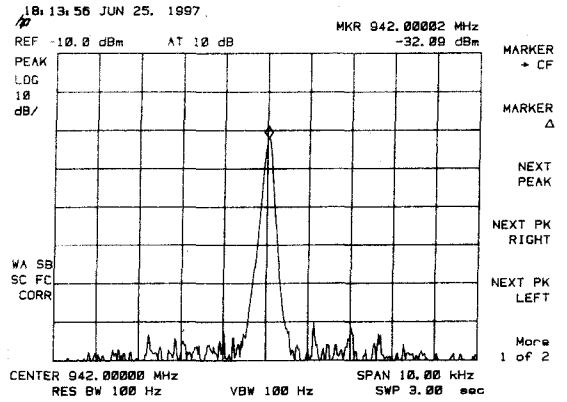
그림 12. 제작된 Chip의 Layout 사진
 Fig. 12. Layout Diagram of Fabricated Chip.

1. 저잡음증폭기

저잡음증폭기의 특성측정은 Signal Generator로 925 ~ 960MHz 대역의 신호를 입력하고 각각의 주파수에 대하여 이득특성, IP3, 입력과 출력 임피던스 정합특성 및 Noise 특성을 평가하였다. 그림 13는 수신대역의 중심주파수 942MHz에서 입력레벨이 -35.49dBm일 경우의 출력특성을 나타내고 있으며, High Gain 모드일 경우 출력은 -17.33dBm으로 약 18dB의 이득과 Low Gain 모드일 경우 출력은 -32.09dBm으로 약 3dB의 이득을 보여주고 있다. 또한 주파수가 925MHz에서는 High Gain 모드에서 18dB의 특성을 갖고, 960MHz에서는 19dB의 이득특성을 나타내고 있으며, Low Gain 모드에서는 925MHz에서 3dB, 960MHz에서 2dB의 이득특성을 나타냄을 확인하였다.

그림 14는 인접한 두 개의 주파수를 인가하였을 경우의 IP3 출력특성을 나타낸다. 두 주파수는 $f_1=935\text{MHz}$, $f_2=937\text{MHz}$ 이고 입력레벨은 -25.96 dBm일 경우 Low Gain 모드에서 출력특성을 측정하였으며, Fundamental과 3rd Order 사이의 차이는 55dBc의 특성을 나타냈다. 그러므로 저잡음증폭기의 IP3는 0dBm의 특성을 나타냄을 알 수 있다.

또한, 저잡음증폭기의 입력단 및 출력단 정합특성은 사용대역주파수에서 High Gain 모드와 Low Gain 모드에 대하여 -10dB 이상의 특성을 나타냈다. 또한, 저잡음증폭기의 잡음특성을 Noise Figure Meter를 사용하여 측정하였으며 측정된 저잡음증폭기의 NF는 약 2.5dB의 특성을 얻었다.



(b) Low Gain mode

그림 13. 저잡음증폭기의 이득특성

Fig. 13. Gain Characteristics of Low Noise Amplifier.

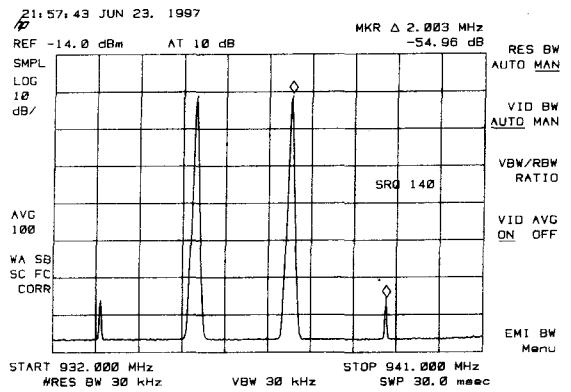
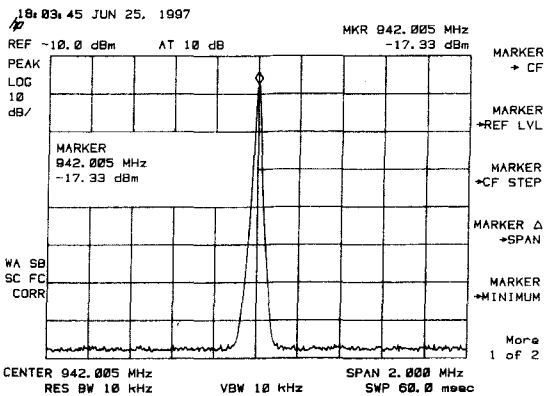


그림 14. 저잡음증폭기의 IP3 (Low Gain Mode)

Fig. 14. IP3 Characteristics of Low Noise Amplifier (Low Gain Mode).



(a) High Gain mode

2. Down Conversion Mixer

Mixer의 특성측정은 주파수 925 ~ 960MHz의 RF 신호를 입력하고 LO 주파수를 1003 ~ 1038 MHz사이에서 Sweep한 후 78MHz의 IF 주파수 출력에 대한 특성을 평가하였으며, Mixer의 출력은 Differential 신호이므로 Single Ended 신호로 변환하기 위한 Power Combiner를 사용하여 특성을 측정하였다.

Mixer의 이득특성을 그림 15와 16에 나타냈다. 그림 15은 RF 주파수가 925MHz에서 -30dBm이고 LO 주파수가 1003MHz에서 0dBm일 경우의 Mixer 출력단의 Single ended 출력을 나타내며, 실제

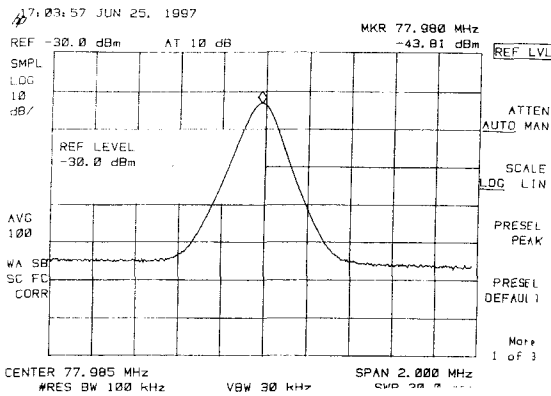


그림 15. Mixer의 이득특성 (RF=925MHz, LO=1003MHz)
 Fig. 15. Gain Characteristics of Mixer (RF=925MHz, LO=1003MHz).

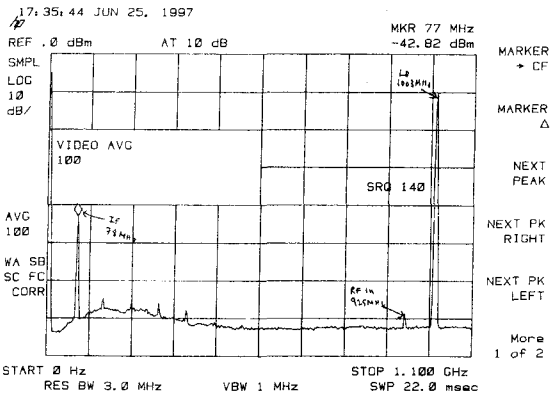


그림 16. Mixer의 출력단 스펙트럼 (RF=925MHz, LO=1003MHz)
 Fig. 16. Output Spectrum of Mixe (RF=925MHz, LO=1003MHz).

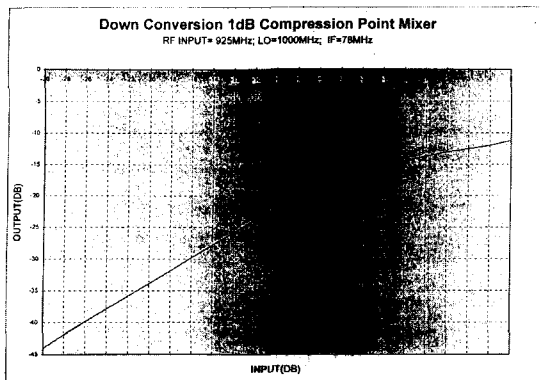


그림 17. Mixer의 1dB Compression Point
 Fig. 17. 1dB Compression Point of Mixer.

Mixer의 이득은 12.2dB임을 알 수 있다. 또한 RF=942MHz, LO=1020MHz와 RF=960MHz, LO=1038MHz 일 경우 Mixer의 이득은 12dB 임을 확인하였다. 그림 16는 Mixer의 출력단에서 IF, RF 및 LO 주파수를 포함하는 전체 Spectrum을 보여준다.

Mixer의 1dB Compression Point를 측정하기 위하여 Gain 특성측정과 동일한 Set-up에서 RF 주파수의 입력레벨을 1dB씩 증가시켜가면서 출력단의 출력레벨을 관측하여 그림 17에 나타냈다.

3. AGC & SW-CAP 필터

AGC와 SW-CAP 필터 Section은 Chip내에 함께 포함되어 있으므로, AGC Section에 입력신호를 인가하고 SW-CAP 필터의 출력인 I/Q 신호를 측정함으로써 전체 특성을 평가하였다. AGC의 입력신호는 78.0675MHz의 Differential 형태이므로 입력단에 Signal Generator를 이용하여 78.0675MHz를 발생하고 Single to Differential Power Splitter를 이용하여 신호를 분리하여 입력신호를 인가하였고, Down Sampling Mixer의 LO 주파수는 26MHz신호의 3rd Harmonics를 사용하였다. 출력신호는 67.5KHz의 I/Q 데이터이므로 Spectrum 분석기나 Oscilloscope로 측정한다.

AGC 증폭기에는 AGC_REF 단자와 AGC_CTRL 단자를 포함하고 있는데 수회의 측정을 통하여 AGC_REF 단자는 1.6V에서 가장 우수한 성능을 나타내므로 단자전압을 고정하였으며, AGC_CTRL 단자는 전압을 바꿈으로서 GSM의 Baseband에서 필요로 하는 신호레벨로 AGC의 이득을 제어할 수 있는 단자이다.

그림 18은 AGC_CTRL 전압이 0.2V에서 1.8V까지 변할 때의 AGC & SW-CAP의 이득특성의 변화를 나타냈으며, 약 5dB에서 80dB까지 이득을 제어할 수 있음을 알 수 있다. AGC & SW-CAP의 Minimum Detectable Signal 레벨을 측정하기 위하여 입력신호레벨을 높이거나 감소시키면서 Baseband에서 필요로 하는 70mVp-p의 출력레벨로 AGC_CTRL 전압을 고정시키고 출력레벨과 Noise Floor 레벨과의 차이가 28.5dB 이상의 조건을 만족하는 입력레벨을 측정하였다. 그림 19은 AGC-SW-CAP의 Minimum Detectable Signal 레벨로 입력레벨이

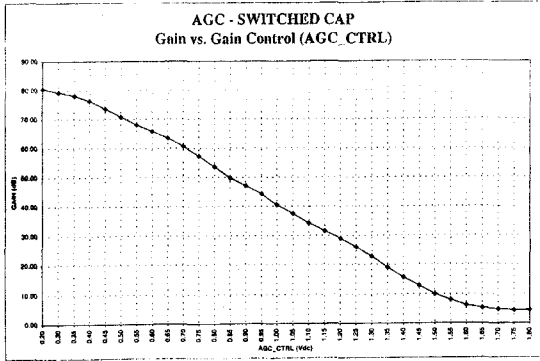


그림 18. AGC & SW-CAP의 제어전압에 따른 이득 특성
 Fig. 18. Gain Characteristics of AGC & SW-CAP Using Control Voltage.

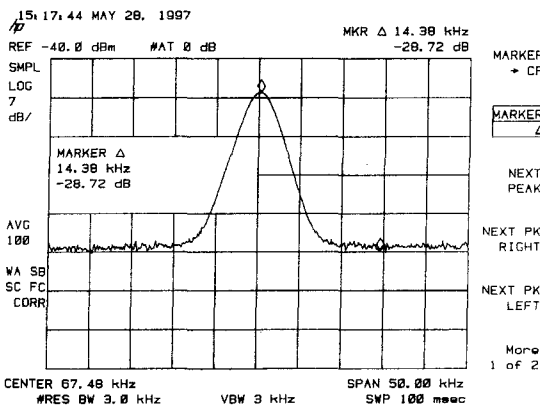


그림 19. AGC & SW-CAP 의 Min. Detectable Signal 특성측정
 Fig. 19. Min. Detectable Signal Characteristics of AGC & SW-CAP.

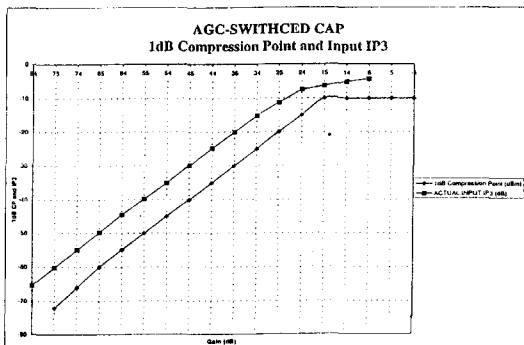


그림 20. AGC & SW-CAP의 1dB Comp. Point와 Input IP3 특성
 Fig. 20. 1dB Comp. Point vs. Input IP3 Characteristics of AGC & SW-CAP.

-86dBm, AGC_REF는 1.6V이고 AGC_CTRL 전압이 0V인 경우의 출력특성을 나타내고 있으며, 출력레벨과 Noise Floor 레벨의 차이가 28.72dB 이므로 이 신호레벨의 검출이 가능함을 알 수 있다.

AGC & SW-CAP의 1dB Compression Point와 IP3 점을 각각 측정하였으며, AGC 이득의 변화에 따른 특성의 변화를 그림 20에 나타냈다.

IV. 결론

본 논문에서는 유럽형 디지털 이동통신인 E-GSM 단말기용 RFIC 수신단의 LNA, Down Conversion Mixer, AGC와 SW-CAP 필터의 회로설계, 제작 및 특성측정을 수행하였다. AMS사의 0.8μm BiCMOS 공정을 사용하여 제작된 RFIC 수신단은 RF와 IF 필터를 제외한 모든부분을 One Chip으로 구성하여 특

표 1. 시뮬레이션 및 특성측정결과의 비교
 Table 1. The Comparison of Simulation and Measurement Results.

Parameters	측 정		시뮬레이션		Unit
	Typical Low	Typical High	Typical Low	Typical High	
Overall					
Power Supply	3.25	3.3			V
Supply Current	67	67			mA
Frequency Range	925 ~ 960	925 ~ 960			MHz
Low Noise Amplifier					
Supply Current	10	10	10		mA
Gain	3	18	13	19	dB
Input IP3	0	-11	-2	-7	dBm
1dB Compression Point	-12	-24	-12	-17	dBm
Noise Figure	2.5	3.5	2.1		dB
S11	-10		-20		dB
Input Impedance	35		50		Ω
RF Down Conversion Mixer					
Supply Current	7		7		mA
IF	78		78		MHz
Gain	12		13.8		dB
Input IP3	10		8		dBm
1dB Compression Point	3.5		4		dBm
Noise Figure	-		9		dB
Input Impedance	39		50		Ω
Output Impedance	1000		1000		Ω
AGC & SW-CAP & IF-VCO Buffer					
Supply Current	23		21		mA
Gain	0 ~ +80		-5 ~ +80		dB
Input IP3	4		6		dBm
1dB Compression Point	-10		-4		dBm
Min. Detectable Signal	-86		-86		dBm
Input Impedance	1000		1000		Ω

성측정하였다. 제작된 Chip의 시뮬레이션 결과 및 특성측정 결과를 비교하여 표 1에 나타냈다. 전반적으로 시뮬레이션 결과와 특성측정 결과가 일치함을 알 수 있다. 설계된 수신부는 송신부 및 발진부와 통합하여 실제 GSM 단말기에 사용이 가능하도록 제작되었으며 현재 상용화를 추진중에 있다.

현재까지 국내에서 수행된 연구는 이동통신시스템의 RF부를 여러부품을 사용하는 모듈형태로 개발하여 상용화되어 있으나, 본 논문의 경우는 핵심부품을 실리 콘 웨이퍼 위에 One Chip으로 설계하여 크기를 줄이고 특성을 개선한 국내 최초의 RFIC로 평가될 수 있다.

참 고 문 헌

- [1] C.K. Kermarrec, G. Dawe, T. Tewksbury and T. Brown, "The Future of RFIC Transceiver RFIC," MTT-S Symposium, June 1997.
- [2] Josef Fenk, "Highly Integrated RF-ICs for GSM and DECT," MTT-S Symposium, June 1997.
- [3] B.S. Song and D.G. Wilson, "Low Power Analog Front Ends for RF Receivers," The 4th International Conference on VLSI and CAD, October 1995.
- [4] C.D. Hull and R.G. Meyer, "Principles of wideband feedback amplifier design," Int. J. High Speed Electron., vol. 3, no. 1, pp. 53-93, March 1992.
- [5] R.G. Meyer and W.D. Mack, "A 1-GHz BiCMOS RF Front-End IC," IEEE J. of Solid State Circuits, vol. 29, no. 3, pp. 350-355, March 1994.
- [6] J. Crols and M. Steyaert, "A Fully Integrated 900MHz CMOS Double Quadrature Downconverter," IEEE Inter. Solid State Circuits Conf., pp. 140-141, Feb. 1993.
- [7] Eerola, V., et al., "Direct Conversion Using Lowpass Sigma-Delta Modulation," IEEE Inter. Symposium on Circuit and System, vol. 6, pp. 2653-2656, May 1992.
- [8] "디지털 이동통신 단말기(GSM) 개발," 전자부품종합기술연구소, 1995.
- [9] R.G. Meyer and W.D. Mack, "A Wideband Low-Noise Variable-Gain BiCMOS Transimpedance Amplifier," IEEE J. of Solid State Circuits, vol. 29, no. 6, pp. 701-706, June 1994.
- [10] A.A. Abidi, "Low-Power Radio-Frequency IC's for Portable Communications," Proceedings of the IEEE, vol. 83, no. 4, pp. 544-560, April 1995.
- [11] B.S. Song, "A 4th-Order Bandpass Delta-Sigma Modulator with Reduced Number of OP Amps," IEEE Inter. Solid-State Circuits Conf., pp. 204-205, Feb. 1995.

저 자 소 개

朴 寅 植(正會員)

1966년 11월 1일생. 1990년 2월 동국대학교 전자공학과(공학사). 1992년 2월 동국대학교 전자공학과(공학석사). 1992년 3월~현재 전자부품종합기술연구소 ATEL 단말기사업단 전임연구원. 주관심분야 고주파 부품 설계, MMIC 및 RFIC 설계

金 鍾 圭(正會員)

1957년 9월 15일생. 1986년 2월 서울산업대학교 전자공학과(공학사). 1989년 2월 건국대학교 전자공학과(공학석사). 1992년 3월~현재 전자부품종합기술연구소 부품연구3팀 선임연구원. 주관심분야 고주파부품 설계 및 안테나 개발

李 圭 馥(正會員)

1964년 12월 26일생. 1989년 2월 인하대학교 응용물리학과(공학사). 1992년 2월 인하대학교 응용물리학과(공학석사). 1992년 3월~현재 전자부품종합기술연구소 ATEL 단말기사업단 전임연구원. 주관심분야 고주파부품 설계, BiCMOS 소자 모델링 및 RFIC 설계

金 漢 植(正會員)

1949년 8월 15일생. 1971년 2월 연세대학교 금속공학과(공학사). 1973년 2월 연세대학교 금속공학과(공학석사). 1984년 7월 펜실베니아주립대 재료공학과(공학박사). 1973년 7월~1992년 2월 국방과학연구소 책임연구원. 1992년 3월~현재 전자부품종합기술연구소 ATEL 단말기사업단 단장. 주관심분야 고주파부품 재료 및 공정 개발, 고주파 자성부품 개발, RFIC 개발