

열하중하에 있는 IC 패키지의 점탄성 파괴해석

이강용*, 양지혁*

Visco-Elastic Fracture Analysis of IC Package under Thermal Loading

Kang Yong Lee*, Ji Hyuck Yang*

ABSTRACT

The purpose of the paper is to protect the damage of plastic IC package with searching the cause of the fracture due to the delamination and crack when the encapsulant of plastic IC package is on viscoelastic behavior with the effect of creep on high temperature. The model for analysis is the plastic SOJ package with dimpled diepad in the IR soldering process of surface mounting technology. The risk of delamination with calculating the distribution of viscoelastic thermal stress in the package without the crack in the surface mounting process is checked. The package model with the perfect delamination between chip and diepad is chosen to estimate the resistance against fracture in thermal loading with calculating $C(t)$ -integrals according to the change of the design. The optimum design to depress the delamination and crack is presented.

Key Words : Plastic IC Package(플라스틱 IC 패키지), $C(t)$ -integral($C(t)$ -적분), Visco-Elastic Analysis(점탄성 해석), Thermal Stress(열응력), Crack(균열), Delamination(박리)

1. 서 론

반도체 IC 패키지 중에서 열적, 전기적 특성은 세라믹 패키지가 우수하지만, 높은 가격과 집적화의 문제 때문에 플라스틱 패키지가 많이 쓰이고 있다. IC 패키지내의 열응력에 대한 연구는 1970년대 후반부터 시작하여 압전소자(piezoresistive device)⁽¹⁾, 스트레인 게이지⁽²⁾, 광탄성⁽³⁾, 응력감지칩⁽⁴⁾을 사용하여 행해져 왔다. 그러나 국부적

인 부위의 응력 해석이라는 단점 때문에, 유한요소법에 의한 해석이 1980년대 초부터 행해져 왔고 주로 상업용 유한요소법 프로그램을 사용하였다⁽⁵⁾⁽⁶⁾.

플라스틱 IC 패키지를 인쇄회로기판에 부착하는 실장 기술이 삽입실장기술에서 표면실장기술로 바뀌고 있는데, 표면실장기술에서는 표면실장 디바이스(surface mounting device)가 적외선 리플로 납땜 공정 중에 노(furnace)내에서 고온(230 - 260℃)에 노출되어 극심

* 연세대학교 기계공학과

한 열적 충격을 견뎌야 하므로 반도체의 품질과 신뢰성을 저하시키게 된다.

따라서 리플로 납땜 공정 중의 고온으로 인한 열하중에 의한 반도체의 파손을 방지하고, 충분한 신뢰도를 가질 수 있도록 하는 구조해석이 필요하다. 특히 종래의 연구가 굽힘강도, 전단강도를 판단 기준으로 하는 전통적인 파손기준(failure criterion)⁽⁷⁾⁽⁸⁾에 의하여 행하여 지고 있으나 더욱 신뢰성 있는 결과를 얻기 위해서는 파손의 직접적인 원인인 균열(crack)을 다루는 파괴기준(fracture criterion)⁽⁹⁾이 적용되어야 한다. Stevens등⁽¹⁰⁾은 세라믹 패키지의 리드프레임을 감싸고 있는 얇은 층인 glass seal에서의 균열해석에 파괴역학적 매개변수인 J 적분을 도입하였다.

한편 봉지재인 EMC는 리플로 납땜 공정 중에 유리 전이 온도(glass transition temperature)인 133~145℃ 이상의 고온에 이르게 되므로 크리프(creep)의 영향 하에 있게 된다⁽¹¹⁾. 따라서 크리프 영향에 의한 점탄성 거동을 고려한 해석이 필요하다. 그러나 조사한 바로는 점탄성 거동에 의한 플라스틱 IC 패키지의 파괴해석은 아직 없는 것 같다.

따라서 본 연구에서는 열적 하중 하에서 플라스틱 IC 패키지의 점탄성 거동을 해석하는 한편 균열에 대한 파괴 저항성이 가장 높은 최적의 조건을 크리프 파괴 매개변수인 C(t) 적분을 계산하므로써 제시하고자 한다.

2. 비균열 모델 및 점탄성 열응력해석

연구대상 패키지는 본 연구팀의 기존 연구인 이강용 등의 것⁽¹²⁾과 동일하며 Fig. 1과 같은 SOJ(small outline J-lead)형식을 선정하였다.

모델링, 경계조건 및 온도분포해석은 본 연구팀의 기존 연구⁽¹²⁾와 동일하다. 사용된 전산 패키지는 ABAQUS⁽¹³⁾와 PATRAN⁽¹⁴⁾이다.

응력해석에 사용된 재료의 물성치⁽¹²⁾는 Table 1과 같다. 여기서 α_1 과 α_2 는 각각 유리 전이온도 이하와 이상에서의 열팽창계수이다. 그리고 각 절점에서의 시간에 따른 온도분포⁽¹²⁾는 열응력을 계산하는 입력자료가 된다. 응력 자유 온도(stress free temperature)는 IC 패키지의 몰딩 온도(molding temperature)인 170℃로 가정하였다.

열응력에 의한 파손 발생부위를 예측하기 위하여 IC 패키지의 모든 부위에서 응력의 크기를 비교하여 그 중 가

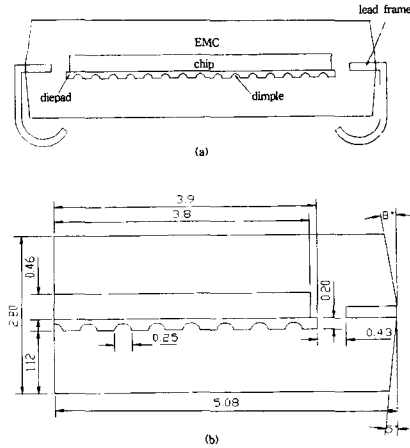


Fig. 1 SOJ plastic package

Table 1 Material properties for stress analysis

	Lead-frame (alloy 42)	Chip	EMC	Adhesive
Density(kg/m ³)	8.1×10 ³	2.33×10 ³	1.9×10 ³	1.05×10 ³
Thermal expansion coefficient (/°C)	0.45×10 ⁻⁵	0.26×10 ⁻⁵	$\alpha_1 : 1.0 \times 10^{-5}$ $\alpha_2 : 4.5 \times 10^{-5}$	$\alpha_1 : 4.9 \times 10^{-5}$ $\alpha_2 : 2.4 \times 10^{-4}$
Young's modulus (N/m ²)	1.445×10 ¹¹	1.88×10 ¹¹	2.45×10 ⁹ (25°C) 2.0×10 ⁹ (70°C) 1.0×10 ⁹ (150°C) 1.0×10 ⁹ (215°C)	1.2×10 ⁹ (23°C)
Poisson's ratio	0.3	0.28	0.23	0.3
Glass transition temperature(°C)	-	-	133-145	36

장 응력이 집중되는 Fig. 2의 A, B, C, D 부위에서 리플로 납땜중에 시간변화에 따른 Mises 상당 응력(Mises equivalent stress)을 Fig. 3에서 보인다.

가장 크게 응력이 집중되는 부위는 칩과 다이패드의 모서리(B 위치)로 나타났다. A, B, C, D 위치외에 응력이 가장 많이 걸리는 부위는 다이패드의 뒤편부인데 다이패드는 금속이므로 균열발생의 위험이 EMC에 비해 현저히 낮으므로 고려대상에서 제외하였다.

다이패드 밑면의 뒤편의 영향을 알아보기 위하여 뒤편이 없는 평면 다이패드를 사용한 종래의 패키지에 대하여 위와 동일한 과정으로 열응력 해석을 시행하였다. 뒤편의 유무에 따른 응력값의 차이를 각 위치에 대해 Table 2에 나타내었다.

뒤편이 있는 다이패드(dimpled diepad)를 사용한 경우에 평면 다이패드(flat diepad)를 사용한 경우보다 응력 집중 부위의 Mises 상당 응력이 약간씩 크게 걸림을

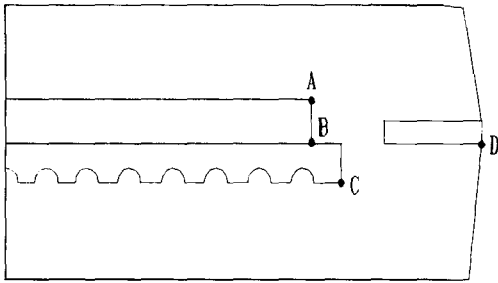


Fig. 2 Stress concentration points

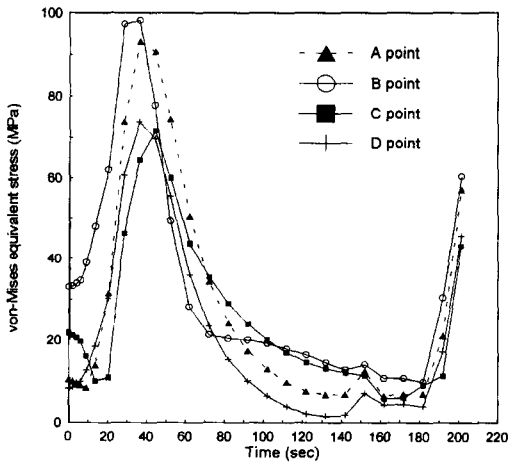


Fig. 3 Variation of Mises equivalent stress during reflow soldering process

Table 2 Comparison of maximum von-Mises equivalent stresses for packages with dimpled and flat diepads

Location	Maximum von-Mises equivalent stress (MPa)	
	dimpled diepad	flat diepad
A	93.21	88.17
B	98.22	87.70
C	71.68	70.01
D	73.76	70.67

알 수 있고, 특히 가장 응력이 집중되는 B 위치에서의 Mises 상당 응력이 다른 응력집중부의 상당 응력보다 큰 폭으로 증가함을 볼 수 있다. 따라서 뒤틀림이 열적인 하중에 대한 파손가능성을 더 높이고 있음을 알 수 있다.

3. 열하중하에서의 C(t)-적분 해석

열하중하에서 EMC는 유리 전이 온도(glass transition temperature : Tg) 이상의 고온에 이르게 되므로 크리프(creep)의 영향 하에 있게 된다⁽¹¹⁾. 크리프 하에서의 변형률 rate(strain rate) $\dot{\epsilon}$ 과 응력 σ 의 관계는 식 (1) 과 같이 표시된다.

$$\dot{\epsilon} = A\sigma^n \quad (1)$$

여기서 A, n은 크리프 상수(creep constants)이며 그 값은 $\dot{\epsilon}$ 와 σ 의 단위를 rad/sec와 MPa로 하였을 때 Table 3과 같다⁽¹¹⁾.

Table 3 Creep constants of EMC

	below Tg	above Tg
A	1.0×10^{-8}	5.0×10^{-4}
n	2.5	1.2

크리프의 영향이 고려된 점탄성 변형의 경우 균열선단의 응력세기(stress intensity)를 나타내는 파괴역학 매개변수 C(t) 적분은 식 (2)와 같이 정의된다.

$$C(t) = \int_{\Gamma_\epsilon} W_s^* dy - T_i \left(\frac{\partial u_i}{\partial x} \right) ds \quad (2)$$

여기서

$$W_s^* = \int_0^{\dot{\epsilon}_{mn}} \sigma_{ij} d\dot{\epsilon}_{ij} \quad (3)$$

W_s^* 는 응력 σ_{ij} 와 변형률 rate $\dot{\epsilon}_{ij}$ 의 함수인 변형에너지율밀도(strain energy rate density)이고, Γ_ϵ 은 크리프 변형률 rate가 지배하는 영역(creep strain rate dominant region)의 적분경로이고 T_i 는 Γ_ϵ 에서 바깥쪽으로 직각인 벡터 n_j 방향으로 정의된 트랙션 벡터(traction vector)로 $T_i = \sigma_{ij} n_j$ 이다. u_i 는 변위 벡터이고, s는 적분경로를 따른 호(arc)의 길이이다.

열응력 해석결과에서 본 바와 같이 최대응력이 발생하여 Fig. 2의 B 위치에서 다이패드와 칩 사이에 층간박리

현상이 발생하는 것으로 가정하고 이렇게 발생한 층간박리가 다이패드의 모서리 부분에서 EMC내로 균열이 진전하는 모델을 균열모델의 연구대상으로 하였다. Fig. 4에서 층간박리 균열모델을 제시하였다.

$C(t)$ 적분 계산을 위한 모델링에서는 Fig. 5와 같이 균열선단에서는 Barsoum⁽¹⁵⁾이 제안한 QPE (quarter point element)를 사용하였으며 그 외곽에 1개층의 천이요소(transition element)⁽¹⁶⁾를 두고, 나머지는 정규모델링하였다. 그리고 층간박리된 면 사이와 균열면 사이에 접촉요소(contact element)를 두었다. 균열부근 이외의 전체모양은 열응력 해석 모델과 같다. 균열의 방향(θ)는 Fig. 6과 같이 정의하였으며, Fig. 7은 균열의 방향이 0.0° 인 경우의 2차원 유한요소모델의 요소망을 보인 것이다.

균열 개시 방향을 구하기 위하여 균열방향을 22.5° 씩 변화시켜 가면서 $C(t)$ 적분을 계산하였다. 균열길이는 0.15 mm (kinked crack length / main crack length = 0.02)로 가정하였다. 각 균열개시방향의 변화에 따른 $C(t)$ 적분값을 Fig. 8에 보였다. 계산된 $C(t)$ 적분값은 경로에 독립적이라는 것을 Table 4에서 알 수 있으며,

여기서 경로번호는 Fig. 5의 균열선단에서부터 첫 번째 요소들이 이루는 원을 1번으로 하여, 다음 요소들이 이루

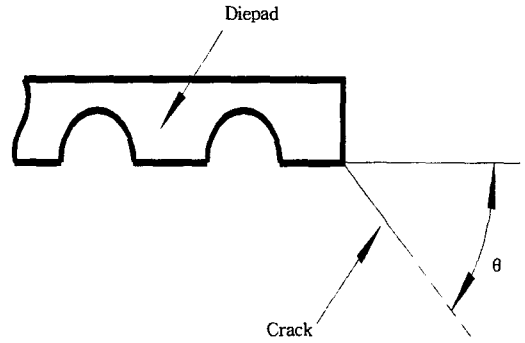


Fig. 6 Crack direction

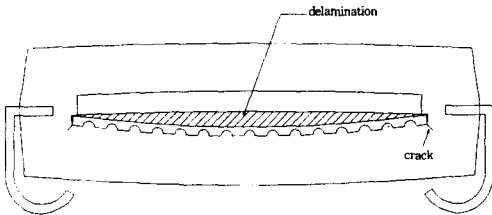


Fig. 4 Configuration of delamination model

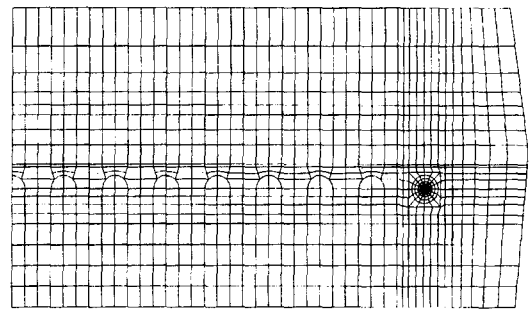


Fig. 7 FE crack model

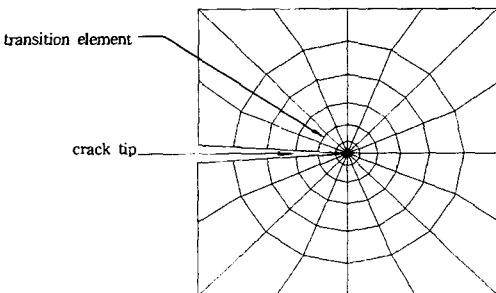


Fig. 5 Crack tip modeling

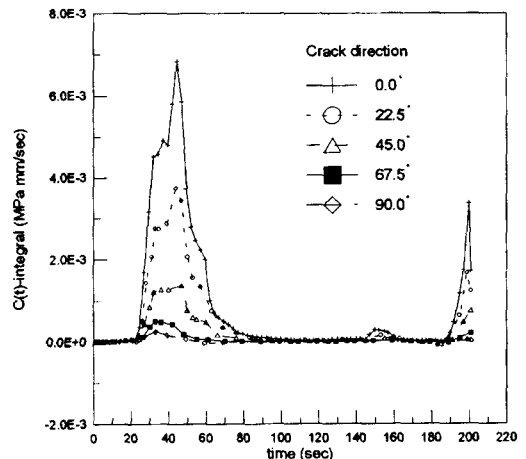


Fig. 8 Change of $C(t)$ -integral with the crack direction

는 원들을 각각 2번, 3번, 4번, 5번으로 하였다. 본 연구에서는 3번째 경로의 값을 택하였다.

위의 결과를 보면 균열 진전 방향이 0.0° 인 경우에 C(t) 적분값이 가장 크므로, 앞으로 열적 C(t) 적분 계산에서는 균열 방향을 0.0°로 하기로 한다.

4. 설계 변수 변경에 따른 열적 C(t) 적분 계산

다이패드와 리드프레임의 재질을 alloy 42에서 구리로 바꾸었을 때의 파손 저항성의 변화를 알아보기 위해 각각의 경우에 대해 C(t) 적분을 구해 시간변화 가운데 최대 값을 Table 5에 나타내었다. 다이패드와 리드프레임의 재질이 구리인 경우가 alloy 42인 경우에 비해 최대 C(t) 적분값이 16% 정도 감소하므로, 균열전파의 위험이 그만큼 줄어들음을 알 수 있다.

EMC의 상온에서의 탄성계수를 24.5 GPa에서 20.0 GPa, 15.0 GPa로 바꾸었을 때의 시간 변화 가운데 최대 C(t) 적분값의 변화를 Table 6에 보였다. EMC의 탄

성계수가 작아질수록 균열전파에 대한 저항이 커짐을 알 수 있다.

또한, EMC의 상온에서의 열팽창계수를 $\alpha_1 = 1.0 \times 10^{-5} (1^\circ C)$, $\alpha_2 = 4.5 \times 10^{-5} (1^\circ C)$ 에서 EMC 1에서 $\alpha_1 = 2.0 \times 10^{-5} (1^\circ C)$, $\alpha_2 = 6.7 \times 10^{-5} (1^\circ C)$ 로, EMC 2에서 $\alpha_1 = 2.7 \times 10^{-5} (1^\circ C)$, $\alpha_2 = 7.5 \times 10^{-5} (1^\circ C)$ 로 하였을 때의 최대 C(t) 적분값의 변화를 Table 7에 보였다. EMC의 열팽창계수는 C(t) 적분에 큰 영향을 미치는 것을 볼 수 있으며, 열팽창계수가 작을수록 균열전파에 대한 저항이 커진다. 그러나 대개 사용되는 EMC는 탄성계수가 크면 열팽창계수가 작고 탄성계수가 작으면 열팽창계수가 크므로, EMC의 재질의 변화는 C(t) 적분값을 실제적으로는 감소시키지 못할 것으로 보인다.

칩 윗면과 다이패드 밑면의 EMC 두께를 각각 1mm에서 0.75mm, 0.5mm, 0.35mm로 점차 얇게 하였을 때 파손저항성의 변화를 보기 위해 C(t) 적분을 구하여 각각의 최대값을 Table 8에 나타내었다. EMC의 두께가 얇아질수록 최대 C(t) 적분값이 작아지고, 특히 가장 얇은 두께인 0.35mm에서는 최대 C(t) 적분값을 80%나 줄일 수 있었다. 따라서 열하중만을 고려하였을 경우에는 EMC의 두께를 얇게 하는 것이 재료의 절감과 함께 균열에 대한 저항성도 높게 됨을 알 수 있다.

칩과 다이패드 크기의 비에 따른 EMC의 균열 전파 저항성을 보기 위하여 다이패드를 고정시킨 상태에서 칩 크기를 변화시키면서 최대 C(t) 적분을 구하여 Table 9에 나타내었다. 다이패드 크기에 대한 칩의 크기가 작아질수록 균열에 대한 저항성이 커짐을 알 수 있다.

Table 4 Maximum C(t)-integral for each contour in 0.0° crack direction

contour number	Maximum C(t)-integral(MPa mm/sec)
1	0.006727
2	0.006772
3	0.006827
4	0.006875
5	0.006909

Table 5 Change of maximum C(t)-integral with the variation of the material of diepad and leadframe

Material	Maximum C(t)-integral (MPa mm/sec)
alloy42(present)	0.006827
copper	0.005688

Table 6 Change of maximum C(t)-integral with the variation of the Young's modulus of EMC

Young's modulus (GPa)	Maximum C(t)-integral (MPa mm/sec)
24.5 (present)	0.006827
20.0	0.006478
15.0	0.006065

Table 7 Change of maximum C(t)-integral with the variation of the thermal expansion coefficients of EMC

	Maximum C(t)-integral (MPa mm/sec)
EMC (present)	0.006827
EMC 1	0.011258
EMC 2	0.013585

Table 8 Change of maximum C(t)-integral with the thickness of EMC

Thickness of EMC (mm)	Maximum C(t)-integral (MPa mm/sec)
1.00(present)	0.006827
0.75	0.004254
0.50	0.001923
0.35	0.001360

칩과 다이패드의 두께의 비가 파손에 미치는 영향을 알아보기 위해 8mil인 다이패드의 두께를 5mil 까지 점차로 줄여 가며 $C(t)$ 적분을 구해 최대값을 Table 10에 나타내었다. 다이패드의 두께에 대한 칩의 두께가 두꺼워질수록 최대 $C(t)$ 적분값이 커짐을 알 수 있다.

칩과 다이패드의 EMC 내에서의 위치에 대한 파손저항성을 알아보기 위해 칩과 다이패드를 현 모델 위치에서 0.08mm 위와 아래로 옮겼을 때의 최대 $C(t)$ 적분값을 Table 11에 나타내었다. 칩과 다이패드가 패키지 내에서 윗쪽에 위치하였을 때 최대 $C(t)$ 적분값이 작아졌으므로 균열전파에 대한 저항성이 커졌다고 볼 수 있다. 그러나 칩과 다이패드의 심한 상향 이동은 상면부와 하면부의 EMC 두께차를 크게 하므로 이로 인한 뒤틀림 등의 문제가 발생할 수도 있다.

총래의 평면 다이패드를 사용한 패키지와 덤플이 있는 다이패드를 사용한 패키지의 균열저항성을 비교하기 위

해 각각에 대해 $C(t)$ 적분을 구해 보았다. 평면 다이패드 패키지는 다이패드의 밀면, 즉 다이패드와 EMC 사이에서 층간박리가 발생(conventional type delamination)한 것⁽¹⁷⁾⁽¹⁸⁾으로 가정하고, 덤플 다이패드 패키지는 다이패드와 칩사이에서 층간박리가 발생(present type delamination)한 것⁽¹⁹⁾으로 가정하였다. 이 부위들은 각각의 패키지 형식에서 가장 빈번하게 층간박리가 발생하는 부위들이다. Fig. 9는 리플로 납땜 중의 열하중만 고려한 경우에 시간에 따른 $C(t)$ -적분값을 다이패드의 덤플 유무에 따라 균열 방향 0.0° 에서 구한 것으로, 덤플이 있는 다이패드가 평면형 다이패드에 비하여 균열전파의 가능성이 매우 적음을 보여준다.

Table 9 Change of maximum $C(t)$ -integral with the ratio of chip to diepad size

Ratio	Maximum $C(t)$ -integral (MPa mm/sec)
0.906	0.005192
0.938	0.005588
0.971(present)	0.006827
0.986	0.007257
1.000	0.007834

Table 10 Change of maximum $C(t)$ -integral with the ratio of chip to diepad thickness

Ratio	Maximum $C(t)$ -integral (MPa mm/sec)
2.250(present)	0.006827
2.483	0.007268
2.769	0.007688
3.130	0.009382
3.600	0.009784

Table 11 Change of maximum $C(t)$ -integral with the location of chip and diepad

location of chip and diepad	Maximum $C(t)$ -integral (MPa mm/sec)
0.08mm up	0.006090
present	0.006827
0.08mm down	0.007931

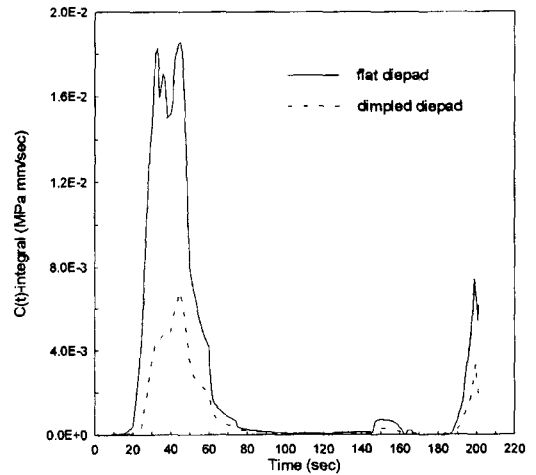


Fig. 9 Comparison of $C(t)$ -integrals for the packages with the flat and dimpled diepads

5. 결 론

리플로 납땜 공정 중의 열하중 하에 있는 플라스틱 IC 패키지의 균열 및 층간박리에 의한 파손 해석을 유한요소법을 이용하여 수행하였다. 기존에 선형 탄성적인 거동으로 가정하였던 플라스틱 봉지재(EMC)를 실제 거동에 가까운 점탄성 거동으로 해석하였고, 파괴 건전성 평가를 위하여 파괴역학적인 방법을 채택하여 $C(t)$ 적분값을 계산하였다. 설계 변수 변경에 따른 $C(t)$ 적분을 계산하여 얻은 결과를 요약하면 다음과 같다.

1. 점탄성 거동을 하는 IC 패키지의 납땜 공정 중의 열 하중 하에서 파괴건전성을 평가할 수 있는 파괴역학적인 해석방법을 개발하여 균열 및 층간박리에 의한 파괴를 줄일 수 있는 설계 조건을 제시하였다.

2. 패키지에서 점탄성 열응력이 가장 크게 발생하는 부위는 이종 재질이 접하는 경계면의 모서리이고, 덩풀이 있는 패키지에서는 특히 칩과 다이패드가 접하는 부분의 모서리에서 가장 응력집중이 크다.

3. 층간박리 및 균열이 없는 패키지에서 다이패드와 EMC의 접착력을 높이기 위해 도입된 덩풀이 리플로 납땜 공정 중에 패키지내의 응력집중을 더욱 유발하여 층간박리 및 균열을 발생시키기 쉽지만, 일단 균열이 생성되면 일하중하에서 균열의 성장을 억제하는 효과를 가져온다.

후 기

이 논문은 1996년도 연세대학교 학술연구비 지원에 의하여 이루어진 것으로 이에 감사드립니다.

참 고 문 헌

1. Suzuki, K. and Komatsu, S., "Internal Stress and Characteristic Shifts of Plastic Encapsulated Semiconductor Device", Journal of Japan Applied Physics, Vol. 38, pp. 1211-1215, 1979.
2. Spencer, J. L., Schoren, W. H., Bendnarzy, G. A., Bryan, J. A. and Metzgar, T. D., "New Quantitative Measure of IC Stress Introduced by Plastic Package", Proceedings of International Reliability Physics Symposium, pp. 74-80, 1979.
3. Kotake, H. and Takasu, S., "Quantitative Measurement of Stress in Silicon by Photoelasticity and its Application", Journal of Electrochemical Society, Vol. 127, pp. 179-184, 1980.
4. H. Miura, A. Noshimura, S. Kawai and K. Nishi, "Development and Application of the Stress Sensing Test Chip for IC Packages", Transactions of Japan Society Mechanical Engineering, Vol. 53, No. 493-A, pp. 1826-

- 1832, 1987.
5. Glaser, J. C. and Juaire, M. P., "Thermal and Structural Analysis of a PLCC Device for Surface Mount Process", Journal of Electronic Packaging, Vol. 111, pp. 172-178, 1989.
6. Miura, H., Nishimura, A., Kawai, S. and Nakayama, W., "Temperature Distribution in IC Plastic Package in the Reflow Soldering Process", IEEE Transactions on components, Hybrids and Manufacturing Technology, Vol. 11, No. 4, pp. 499-505, 1988.
7. Adachi, M., Ohuchi, S. and Totsuka, N., "New Mode Crack of LSI Package in the Solder Reflow Process", IEEE Transactions on Components, Hybrids and Manufacturing Technology, Vol. 16, No. 5, pp. 550-554, 1993.
8. 北野誠, 河合末男, 西村朝雄, 西邦彦, "はんだ리 프로-工程で發生するICのパッケージクラックに關する研究," 日本機械學會論文集, 第55卷, 第510號, pp. 356~363, 1989.
9. 박상선, 엄윤용, "열하중이 있는 다층구조물에서의 계면균열해석", 대한기계학회 춘계학술대회논문집, pp. 141-146, 1993.
10. Stevens, K. K., Wong, T. L., Renavikar, A. and Chen, W., "Fracture of Glass Seals in Surface Mount IC Packages", Transactions of the ASME, Vol. 112, pp. 162-167, June, 1990.
11. Katouzian, M., Bruller, O. S. and Horoschenkoff, A., "On the Effect of Temperature on the Creep Behavior of Neat and Carbon Fiber Reinforced PEEK and Epoxy Resin", Journal of Composite Materials, Vol. 29, No. 3, pp. 372-387, 1995.
12. 이강용, 문호산, 이택성, 김경섭, "열응력으로 인한 플라스틱 IC 패키지의 파괴해석", 대한기계학회논문집, 제19권, 제12호, pp. 3197-3204, 1995.
13. ABAQUS User's Manual, Ver.5.2, HKS Inc.
14. P3/PATRAN User Manual, Release 1.3-2,

- PDA Engrg.
15. Barsoum, R. S., "On the Use of Isoparametric Finite Element in Linear Fracture Mechanics," *International Journal for Numerical Methods in Engineering*, Vol. 10, pp. 25-37, 1976.
 16. Lim, I. L., Johnston, I. W. and Choi, S. K., "Application of Singular Quadratic Distorted Isoparametric Elements in Linear Fracture Mechanics," *International Journal for Numerical Methods in Engineering*, Vol. 36, pp. 2473-2499, 1993.
 17. Kitano, M., Nishimura, A., Kawai, S. and Nishi, K., "Analysis of Package Cracking During Reflow Soldering Process," *Proceeding of IEEE International Reliability Physics Symposium*, pp. 90~95, 1988.
 18. Fukuzawa, I., Ishiguro, I. and Nanbu, S., "Moisture Resistance Degradation of Plastic LSIs by Reflow Soldering," *Proceeding of IEEE International Reliability Physics Symposium*, pp. 192~197, 1985.
 19. Adachi, M., Ohuchi, S. and Totsuka, N., "New Mode Crack of LSI Package in the Solder reflow Process," *IEEE Transactions on Components, Hybrids and Manufacturing Technology*, Vol. 16, No. 5, pp. 550~554, 1993.