

## MEMS용 다결정실리콘 마이크로머시닝

조동일, 전국진, 이상우(李尙禹), 김종팔, 박상준, 이상우(李相佑), 이상철, 김성운, 박명규, 이원창

서울대학교 전기공학부 및 반도체공동연구소

### 1. 서론

초소형 전기기계 시스템(Microelectromechanical Systems, MEMS) 제작을 위한 마이크로머시닝은 몸체 마이크로머시닝(bulk micromachining)과 표면 마이크로머시닝(surface micromachining) 기술로 나뉜다. 몸체 마이크로머시닝은 KOH(potassium hydroxide)나 EDP(ethylenediamine pyrocatechol) 수용액 등의 알칼리 용액이 결정 방향에 따라 실리콘을 다른 속도로 식각하는 식각 이방성을 이용하는 기술로서 단결정실리콘 웨이퍼를 직접 가공하여 원하는 구조물을 제작하는 기술이다. 표면 마이크로머시닝은 웨이퍼 위에 구조물로 사용될 막(film)을 증착하고, 증착된 막을 선택적으로 식각한 후, 기판에서 띄어내어, 동적 운동이 가능한 미세 구조물을 제작하는 기술이다. 표면 마이크로머시닝 기술로 제작된 최초의 구조물은 1960년대에 제작된 resonant-gate silicon surface transistor로, 구조층으로는 금속 박막이 사용되었다 [1]. 그후 1980년 초반부터 다결정실리콘을 구조층으로 이용하는 표면 마이크로머시닝 기술이 개발되어 왔으며 현재 MEMS 제작에 가장 많이 쓰이고 있다 [2, 3].

표면 마이크로머시닝 기술은 복잡한 2차원형상을 만드는데 적합하기 때문에 마이크로모터, 액츄에이터, 가속도 센서의 관성 질량, 자이로스코프의 진동 빔(beam) 등을 제작하는데 많이 사용된다. 또한 대량 일괄 작업이 가능하다는 장점과 반도체 공정을 이용하여 신호처리용 IC 회로를 같은 기판에 직접화 할 수 있다는 장점을 가지고 있다. 반도체회로와 기계소자를 집적화하는 것은 제품의 성능을 향상시키고 단가를 줄일 수 있게 하여준다.

표면 마이크로머시닝 기술, 특히 다결정실리콘 표면 마이크로머시닝 기술은 많은 부분에서 반도체 공정과 호환성을 가지기 때문에 반도체 공정 능력을 갖추면 자연스럽게 표면 마이크로머시닝 기술을 확보하고 있다고 생각할 수 있으나, 사실은 그렇지 않다. 표면 마이크로머시닝과 IC 회로 제작에 널리 쓰이는 CMOS(complementary metal oxide semiconductor) 공정기술은 여러 면에서 많은 차이를 보인다. 표면 마이크로머시닝에서는 구조물을 기판에서 띄어내는 공정이 필요하

다. 이때 구조물의 밑에 증착된 희생층을 underetch하는 기술이 필요하며 희생층 식각시 발생하는 구조물의 표면 부착(stiction) 현상을 방지하는 기술이 필요하다. 미세구조물용으로 사용되는 다결정실리콘 막의 두께는 2~10 $\mu\text{m}$ 로 일반적으로 CMOS 공정에서 사용되는 막의 두께인 1 $\mu\text{m}$  미만에 비해서 매우 두껍다. 이와 같이 두꺼운 다결정실리콘 막을 증착할 때에는, 과도한 잔류응력에 의해서 증착 도중 웨이퍼가 파손되는 현상이 자주 발생한다. 이런 웨이퍼 파손 현상은 증착 두께가 3 $\mu\text{m}$  이하일 때는 거의 발생하지 않는 현상이다. 따라서 다결정실리콘 증착 공정을 개발하기 위해서는 증착시의 잔류 응력 조절 기술이 필요하다. 또한 증착시 정확한 두께 조절 기술이 필요하다. 정확한 두께 조절 기술이 없으면, 두께에 민감한 구조물의 기계적 특성의 조절을 위하여 증착된 다결정실리콘을 여러 번 다시 식각하여 성질을 조정하는 등의 애로를 겪어야 한다. 다결정실리콘 식각공정에 있어서도 microloading 효과, 식각 선택도, 식각된 구조물의 수직도 등의 문제를 고려해야만 하며 구조물로 사용되는 다결정실리콘의 물성치 및 이의 재연성이 중요하다.

이와 같이 표면 마이크로머시닝 기술은 여러 가지의 단위 공정들의 개발을 필요로 한다. 본 연구에서는 통상산업부와 과학기술처에서 시행한 초소형 정밀기계기술개발 선도기술개발사업의 지원 하에 우리나라에서 개발된 표면 미세가공의 기반 기술에 대한 소개하고자 한다.

### 2. 다결정실리콘 증착 및 열처리 공정

#### 2.1 다결정실리콘 증착공정

다결정실리콘의 증착 공정의 개발은 그림 1과 같이 서울대학교 반도체공동연구소에 설치된 MEMS용 다결정실리콘 증착 장비를 이용하여 이루어졌다. 본 LPCVD(low pressure chemical vapor deposition)장비는 APEX사 제품이고 수평형 열벽 반응로(horizontal hot wall type reactor)이며 최고 50장까지 웨이퍼를 설치할 수 있다. 온도 측정을 위해서 세 개의 paddle TC(thermo coupler)가 증착 장비 내에 설치되어 있으며 페루프 온도조절을 위해서 세 개의 spike TC가 장비 바깥쪽에 설치되

어 있다. 또한 온도를 올리기 위해서 세 개의 저항 가열방식의 코일이 장비 바깥쪽에 설치되어 있다. LPCVD 공정은 낮은 압력(300mTorr)에서 진행되므로 가스상태 분자들의 확산이 용이하여 표면 반응(surface reaction)에 의해서 증착율이 결정되고, 표면 반응은 표면 온도에 의해서 활성화되므로 반복적으로 동일한 증착율을 얻기 위해서는 매우 정밀한 온도조절이 필요하다. 예를 들어 activation energy가 1.6eV(보통 LPCVD 장비의 activation energy는 1.5에서 2.0eV 사이이다)인 증착 장비에서 10°C의 온도 오차는 20% 정도의 증착율의 차이를 초래한다 [4]. 따라서 가스의 고갈에 의한 증착되는 막의 두께 변화를 줄이기 위해 SiH<sub>4</sub>(silane)이 유입되는 쪽(load쪽)의 온도에 비해서 가스가 유출되는 쪽(source쪽)의 온도를 약간 높게 설정하여야 한다. 또한 장비의 중간 지점(center지점)의 온도는 load쪽과 동일하게 설정하였을 때 균일한 증착 성질을 얻을 수 있다.

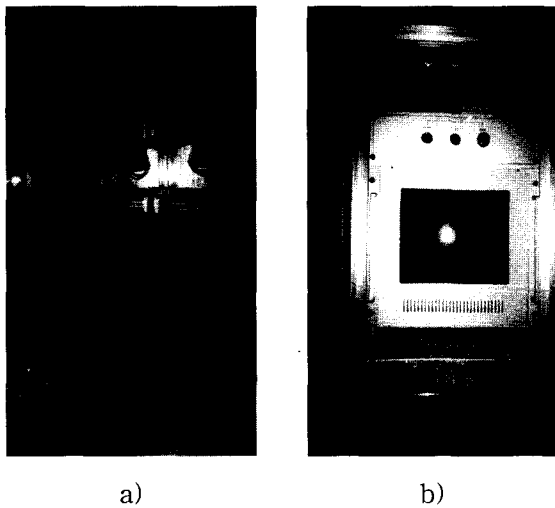


그림 1. 다결정실리콘 증착 장비의 사진.

a) 웨이퍼 적재부(boat) b) 제어부(control panel)

다결정실리콘의 두께는 보통 적외선 간섭계(infrared interferometer)를 이용해서 측정한다. 적외선 간섭계를 이용하여 두께를 측정하기 위해서는 측정하고자 하는 박막의 굴절율(refractive index)을 정확하게 알아야 한다. 일반적으로 실리콘의 경우 비정질 상태와 다결정 상태일 때의 굴절율은 0.5 정도의 차이가 나는 것으로 보고되고 있다 [5]. 또한 다결정실리콘의 경우에도 증착 온도가 증가할수록 굴절율은 조금씩 감소하는 것으로 알려져 있다. 이처럼 실리콘의 상태에 따라 굴절율은 변하게 되므로 부정확한 굴절율에 의한 증착 두께 측정의 오차를 줄이기 위해서 585°C, 605°C, 625°C에서 증착된 2 $\mu$ m 다결정실리콘의 굴절율을 알파스텝과 SEM을 이용하여 정확하게 구하였다. 정확한 굴절율의 확

보로 동일 웨이퍼 내에서의 증착 균일도와 웨이퍼간의 증착 두께 오차를 2 $\mu$ m 두께의 경우  $\pm 5\%$  이내로 줄일 수 있었고, 6 $\mu$ m 두께의 경우  $\pm 7\%$  이내로 줄일 수 있었다.

그림 2는 MEMS용 다결정실리콘 증착 장비의 증착율을 나타내고 있다. 실험치를 이용하여 계산된 증착 장비의 activation energy는 19.06 Kcal/mol이다. 이는 같은 방식의 증착 장비에 비해서 상당히 낮은 수치이다. 이렇게 낮은 수치가 나오는 이유는 반도체공동연구소에 설치된 장비의 경우 증착 온도가 낮을 때의 증착율이 다른 장비에 비해서 상당히 높기 때문이다. 하지만 activation energy는 증착 압력, 가스 유량, 가스 성분 등의 공정 조건에 의해서도 변할 뿐만 아니라 증착 장비의 크기에 따라서도 달라지는 값이다.

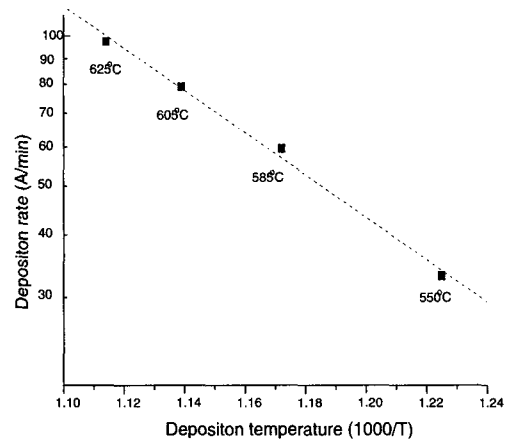


그림 2. 성장율 그래프  
(Activation energy : 19.06 Kcal/mol).

증착 온도에 따라 다결정실리콘의 증착율과 굴절율이 변할 뿐만 아니라 표 1과 같이 표면 형상도 변하게 된다. 다결정 상태로 증착되는 실리콘의 경우 결정립의 크기와 표면 형상간에는 매우 밀접한 관계가 있다. 다결정 상태로 증착될 때 상대적으로 증착 온도와 증착두께가 증가할수록 결정립의 크기가 증가되고 이에 따라 표면 거칠기도 증가한다 [6]. 하지만 비정질 상태로 증착되고 열처리를 거쳐서 다결정실리콘으로 전환된 경우에는 결정립의 크기는 크게 증가하게 되지만 표면 형상은 그대로 유지되는 것으로 알려져 있다 [7]. 결정립의 성장과 무관한 표면 형상은 다결정 상태로 증착된 실리콘의 경우에도 phosphor로 도핑을 하게 되면 관찰할 수 있는데 고온의 열처리와 phosphor에 의한 결정립의 증가에도 불구하고 표면 거칠기는 결정립의 증가와 무관한 것으로 알려져 있다 [7, 8].

동일한 조건에서 증착된 다결정실리콘의 경우에도 증착되는 표면의 종류에 따라서 결정립의 크기와 표면 형상이 달라진다. 또한 동일한 열산화막

표 9. 증착 온도와 기판의 종류에 따른 다결정실리콘 표면 형상(2 $\mu$ m 다결정실리콘).

기판 종류 증착 온도(°C)	PSG(phosphor silicate glass)	TEOS(tetra ethyl ortho silicate) oxide	비 고
625			표면 형상이 기판의 영향을 거의 받지 않음
605			표면 형상이 기판의 영향을 받음
585			표면 형상이 기판의 영향을 많이 받음

(thermally grown oxide) 표면의 경우에도 세척을 한 경우와 하지 않은 경우에 결정립의 크기뿐만 아니라 표면 형상의 변화가 있는 것으로 보고되고 있다 [9]. 이와 같은 표면 종류에 의한 다결정실리콘 표면 형상의 변화는 본 실험에서도 관찰할 수 있었다. 표 1에서와 같이 증착 조건이 같더라도 기판의 종류에 의해서 표면 형상은 크게 달라질 수 있으며 이런 경향은 증착 온도가 낮아질수록 더욱 심화되는 경향을 보였다. PSG 위에 증착된 다결정실리콘의 표면 거칠기가 TEOS 산화막위에 증착된 다결정실리콘에 비해서 더 크며 이런 현상은 585°C, 605°C에서 증착된 다결정실리콘에서 더 확실하게 나타난다. PSG 막에 함유된 phosphorus 원자는 증착과정에서 외확산(outdiffusion)되고 이렇게 외확산된 phosphorus 원자는 실리콘 원자에 비해서 실리콘 표면에 적어도 40배 정도 잘 흡착(adsorb)되기 때문에 흡착된 phosphorus에 의해서 nucleation이 방해받는다 [4]. 이로 인해서 nuclei들의 밀도가 떨어져서 결정립의 크기가 커져서 표면이 거칠어지는 것으로 추정된다. 625°C 다결정실리콘의 표면 형상은 높은 온도에 의해서 실리콘 원자들의 표면흡착에 대한 phosphorus의 영향이 상대적으로 감소되기 때문에 표면 형상에 큰 변화를 초래하지 않는다. 또한 다결정 상태로 증착된 605°C 다결정실리콘에 비해서 625°C 다결정실리콘의 표면이 좀 더 거칠며 이는 625°C 다결정실리콘의 결정립이 605°C 다결정실리콘에 비해서 더 크다는 것

을 의미하며 이는 문헌에 보고된 결과와 일치한다.

## 2.2 다결정실리콘의 잔류 응력

다결정실리콘은 증착된 상태에서 비교적 큰 잔류 응력을 가진다. 그림 3은 잔류 응력 때문에 심하게 변형된 빔을 보여주고 있다. 이와 같은 구조물의 변형을 방지하기 위해서 다결정실리콘 표면 마이크로머시닝 기술에서는 증착된 다결정실리콘을 열처리해서 잔류 응력을 최소로 줄이는 공정의 확립이 절대적으로 필요하다. 잔류 응력의 측정을 위해 여러 형태의 구조물을 이용하는 것이 가능한데, 그림 4는 압축 잔류 응력과 인장 잔류 응력의 측정이 가능한 strain gauge를 보여주고 있다.

표 2는 열처리 조건에 따른 2 $\mu$ m 다결정실리콘의 잔류 응력 변화를 정리하였다. 625°C와 605°C에서 증착된 다결정실리콘은 as-dep 상태에서는 똑같이 -0.11%의 압축 잔류 응력을 나타내었다. 열처리 후에는 전반적으로 605°C에서 증착된 다결정실리콘의 압축 잔류 응력 양이 더 작아졌다. 하지만 열처리 후 잔류 응력량의 변화는 동일한 양상을 보였다. 특기할 것은 1050°C에서 한시간 동안 열처리한 다결정실리콘의 잔류 응력 양이 1050°C, 삼십 분의 열처리 후의 잔류 응력 양보다 더욱 큰 것인데 이는 phosphorus 원자에 의한 압축 잔류 응력의 발생 때문인 것으로 생각된다. 585°C에서 증착된 다결정실리콘은 as-dep 상태에서 인장 잔류 응력을 가진다. 또한 이러한 양상은 저온 열처리 공정(850°C)에 까지 이어진다. 하지만 고온의 열처리 공정에서는 인장 잔류 응력이 압축 잔류 응력으로 전환된다.

다결정실리콘이 인장 잔류 응력을 가지면 압축 잔류 응력에 의해 발생하는 구조물의 좌굴(buckling) 문제가 발생하지 않기 때문에 길이가 매우 긴 빔을 만들 수 있다. 따라서 현재 세계적으로 많은 연구 기관에서 인장 잔류 응력을 가지는 다결정실리콘 증착, 열처리 공정을 확보하려고 노력하고 있지만 실제로 공정을 확보한 곳은 몇 군데 되지 않는다. 따라서 인장 잔류 응력을 나타내는 다결정실리콘 공정을 확보한 것은 매우 고무적인 사실이다. 또한 더욱 고무적인 것은, 본 연구에서 채택한 MEMS와 CMOS 회로의 집적화 공정인 post-CMOS 미세가공 공정에서는, IC 회로에 미치는 영향 때문에 thermal budget이 850°C를 넘기 어려운데 850°C 열처리 공정을 통하여 인장 잔류 응력을 가지는 다결정실리콘 구조물을 제작할 수 있다는 것이다. MEMS와 CMOS 회로의 집적화 공정에 대해서는 4장에서 자세하게 설명하였다.

## 3. 다결정실리콘의 물성치

전술한 바와 같이 LPCVD 방법으로 증착된 다결정실리콘은 MEMS 제작에 있어서 가장 많이 쓰이는 구조

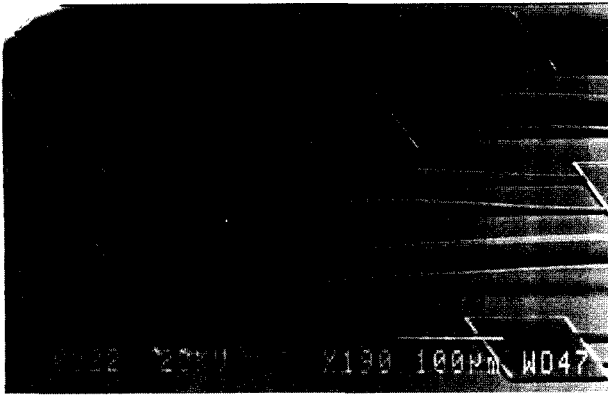
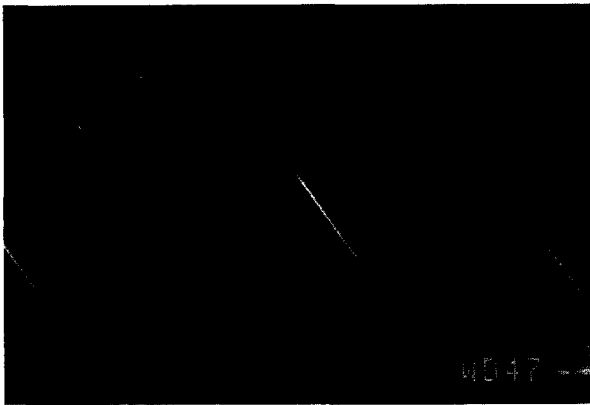
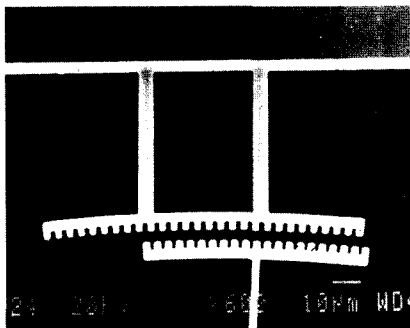


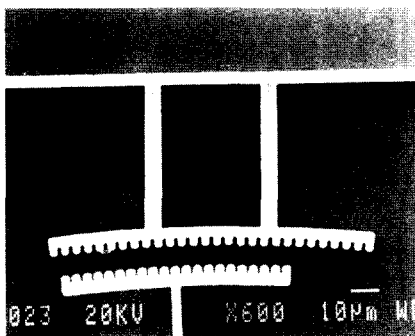
그림 3. 압축 잔류 응력 하에서의 Euler beam.



a)



b)



c)

그림 4. 스트레인 게이지의 전자주사현미경 사진

- a) 스트레인 게이지(회생층 제거 후).
- b) 압축 잔류 응력 하에서의 스트레인 게이지
- c) 인장 잔류 응력 하에서의 스트레인 게이지

표 2. 2 $\mu$ m 두께의 다결정실리콘의 잔류 응력.

열처리 온도 (°C)	시간 (min)	625°C	605°C	585°C	remark
		polysilicon	polysilicon	polysilicon	
		residual strain(%)	residual strain(%)	residual strain(%)	
1050	60	-0.011	-0.0075	-0.0044	- : compressive + : tensile
	30	-0.0082	-0.0053	-0.0037	
1000	120	-0.0037	-0.0027	-0.0062	
	60	-0.01	-0.0062	-0.0068	
950	30	-0.0015	-0.011	-0.0075	
	120	-0.0015	-0.013	-0.0075	
	60	-0.0018	-0.018	-0.0075	
850	30	-0.02	-0.021	-0.0082	
	180	-0.029	-0.03	<0.0022	
	120	-0.028	-0.033	0.0038	
As-dep	60	-0.028	-0.036	0.0035	
		-0.11	-0.11	0.077	

층 재료이다. MEMS의 정확한 설계와 동작을 위해서는 LPCVD 다결정실리콘의 물성치의 파악이 필요하며 현재까지 이 분야에 많은 연구가 진행되고 있다 [10-25]. 하지만 현재까지 문헌에 발표된 다결정실리콘의 Young's modulus 값은 40GPa에서 174GPa로 매우 큰 편차를 보인다. 그뿐만 아니라 도핑과 다결정실리콘의 texture가 Young's modulus에 미치는 영향에 대해서도 상반된 결과가 보고되고 있다. Maier-Schneider는 620°C에서 증착되고 이온 주입기에 의해서 phosphorus로 도핑된 다결정실리콘의 Young's modulus는 도핑 농도에 의해 크게 변하지 않는다고 보고하였다 [10]. 반면에 Biebl은 in-situ도핑된 다결정실리콘의 Young's modulus는 phosphorus 농도에는 영향을 받지만 texture에는 큰 영향을 받지 않는다고 보고하였다 [11]. Guo는 다결정실리콘의 texture가 Young's modulus에 미치는 영향에 대해 이론적으로 분석하였으며 Young's modulus가 texture에 의해 영향을 받는다고 결론지었다 [12]. 이처럼 현재까지 발표된 결과를 살펴보면 도핑 농도와 texture가 다결정실리콘의 Young's modulus에 미치는 영향에 대해서 확정된 결론을 도출할 수가 없다.

본 연구에서는 도핑과 texture가 다결정실리콘의 Young's modulus에 미치는 영향을 파악하기 위해서 광범위한 실험을 수행하였다. 585°C, 605°C, 625°C에서 증착된 2 $\mu$ m 두께의 다결정실리콘을 이용하여 실험을 수행하였으며 도핑을 위해 POCl<sub>3</sub> diffusion 방법과 PSG diffusion 방법을 이용하였다. 여러 도핑 농도를 시험하기 위해서 도핑 시간과 온도를 달리하여 총 132 종류의 시편을 준비하였다. Young's modulus의 측정을 위해서는 그림 5와 같이 스프링의 길이가 다른 4종류의 공진 구조물을 이용하였다.

실험을 통해 구해진 Young's modulus와 도핑 농도와



그림 5. 제작된 comb drive

스프링 길이 : 190 $\mu$ m, 114 $\mu$ m, 68 $\mu$ m, 41 $\mu$ m. (윗줄 왼쪽부터 시계방향으로).

의 관계가 그림 6-8에 그려져 있다. 605 $^{\circ}$ C와 625 $^{\circ}$ C에서 증착된 다결정실리콘의 실험 결과를 살펴보면 Young's modulus는 도핑 농도가 증가할수록 약간씩 감소한다. 이 두 가지 경우의 regression fit의 기울기는 -4.1과 -4.8로 매우 비슷함을 알 수 있다. 반면에 585 $^{\circ}$ C에서 증착된 다결정실리콘의 경우에는 도핑 농도가 증가할수록 Young's modulus가 감소하는 경향이 더욱 심화되는 결과를 보였다. regression fit의 기울기는 -10.1로 전자의 두 경우에 비해서 기울기가 두 배 이상 감소하였다. 585 $^{\circ}$ C, 605 $^{\circ}$ C, 625 $^{\circ}$ C에서 증착된 다결정실리콘의 Young's modulus 측정 결과를 종합해보면 phosphorus 도핑 농도가 증가할수록 Young's modulus가 감소한다는 결론을 내릴 수 있다. 이 결과는 Biebl의 결과와 일치한다 [11]. Maier-Schneider는 고농도 도핑의 경우에도 단지 1%만의 실리콘-실리콘 결합이 phosphorus로 대체되기 때문에 Young's modulus가 크게 변하지 않는다고 주장하였다. 하지만 고농도 도핑의 경우에는 많은 양의 phosphorus 원자가 결정립계로 이동하게 되고 이런 현상에 의해서 Young's modulus가 감소할 수 있을 것으로 추정된다.

도핑 농도가 증가할수록 Young's modulus가 감소하는 경향이 605 $^{\circ}$ C나 625 $^{\circ}$ C에서 증착된 다결정실리콘에 비해서 585 $^{\circ}$ C에서 증착된 다결정실리콘에서 더욱 현저하게 나타나는 원인을 분석하기 위해서 본 연구에서는 단결정실리콘의 이방성과 다결정실리콘의 열처리와 도핑에 따른 texture 변화를 측정하고 이의 영향을 분석하였다.

단결정실리콘은 기계적으로 이방성 물질이며 단결정실리콘의 Young's modulus는 결정 방향에 따라서 130.2GPa에서 187.5GPa까지의 값을 가진다 [26]. 예를 들어 (110) 평면에서는  $[1\bar{1}1]$ - $[\bar{1}1\bar{1}]$ 과  $[\bar{1}11]$ - $[1\bar{1}\bar{1}]$  방향을 따라서는 187.5GPa의 값을 가진다. 반면에 (100) 평면에서는  $\langle 111 \rangle$  방향은 존재하지 않으며  $[0\bar{1}1]$ - $[01\bar{1}]$ 과  $[011]$ - $[0\bar{1}\bar{1}]$  방향을 따라 168.9GPa의 최대값을 가지며  $[010]$ - $[0\bar{1}0]$ 과  $[001]$ - $[00\bar{1}]$  방

향을 따라 130.2GPa의 최소값을 가진다.

다결정실리콘의 Young's modulus를 이론적으로 계산할 수 있는 방법 중에서 가장 많이 쓰이는 방법은 Reuss-Voigt-Hill (RVH) 방법이다 [27]. RVH 방법을 이용하기 위해서는 다음과 같은 가정이 필요하다. 첫 번째로, 증착된 막은 주상구조(columnar structure)를 가져야 한다. 일반적으로 625 $^{\circ}$ C와 605 $^{\circ}$ C에서 증착된 다결정실리콘이 이 경우에 해당된다. 그러나 585 $^{\circ}$ C에서 증착된 다결정실리콘의 경우에는 equi-axed 결정립을 가진다. 두 번째 가정은 결정립의 수직 방향이 일정한 방향으로 정렬되어 있어야 한다는 것이며, 세 번째는 기판과 평행한 방향으로는 결정립 방향이 임의로 분포되어 있어야 한다는 것이다. RVH 방법을 이용하여 완전한  $\langle 111 \rangle$  texture와  $\langle 110 \rangle$  texture 다결정실리콘의 Young's modulus는 각각 171GPa 과 166GPa이다.

표 3-5에서 알 수 있듯이 625 $^{\circ}$ C와 605 $^{\circ}$ C에서 증착된 다결정실리콘은 도핑 시간과 온도, 즉 도핑 농도가 증가할수록 증착 당시 가장 많았던  $\langle 110 \rangle$  texture가  $\langle 111 \rangle$  texture로 변화하였음을 알 수 있다. 따라서 RVH 방법에 따르면 Young's modulus가 증가할 것이라고 예상할 수 있다. 즉, 625 $^{\circ}$ C와 605 $^{\circ}$ C에서 증착된 다결정실리콘의 경우에는 texture 변화에 의한 Young's modulus 증가가 도핑에 의한 Young's modulus 감소를 보상하게 된다. 사실, 625 $^{\circ}$ C와 605 $^{\circ}$ C에서 증착된 다결

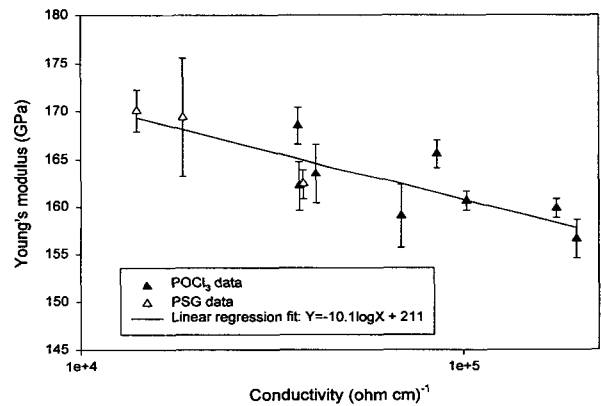


그림 6. 585 $^{\circ}$ C에서 증착된 2 $\mu$ m 다결정실리콘의 Young's modulus.

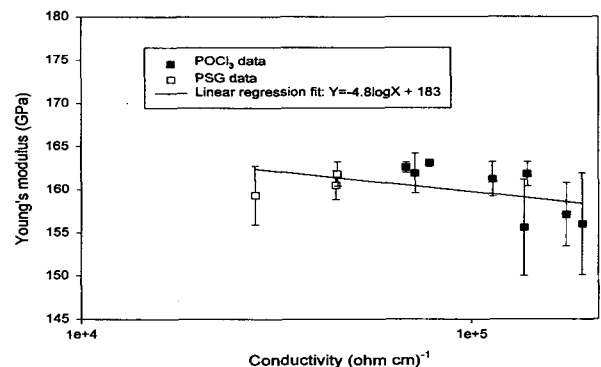


그림 7. 605 $^{\circ}$ C에서 증착된 2 $\mu$ m 다결정실리콘의 Young's modulus.

정실리콘의 경우에는 texture 변화량도 비슷할 뿐만 아니라 regression fit의 기울기도 비슷하다. 반면에 585°C에서 증착된 다결정실리콘의 경우에는 texture 변화량이 상대적으로 적으며 따라서 texture 변화에 의한 Young's modulus 증가량이 상대적으로 적기 때문에 도핑 농도의 증가에 따른 Young's modulus 감소가 더욱 심화된 것으로 사료된다.

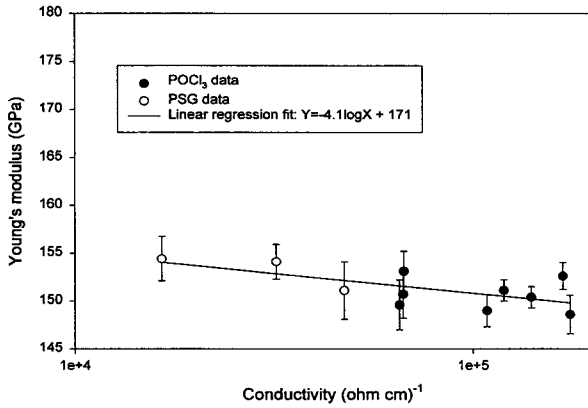


그림 8. 625°C에서 증착된 2µm 다결정실리콘의 Young's modulus.

표 3. 585°C에서 증착된 2µm 다결정실리콘의 Young's modulus와 texture.

Deposition Temperature	585°C											
Doping Conditions	PSG diffusion doping			POCl <sub>2</sub> diffusion doping								
	1000°C 60min	1050°C 30min	1000°C 120min	850°C 180min	850°C 210min	850°C 240min	950°C 60min	950°C 90min	950°C 120min	1000°C 60min	1000°C 90min	
Sheet Resistance (Ω/□)	35.7	27.1	13.16	13.57	13.45	12.16	7.29	5.87	4.92	2.88	2.55	
Fractional Volume Ratio	0.7:	0.63:	0.63:	0.77:	0.79:	0.8:	0.8:	0.74:	0.77:	0.43:	0.43:	
<110> <111>	0.27:	0.32:	0.32:	0.19:	0.17:	0.17:	0.16:	0.22:	0.2:	0.53:	0.54:	
<311>	0.03	0.05	0.05	0.04	0.03	0.03	0.04	0.04	0.03	0.04	0.03	
Young's Modulus (GPa)	170.1 ±2.2	169.4 ±6.2	162.4 ±1.6	168.5 ±1.9	162.2 ±2.6	163.5 ±3.1	159 ±3.3	165.6 ±1.4	160.6 ±1	159.8 ±1	156.6 ±2	

표 4. 605°C에서 증착된 2µm 다결정실리콘의 Young's modulus와 texture.

Deposition Temperature	605°C											
Doping Conditions	PSG diffusion doping			POCl <sub>2</sub> diffusion doping								
	1000°C 60min	1050°C 30min	1000°C 120min	850°C 180min	850°C 210min	850°C 240min	950°C 60min	950°C 90min	950°C 120min	1000°C 60min	1000°C 90min	
Sheet Resistance (Ω/□)	28.1	14.07	10.95	7.34	6.97	6.4	4.41	3.66	3.59	2.86	2.6	
Fractional Volume Ratio	0.94:	0.9:	0.88:	0.96:	0.96:	0.96:	0.9:	0.82:	0.7:	0.24:	0.19:	
<110> <111>	0.05:	0.08:	0.1:	0.03:	0.03:	0.02:	0.08:	0.15:	0.24:	0.7:	0.75:	
<311>	0.01	0.02	0.02	0.01	0.01	0.02	0.02	0.03	0.06	0.06	0.06	
Young's Modulus (GPa)	159.3 ±3.4	160.5 ±1.7	161.8 ±1.4	162.6 ±0.6	161.9 ±2.3	163.1 ±0.4	161.2 ±2	155.6 ±5.6	161.8 ±1.4	157.1 ±3.7	156 ±5.9	

표 5. 625°C에서 증착된 2µm 다결정실리콘의 Young's modulus와 texture.

Deposition Temperature	625°C											
Doping Conditions	PSG diffusion doping			POCl <sub>2</sub> diffusion doping								
	1000°C 60min	1050°C 30min	1000°C 120min	850°C 180min	850°C 210min	850°C 240min	950°C 60min	950°C 90min	950°C 120min	1000°C 60min	1000°C 90min	
Sheet Resistance (Ω/□)	30	23.7	11.88	7.95	7.49	7.46	4.61	4.19	3.58	2.98	2.86	
Fractional Volume Ratio	0.95:	0.92:	0.9:	0.96:	0.95:	0.94:	0.78:	0.63:	0.54:	0.21:	0.12:	
<110> <111>	0.04	0.06	0.09	0.03	0.04	0.04	0.18	0.33	0.41	0.73	0.83	
<311>	0.01	0.02	0.01	0.01	0.01	0.02	0.04	0.04	0.05	0.06	0.05	
Young's Modulus (GPa)	154.3 ±2.3	155.1 ±1.8	151.1 ±3	149.6 ±2.6	150.7 ±2.5	153.1 ±2.1	149 ±1.7	151.1 ±1.1	150.4 ±1.1	152.6 ±1.4	148.6 ±2	

#### 4. Post-CMOS 마이크로머시닝 공정

단일 칩상에 CMOS 회로와 다결정실리콘을 이용한 구조물을 집적화 하는 것은 높은감도 및 정확도, 빠른 데이터 접속, 저비용, 소형화, 기생 효과의 보상등 많은 장점을 가지고 있다. 하지만, 이러한 장점에도 불구하고 CMOS 회로의 후속 공정으로 진행되는 구조물용 다결정실리콘의 열처리 공정이 C21MOS 소자의 동작 특성을 변화시키는 문제점을 안고 있다. 따라서, CMOS 소자에 대한 영향을 줄이기 위해서 Post-CMOS 마이크로머시닝 공정의 개발이 요구된다.

열처리 공정이 문턱 전압의 변화에 영향을 주는 원인으로는 열처리에 의한 소스/드레인 영역의 확대가 유효 채널 길이를 짧아지게 해서 결과적으로 문턱 전압의 변화를 일으키게 된다. 또한, 문턱 전압의 값을 설정하기 위해서 채널에 이온 주입법에 의해 불순물을 주입하게 되는데, 이러한 불순물은 열처리 공정이 진행됨에 따라 불균일한 농도 분포를 가지게 되어 문턱 전압의 변화를 가져오게 된다.

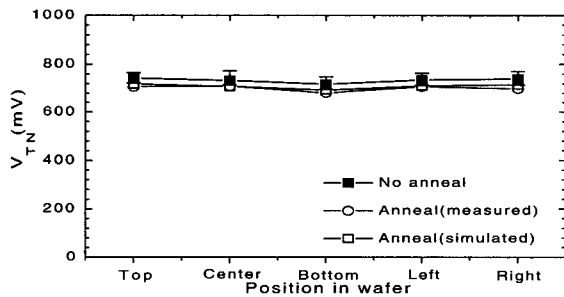
소자의 크기가 작아짐에 따라 채널 길이가 짧아지게 되고, 문턱 전압이 낮아지는 short-channel 문턱 전압 변화를 초래한다. 짧은 채널인 1.5µm, 충분히 긴 채널인 40µm의 채널 길이를 갖는 소자의 열처리에 의한 문턱 전압의 변화를 확인하였으며, 결과는 표 6과 같다. 채널 길이가 40µm인 소자의 열처리에 의한 문턱 전압 변화가 short-channel 효과를 무시할 수 있다고 가정할 때, 1.5µm의 채널 길이를 갖는 NMOS 소자의 short-channel 효과에 의한 문턱 전압 변화는 0.2mV라고 추정할 수 있다. 표 6의 결과는 NMOS에서는 유효 채널 길이의 변화에 의한 문턱 전압의 변화는 무시할 수 있음을 의미한다. 한편, PMOS 소자는 유효 채널 길이 변화가 NMOS의 그것에 비해 크며, 표 6과 같이 유효 채널 길이의 변화에 의한 문턱 전압의 변화가 4mV이다.

그림 9는 열처리를 하지 않은 CMOS 소자에 대해서 850°C, 300분의 열처리를 한 소자의 문턱 전압 변화를 모의 실험과 측정값을 비교하여 나타낸 것이다. 그림

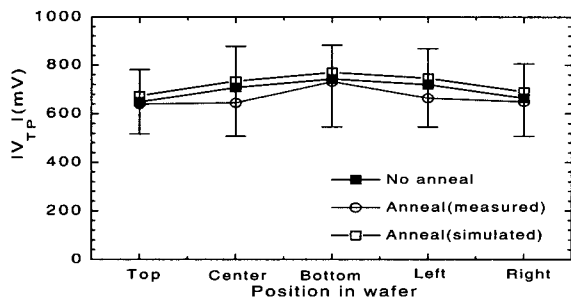
표 6. 열처리 공정이 채널 길이에 따라 문턱 전압 변화에 미치는 영향의 비교 ( $\Delta V_T = V_T(\text{No anneal}) - V_T(300\text{분 at } 850^\circ\text{C})$ ).

문턱전압 변화 채널길이	$\Delta V_{TN}$ (mV)	$\Delta V_{TP}$ (mV)
1.5 $\mu\text{m}$	13.8	22.4
40 $\mu\text{m}$	13.6	26.4

9 b)에서와 같이 PMOS의 웨이퍼간 문턱 전압의 표준 편차가 154mV로서 NMOS의 문턱 전압의 표준 편차인 23mV에 비해 편차가 심하여 MEMS 열처리(850 $^\circ\text{C}$ , 300분)에 의한 문턱 전압 변화를 확인하기 힘들다. 따라서, PMOS에 비해 문턱 전압의 재현성이 있는 NMOS에 대해 열처리 공정에 의한 문턱 전압 변화를 확인하였다. 열처리 공정을 거치지 않은 4장의 웨이퍼 평균과 비교할 때, 열처리에 의한 문턱 전압의 변화는 29.9mV였다. 이것은 표 6에서 예측한 문턱 전압과 비교하여 약 2.2배이며, 이러한 관계를 직접적으로 PMOS의 문턱 전압의 변화에 적용하면, 42.0mV 변화에 해당한다. 상온에서 온도에 따른 CMOS 소자의 문턱 전압 변화 특성을 3mV/ $^\circ\text{C}$ 로 볼 때, 소자의 동작 온도가 14 $^\circ\text{C}$  변하는 것에 해당한다. 따라서, 위에서 사용한 열처리 조건은 CMOS 소자에 별로 영향을 끼치지 않는 변화임을 알 수 있다.



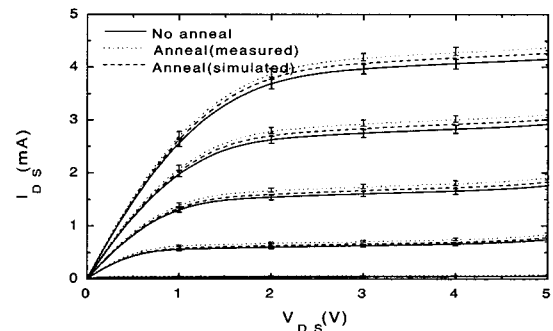
a) NMOS.



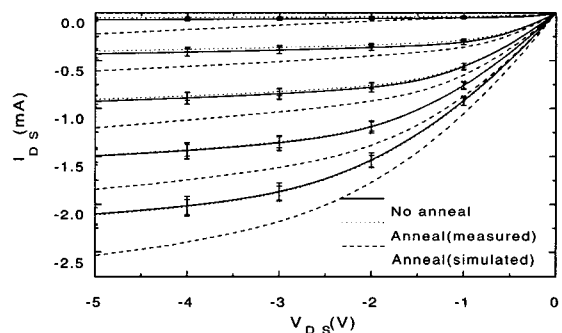
b) PMOS.

그림 9. MEMS 열처리 이전(4장의 웨이퍼의 평균)과 이후의 문턱 전압 변화.

MOSFET의 동작 특성에 있어서 또 다른 중요한 파라미터는 전류-전압 관계이다. 순수하게 CMOS 공정만을 진행한 웨이퍼를 기준으로, 실험에서 구한 다결정실리콘의 도핑 및 열처리 공정으로 충분한 조건인 850 $^\circ\text{C}$ , 300분의 열처리를 진행한 웨이퍼의 (W/L)이 20 $\mu\text{m}/1.5\mu\text{m}$ 인 CMOS 소자의 특성 변화를 측정을 통하여 비교하였고, 그림 10에 나타내었다. 그림 10 a), b)는 각각 열처리 공정(850 $^\circ\text{C}$ , 300분) 이전과 이후의 전류-전압 특성 곡선이며 각각 웨이퍼의 서로 다른 5곳에 있는 소자의 측정 결과이다. 열처리 이전과 이후의 (L/W)이 20 $\mu\text{m}/1.5\mu\text{m}$ 인 NMOS의 포화 전류의 평균은 각각 4.15mA, 4.37mA로서 열처리에 의하여 5.4%의 전류 증가율을 보였다. 하지만, 전류 특성을 특징짓는 요소인 채널 길이가 공정 오차로 인하여 0.1 $\mu\text{m}$  변할 경우, 1.5 $\mu\text{m}$ 의 채널 길이를 갖는 소자의 전류 특성은 약 7% 변하게 된다는 것을 고려할 때, 이러한 변화는 공정 변수에 의해 발생할 수 있는 오차의 범위이다. 따라서, 저온 열처리 공정이 소자의 전류-전압 특성에 미치는 영향이 작다고 판단할 수 있다.



a) NMOS 소자의 전류 특성.



b) PMOS 소자의 전류 특성.

그림 10. NMOS 소자의 열처리(850 $^\circ\text{C}$ , 300분) 이전 및 이후의 전류 특성.

## 5. 결론

다결정실리콘을 이용한 표면 마이크로머시닝 기술은 MEMS 제작에 가장 중요하고 널리 쓰이는 기술이고 미국, 유럽, 일본의 경우 지난 10년간 이 기술이 개발되어 왔다. 우리나라의 경우 1996년부터 이 기술의

체계적인 개발과 관련자료의 데이터베이스화가 본격적으로 이루어지고 있다. 현재 서울대 반도체공동연구소에 확보된 표면 마이크로머시닝 기술은 증착 및 물성치 재연성 조절 기술, 구조물의 패터닝을 위한 에칭 기술, 구조물을 기판에서 떼어내기 위한 희생층 제거 기술들에 있어서 미국등 선진국과 비교하여 같은 수준까지 도달하였다. 또한 IC 회로와 집적화 공정 기술인 post-CMOS 마이크로머시닝의 경우에도 저온 도핑, 열처리 공정 기술은 문턱 전압 변화나 전류-전압 관계 등의 MOSFET 중요 동작 파라미터의 관점에서 선진 기술과 비교하여 전혀 손색이 없다. 특히 서울대 반도체공동연구소의 시설과 공정은 누구에게나 개방되어 있기 때문에 앞으로 이 기술들에 기반하여 가속도계, 각속도계, 압력 센서 등의 센서, 고정밀 액츄에이터, 각종 유체 소자 등의 개발이 활발하게 이루어질 것을 기대한다.

표면 마이크로머시닝 기술은 공정 개발뿐만이 아니라 다결정실리콘 구조물 설계도 매우 중요하다. 기계 구조에 있어서  $\mu\text{m}$  단위의 정확도는 예전에는 상상도 못하던 정밀성을 나타낸다. 그러나 수백  $\mu\text{m}$  크기의 구조물에서  $\mu\text{m}$ 의 정밀성은 기존 기계가공에서 용납할 수 없이 큰 상대 오차이다. 또한 수  $\mu\text{m}$  크기에서 마찰력, 고체역학, 유체역학, 열역학은 기존 이론들과 부합되지 않는 경우가 발생할 수 있다. 따라서 표면 마이크로머시닝 기술, 더 포괄적으로 MEMS 기술의 성공은 시스템의 설계가 매우 큰 비중을 차지하게 된다. 현재 우리 나라를 비롯하여 전세계적으로 이 기술의 실용화에 관한 연구가 매우 활발하게 진행중이고, 이 기술은 앞으로 emerging technology의 하나로 우리에게 많은 연구 과제를 줄 것이다.

## 사사

본 논문은 통상산업부와 과학기술처에서 시행한 선도기술개발사업(표면미세가공 기반기술개발)의 연구비 지원에 의해서 수행되었으며, 참여기업인 대우전자(주)에 감사드립니다.

## 참고문헌

- [1] H. C. Nathanson and R. A. Wickstrom, "A resonant-gate silicon surface transistor with high-Q band pass properties," Appl. Phys. Lett. vol. 7, p. 84, 1965.
- [2] R. T. Howe and R. S. Muller "Polycrystalline and amorphous silicon micromechanical beams: annealing and mechanical properties," Sensors and Actuators, vol. 4, pp. 447-454, 1983.
- [3] L. S. Fan, Y. C. Tai, and R. S. Muller, "Pin joint, gears, springs, cranks and other novel micro-mechanical structures," Proc. Transducer, pp. 849-852, 1987.
- [4] T. Kamins, Polycrystalline silicon for integrated circuit applications, Kluwer Academic, Boston, MA, 1988.
- [5] D. L. Flowers and Schiyi-Yi Wu, "Diffusion in silicon from a spin-on heavily phosphorus-doped oxide source", J. Electrochem. Soc., vol. 129, no. 10, pp. 2299-2302, 1982.
- [6] Rama I. Hegde, Wayne M. Paulson, and Philip J. Tobin, "Surface topography of phosphorus doped polysilicon", J. Vac. Sci. Technol. B, vol.13, no. 4, pp. 1434-1441, 1995.
- [7] M. Hendriks and C. Mavero, "Phosphorus doped polysilicon for double poly structures : 1. morphology and microstructures", J. Electrochem. Soc., vol. 138, no. 5, pp. 1466-1470, 1991.
- [8] E. G. Lee and H. B. Im, "Effects of microstructure and as doping concentration on the electrical properties of LPCVD polysilicon", J. Electrochem. Soc., vol. 138, no. 11, pp. 3465-3469, 1991.
- [9] Apostolos T. Voutsas, and Miltiadis K. Hatalis, "Surface treatment effect on the grain size and surface roughness of as-deposited LPCVD polysilicon films", J. Electrochem. Soc., vol. 140, no. 1, pp. 282-288, 1993.
- [10] D. Maier-Schneider, A. Koprululu, S. B. Holm, and E. Obermeier, "Elastic properties and microstructure of LPCVD polysilicon films," J. Micromech. Microeng. vol. 6, pp. 436-446, 1996.
- [11] M. Biebl, G. Brandl, and R. T. Howe, "Young's modulus of in situ phosphorus-doped polysilicon," Digest of Transducer '95, pp. 80-83, 1995.
- [12] S. Guo, D. Zou, and W. Wang, "Theoretical calculation for the Young's modulus of poly-Si and a-Si films," Mat. Res. Soc. Proc. 276, San Francisco, California, pp. 233-238, 1992.
- [13] O. Tabata, K. Kawahata, S. Sugiyama, and I. Igarashi, "Mechanical property measurement of thin films using load-deflection of composite rectangular membrane," Proc. IEEE Micro Electro Mechanical Syst., pp. 152-156, 1989.
- [14] J. A. Walker, K. J. Gabriel, and M. Mehregany, "Mechanical integrity of polysilicon films exposed to hydrofluoric acid solutions," Proc. IEEE Micro Electro Mechanical Syst., pp. 56-60, 1990.
- [15] Y. C. Tai and R. S. Muller, "Measurement of Young's modulus on microfabricated structures using a surface profiler," Proc. IEEE Micro Electro Mechanical Syst., pp. 147-152, 1990.



- [16] K. Najafi and K. A. Suzuki, "Novel technique and structure for the measurement of intrinsic stress and Young's modulus of thin films," Proc. IEEE Micro Electro Mechanical Syst., pp. 96-97, 1989.
- [17] S. Wang, S. Crary, and K. Najafi, "Electronic determination of the modulus of elasticity and intrinsic stress of thin films using capacitive bridges," Mat. Res. Soc. Proc. 276, San Francisco, California, pp. 203-208, 1992.
- [18] S. P. Muraka and T. F. Jr. Retajczyk, "Effect of phosphorus doping on stress in silicon and polycrystalline silicon," J. Appl. Phys., vol. 54, pp. 2069-2072, 1973.
- [19] W. Sharpe and K. Turner, "Polysilicon tensile testing with electrostatic gripping," Abstracts of Mat. Res. Soc. Spring Meeting, San Francisco, California, 1998.
- [20] W. C. Tang, T. H. Nguyen, and R. T. Howe, "Laterally driven polysilicon resonant microstructures," Proc. IEEE Micro Electro Mechanical Syst., pp. 53-59, 1989.
- [21] R. I. Pratt, G. G. Johnson, R. T. Howe, and J. C. Chang, "Micromechanical structures for thin film characterization," Digest of Transducer '91, pp. 205-208, 1991.
- [22] H. Kahn, S. Stemmer, K. Nandakumar, A. H. Heuer, R. S. Muller, R. Ballarini, and M. A. Huff, "Mechanical properties of thick, surface micromachined polysilicon films," Proc. IEEE Micro Electro Mechanical Syst., pp. 343-348, 1996.
- [23] M. W. Putty, S. C. Chang, R. T. Howe, A. L. Robinson, and K. D. Wise, "One-port active polysilicon resonant microstructures," Proc. IEEE Micro Electro Mechanical Syst., pp. 60-65, 1989.
- [24] S. Brown, "Round-robin tests of modulus and strength of polysilicon," Abstracts of Mat. Res. Soc. Spring Meeting, San Francisco, California, 1998.
- [25] H. Kahn, M. A. Huff, and A. H. Heuer, "Heating effects on the Young's modulus of films sputtered onto micromachined resonators," Abstracts of Mat. Res. Soc. Spring Meeting, San Francisco, California, 1998.
- [26] W. A. Brantley, "Calculated elastic constants for stress problems associated with semiconductor devices," J. Appl. Phys. vol. 44, pp. 534-537, 1973.
- [27] D. Baral, J. E. Hilliard, J. B. Ketterson, and K. Miyano, "Determination of the primary elastic constants from thin foils having a strong texture," J. Appl. Phys., vol. 53, pp. 3552-3559, 1982.

## 저자 소개

### 조 동 일 (趙 東 日)

1958년 6월 15일생

1980년 Carnegie-Mellon 대학 기계공학과 졸업(공학사)

1984년 M.I.T. 기계공학과 졸업(공학석사)

1987년 M.I.T. 기계공학과 졸업(공학박사)

1987년 - 1993년 Princeton 대학 기계항공우주공학과 및 재료연구소 조교수

1993년 - 현재 서울대학교 전기공학부 및 기술정책과정 부교수

1991년 - 1997년 IOP Journal of Micromechanics and Microengineering, Associate Editor

1992년 - 1997년 IEEE/ASME Journal of Microelectromechanical Systems, Associate Editor (현재 Editor Emeritus)

1993년 ASME Transactions Journal of Dynamic Systems, Measurement and Control, Associate Technical Editor

1996년 - 현재 Journal of Micro/nanomechanics, Editor

<관심분야>

◦ Mechatronics, MEMS

### 전 국 진 (全 國 鎭)

1955년 3월 24일생

1977년 서울대학교 전자공학과 졸업(공학사)

1981년 미시간대학교 전기 및 전자공학과 졸업(공학석사)

1986년 미시간대학교 전기 및 전자공학과 졸업(공학박사)

1986년 - 1989년 워싱턴 주립대학교 조교수

1989년 - 현재 서울대학교 전기공학부 부교수

<관심분야>

◦ 반도체 센서, 반도체 공정, MEMS, E-Beam Lithography

### 이 상 우 (李 尙 禹)

1969년 4월 20일생

1993년 서울대학교 제어계측공학과 졸업(공학사)

1995년 서울대학교 의용생체공학과 졸업(공학석사)

1995년 - 현재 서울대학교 전기공학부 박사과정

<관심분야>

◦ 다결정실리콘 표면 마이크로머시닝

### 김 종 팔 (金 種 汎)

1972년 9월 2일생

1995년 중앙대학교 기계설계학과 졸업(공학사)

1997년 KAIST 기계공학과 졸업(공학석사)

1997년 - 현재 서울대학교 전기공학부 박사과정

<관심분야>

◦ MEMS

**박 상 준 (朴相俊)**

1974년 1월 10일생

1997년 서울대학교 전기공학부 졸업 (공학사)

1997년 - 현재 서울대학교 전기공학부 석사과정

<관심분야>

◦ 실리콘 미세 가공 기술

**이 상 우 (李相佑)**

1973년 4월 4일생

1997년 서울대학교 전기공학부 졸업 (공학사)

1997년 - 현재 서울대학교 전기공학부 석사과정

<관심분야>

◦ MEMS

**이 상 철 (李相澈)**

1969년 8월 12일생

1997년 광운대학교 제어계측공학과 졸업 (공학사)

1998년 - 현재 서울대학교 전기공학부 석사과정

<관심분야>

◦ 다결정실리콘 표면 마이크로머시닝

**김 성 운 (金聖雲)**

1975년 10월 30일생

1998년 아주대학교 제어계측공학과 졸업 (공학사)

1998년 - 현재 서울대학교 전기공학부 석사과정

<관심분야>

◦ MEMS

**박 명 규 (朴明圭)**

1973년 12월 19일생

1996년 서울대학교 전기공학부 졸업 (공학사)

1998년 서울대학교 전기공학부 졸업 (공학석사)

1998년 - 현재 LG 반도체 device 팀 근무

<관심분야>

◦ post-CMOS 마이크로머시닝

**이 원 창 (李垣昌)**

1974년 5월 1일생

1997년 서울대학교 전기공학부 졸업 (공학사)

1997년 - 현재 서울대학교 전기공학부 석사과정

<관심분야>

◦ 마이크로머시닝 기술

**ICASE 기술특집 기사 모집 안내**

1. 1998년도 11월호의 주제는 'DCS 기술'분야입니다. 관련된 논문이나 보고서가 있으면, 보내주시기 바랍니다.
2. 제어, 자동화 및 시스템 공학 분야와 관련된 언론 매체에 게재된 내용이나, 새로운 뉴스를 입수하였을 경우, 기사를 보내주시기 바랍니다.
3. 각 회원사의 신제품 소개 및 연구소 소개 등을 참조하시어 학회가 명실상부한 산,학,연의 정보 교환의 장이 될 수 있도록 기사를 보내주시기 바랍니다.
4. 본 학회의 회원 중에서 직장변동 사항과 회원들 신상 및 학술활동과 관련된 사항을 학회지에 게재할 수 있도록 기사를 보내주시기 바랍니다.

※ 참고 : 위의 모든 기사는 반드시 한글로 작성하시어 학회지 편집이사 김종원 교수(Tel. 880-7138, Fax. 883-1513, E-mail : mejwkim@mace.snu.ac.kr) 에게 보내주시면 편집하여 게재토록 하겠습니다.  
기타의 자세한 사항은 위의 편집이사에게 문의 하시거나 본 학회 사무국(Tel. 508-5801, Fax. 555-4746, E-mail : icase@chollian.dacom.co.kr)으로 연락하여 주시면 친절히 답해 드리도록 하겠습니다.