반도체 제조공정을 위한 새로운 생산일정 알고리즘

A New Scheduling Algorithm for Semiconductor Manufacturing Process

복 진 광, 이 승 권, 문 성 득, 박 선 원
(Jin-Kwang Bok, Seungkwon Lee, Sungdeuk Moon and Sunwon Park)

Abstract : A new scheduling algorithm for large scale semiconductor processes is addressed. The difficulties of scheduling for semiconductor fabrication processes are mainly due from repeating production of wafers that experience reentrant flows. Sequence branch algorithm (SBA) is proposed for large real scheduling problems when all processing times are deterministic. The SBA is based on the reachability graph of Petri net of which the several defects such as memory consumption and system deadlock are complemented. Though the SBA shows the solution deviating a little from the optimal solution of mixed integer programming, it is adjustable for large size scheduling problems. Especially, it shows a potential that is capable of handling commercial size problems that are intractable with mathematical programming.

Keywords : semiconductor scheduling, sequence branch algorithm, SBA

I. 서론

21세기를 이끌어 갈 대표적인 산업으로 알려져 있는 반도체 산업은 "산업의 꽃"이라고 불릴 정도로 중요한 위치를 차지하고 있는 산업으로서 국제사회에서 가장 경쟁이 치열한 대표적 산업이라 할 수 있다. 따라서 국내는 물론 해외의 모든 반도체 생산업체들은 국제 경쟁력의 향상을 위하여 엄청난 노력을 기울이고 있다. 그러나 국내의 반도체 산업에서 신공정 개발이나 신제품 개발에는 많은 연구가 이루어지고 있지만, 생산에 있어서 생산관리 및 생산 일정계획의 효율화를 통한 생산성 향상을 위한 노력은 아직까지는 미흡한 실정이다.

반도체 생산공정은 수십 개의 공정을 반복적으로 거치는 매우 복잡한 경로를 거치게 되며, 하나의 Lot (wafer의 한 묶음)가 투입되어서 완성되기까지는 일반적으로 두 달 여의 기간이 소요된다. 한 개의 제품이 공정에 투입되어 완제품으로서 생산될 때까지의 기간을 생산주기(cycle time)라고 할 때 모든 생산 공정에서와 마찬가지로 반도체 산업에서도 이러한 생산주기는 고객을 만족시키고 생산성을 향상시키기 위한 가장 중요한 관리대상중의 하나이다. 특히 반도체 생산의 경우에는 생산주기가 길어지게 되면 생산성이 저하되고, 시장의 변화에 민첩하게 대처할 수 있는 능력을 떨어뜨리며, 약속된 납기일(delivery date)을 어기는 결과를 초래할 뿐만 아니라 반도체 생산의 가장 중요한 성능지표인 생산수율에 치명적인 영향을 주는 문제 등을 일으킬 수 있다.

생산 일정계획은 오래 전부터 아주 중요한 분야로 인식이 되어 왔다. 그러나 그 중요성에도 불구하고 위에서 언급한 여러 가지 문제점뿐만 아니라, 복잡한 flow의 형태, 전체 공정에 대하여 고려해야 할 많은 변수들의 존재, 공정에서의 여러 가지 불확실성 등에 의하여 반도체 제조 공정을 해석하는 데에는 많은 문제점이 존재하기 때문에 최근에 와서야 많은 연구가 진행되고 있다[13][14].

반도체 산업에 있어서 생산 전략의 주된 초점은 품질보증과 제품의 납기일 준수 등을 향상시키는 반면, 생산단가를 최소화하고 생산성을 증진시키는데 있다. 생산단가에 영향을 미치는 요인들은 수율, 인력, 원료, 재고, 장치와 설비의 감가상각 그리고 시간당 원료의 투입량 등이 있다. 지금까지 반도체 시장에서의 주도권은 표준의 제품을 대량으로 생산하는 제조업자에게 있었다. 이러한 상황에서는 수요와 공급에 의해서 가격이 형성되는 것이 아니라 단지 시장의 공급량에 따라 가격이 형성될 수밖에 없었다. 그러므로, wafer fabs는 특정 고객의 주문이나 납기일과는 거의 관계없이 제품을 대량으로 생산하여 재고를 많이 만들어 두는 방향으로 조업이 이루어져 왔다. 이러한 경향은 장치의 구입에 높은 비용이 드는 것과 함께 고려되어, 장치의 처리 능력과 효율적인 이용을 높게 유지하는 반면, 생산주기의 평균과 분산을 감소시키는데 주안점을 두도록 하는 결과를 낳게 되었다.

그러나, 적은 양의 주문방식의 회로에 대한 요구가 증대되어 lot가 one-time basis로 설계되고 제조되는 Application-Specific Integrated Circuit (ASIC) 시장이 앞으로는 중요하게 될 것이라는데 의견이 모아지고 있다[6][7][9]. 이러한 목적에서의 설비들은 훨씬 더 광범위한 제품을 생산할 수 있도록 유연성이 향상되어야 할 것이다. 결과적으로 ASIC 제조업자들은 우수한 생산주기와 납기 준수를 달성하고 현재의 대량 제조업자들보다 더 다양한 제품들에 대한 수율을 향상시키기 위해서는 보다

접수일자 : 1998. 1. 16., 수정완료 : 1998. 7. 10.
복진광 : 한국과학기술원 화학공학과
이승권 : 삼성 종합화학
문성득 : McMaster University 화학공학과
박선원 : 한국과학기술원 화학공학과
※ 본 논문은 한국과학재단 지정 우수연구센터인 공정산업의지능 자동화 연구센터에서 지원하여 연구하였습니다.

많은 연구가 필요하게 될 것이다. 이런 설비 하에서의 조업 문제는 대량 생산 환경에서의 문제와는 근본적으로 달라지게 되는 것이다. 종래에는 대량생산방식에서 주로 고려되었던 생산주기의 최소화 문제도 주문생산 방식에 의한 소량생산, 그리고 다품종 공정에 적합한 최종완료시간(makespan)의 최소화하는 방향으로도 연구가 이루어져야 한다. 최종완료시간을 최소화하는 방안은 주로 다품종 소량생산에 유용한 회분식 공정의 일정계획 문제에서 주로 다루고 있다[15]. 최종완료시간을 최소화하기 위해서는 주로 수학적인 계획법(mathematical programming)에 의한 연구가 주로였기 때문에 반도체 공정처럼 문제규모가 큰 시스템에 대해서는 그 연구결과가 보고되어있지 않다[11].

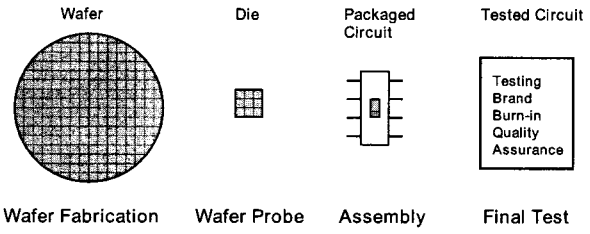


그림 1. 반도체 제조공정의 기본단계.
Fig. 1. Basic steps of the semiconductor manufacturing process.

1996년에 들어서면서 경쟁사들의 새로운 반도체 제조 공장의 건설, 기존 공장의 생산라인의 증설, 수요의 급격한 감소 등의 여러 가지 요인들에 의하여 반도체의 가격이 예년의 4분의 일 수준보다도 더 낮은 상태로 유지되고 있다. 그 결과로 국내의 모든 반도체 산업도 막대한 타격을 입고 있는 실정이다. 이러한 상황에서, 새로운 고부가가치의 상품을 생산하기 위한 제조 라인의 변경, 생산량의 감축 등으로 현재의 어려움을 극복하는 것도 한 방법이 되겠지만, 장기적으로는 생산 일정계획을 체계적으로 수립하여 생산성의 향상, 생산비의 절감, 효율적인 장치의 사용 등으로 국가 경쟁력을 높이는 것도 바람직한 방법이 될 것이다. 또한, 위에서 언급한 소량의 다양한 제품의 반도체들을 주문에 맞추어 생산을 다변화하는 것도 앞으로의 반도체 시장의 치열한 경쟁 속에서 우위를 점할 수 있는 방법중의 하나일 것이다.

이러한 취지에 맞추어, 본 논문에서는 반도체 산업에서의 제조 공정의 특성을 알아보고, 생산일정을 수립하는 데에 효과적인 알고리즘을 제시해보고자 한다. 기존에 발표된 여러 가지의 생산일정 알고리즘에 대하여 간단히 소개를 하며, 이 중 혼합정수계획법에 의한 결과와 제안된 알고리즘을 통한 결과를 비교하고자 한다. 제안된 알고리즘의 효율성을 보이고자 실제 생산라인에 글기한 논문의 자료를 이요해 큰 규모의 문제에 대해서 적용해 보고자 한다.

II. 반도체 제조 공정의 특성

1. 웨이퍼 제작 공정

반도체 제조 공정은 크게 다음과 같이 4가지의 단계로 구분할 수 있다(그림 1참조) :

- wafer fabrication
- wafer probe
- 조립(assembly or packaging)
- 최종 testing등이다.

네 가지 공정 중에서 wafer fabrication 공정이 기술적으로 가장 복잡하며, 또한 가장 자본집약적인 공정이다. 여기에는 필요한 회로를 만들기 위한 여러 겹의 층과 금속패턴, 그리고 wafer 물질 등을 쌓기 위해, 실리콘 혹은 gallium arsenide wafer등을 처리하는 공정들이 포함된다. 이러한 과정을 그림 2에 체계적으로 나타내었다. 그림 2에서는 NMOS(Nitride Metal Oxide Semiconductor)의 집적회로를 제작하는 기본적인 공정 단계들을 도시한 것이다. 마이크로프로세서와 같은 복잡한 구조를 만들기 위해서는 이러한 공정 단계들이 수백 가지 이상의 단계가 필요할 것이다. 거의 대부분의 공정이 wafer가 미립자 먼지로 오염되는 것을 방지하기 위한 청정실(clean-room)하에서 이루어지고 있다. wafer 제조 설비들을 통칭하여 wafer fab이라고 부른다. 제품은 종종 wafer를

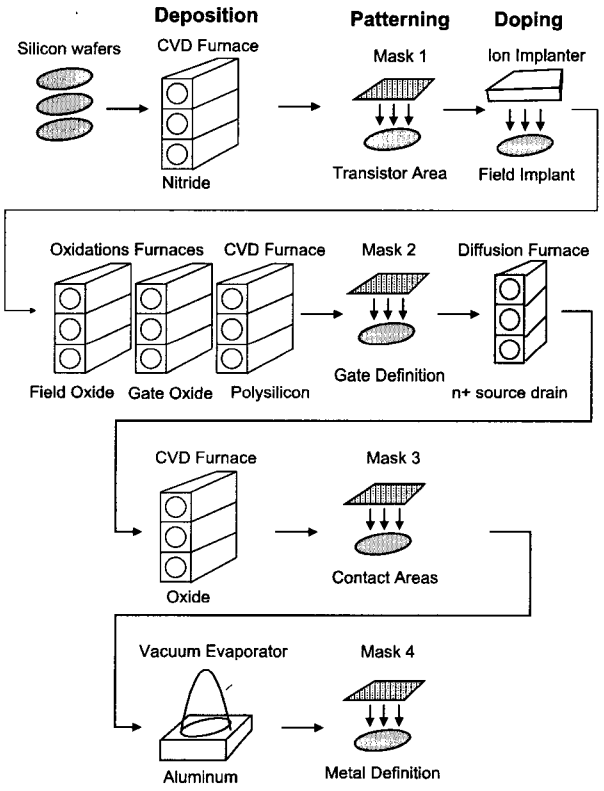


그림 2. NMOS silicon-gate IC 제조를 위한 단위 공정.
Fig. 2. Unit operations used to manufacture NMOS silicon-gate integrated circuits.

수송하기 위한 규격 용기에 담겨 이동하는데 이러한 크기를 lot라고 한다.

wafer의 probe 단계에서는 fab공정에서 완성된 wafer 위에 있는 수백 개의 각각의 회로들에 대하여 얇은 탐침(thin probes)으로 전기적인 테스트를 한다. 정해진 사양

(specification)을 만족시키지 못하는 회로는 잉크로 점을 찍어 표시를 한다. 그리고 wafer는 각각의 회로들로 절단되어, 문제가 있는 회로는 버린다. 높은 수율하에서 조업된 한 장의 wafer에서 얻을 수 있는 회로는 보통 400여 개 정도이다.

Wafer fab와 probe 단계를 일반적으로 선 조업(front-end operations)이라 하며, 이후 단계인 조립과 최종 검사는 후 조업(back-end operations)이라고 불린다.

후 조업에서의 lot는 그 크기에 있어서 각각의 회로들을 여러 개만 포함하거나 또는 수천 개로서 조업 단위가 결정된다. 실제 공정에서는 제품의 종류와 고객이 원하는 사양에 따라 lot의 크기가 결정되는 것이다.

조립 단계에서 회로들은 플라스틱이나 세라믹 package에 설치되어 외부 환경으로부터 보호를 받게 된다. package에는 플라스틱 혹은 세라믹으로 이루어진 다양한 형태의 package의 종류가 있다. 이렇게 하나의 주어진 회로를 다양한 방법으로 package할 수 있기 때문에, 이 단계에서 수많은 유형의 제품을 만들게 되는 것이다. 일단 납땜을 하고 패키지를 봉합하고 나서 leak나 다른 결함에 대한 검사를 마치면 제품은 최종 검사 단계로 보내진다.

최종 검사의 목적은 각 IC(Integrated Circuit)을 세밀히 조사하고, 요구되는 사양으로 동작하는지를 결정하기 위하여 자동화된 검사 장비를 이용함으로써 오류가 없는 제품을 고객에게 전달할 수 있도록 하는 것이다.

생산 계획의 관점에서 검사 공정의 가장 중요한 특성은 downgrading이나 binning이 최종 검사 단계에서 일어난다는 것이다. 즉, 검사를 수행한 하나의 회로(chip or die)가 원래 제조 목적의 사양을 만족시키지 못하더라도 그 보다 낮은 품질의 제품에 대한 사양을 만족시키는 경우가 있을 수 있다. 예를 들면, 어떤 마이크로프로세서가 20MHz에서 동작하도록 제조되었으나 그 주파수에서는 제대로 동작하지 못하더라도 16MHz 검사에서는 통과될 수도 있을 것이다. 그러므로 어떤 lot가 여러 단계의 등급 검사를 수행한 후에는, 필요한 높은 등급의 제품은 부족하고, 낮은 등급의 제품은 오히려 재고가 발생하는 경우가 일어날 수가 있다. 반대로 높은 등급의 제품의 재고가 생기고 낮은 등급의 수요가 초과할 때에는 낮은 등급의 제품에 대한 수요를 만족시키는데 이용할 수도 있는 것이다.

조립과 최종 검사 단계는 최근까지는 제조 공정에 비교하면 짧은 생산주기를 갖으며, 상당히 낮은 투자비의 노동 집약적인 공정이었다. 이러한 결과는 반도체 산업에서 생산 일정계획과 제어에 있어서의 연구의 대부분은 이러한 공정을 제외하고 wafer fab에 주로 많이 수행되어 왔다. 그러나 이러한 후 조업들에서의 문제 또한 fab에서의 문제 만큼이나 어려운 것이다. 후 조업에서도 마찬가지로 복잡한 reentrant flow, 불확실한 수율, 그리고 신뢰할 수 없는 장치들의 작동등이 존재한다. 보다 정교한 기법들이 개발되어야 하고, 더욱 정확하면서도 복잡한 검사와 패키징을 수행하기 위한 장치들이 개발 되어야 한다. 결국 이러한 상황은 또한 조업에서의 자본 집약도를 증가시키게 되는 것이다. 후 조업은 고객의 주문 및 특정제품의 생산에 더욱 밀접하게 연관시킬 수 있다. 이것은 아무리 선 조업에서 고객의 주문에 적합하고 제품의 품질이 우수한 제품을 생산하였더라도, 후 조업에서 고객의 요구에 적합한 packaging 뿐만 아니라 최종 검사를 거쳐 납기일을 완수하는 일 등에 결정적인 역할을 하기 때문이다. 또한 어떤 chip이 다양한 방식이나 형태로 packaging될 수 있고, 그때의 다양한 방식과 형태에 따르는 서로 다른 검사 사양을 가질 수 밖에 없다는 사실 때문에 생산 및 조사해야 할 여러 형태의 다양한 제품이 더욱 많이 존재한다는 것이다. 결국, 이러한 상황은 투자비용의 증가, 고객에 대한 서비스 질의 향상, 그리고 ASIC제조에서 공정 고유의 특징 및 여러 가지 요인들을 동시에 고려해야 하는 것이다. 이것은 궁극적으로 반도체 제조 공정들의 효과적인 일정계획 수립이 반도체 회사의 성패에 있어서 지금까지 인식했던 것보다 더욱 더 중요한 요소가 될 것이다.

그러므로, 반도체 제조에 있어서 선 조업이나 후 조업 모두 체계적인 일정계획을 수립, 적용하여, 생산성 향상 및 장치의 효율적인 사용 방안에 대한 연구가 반드시 필요하다는 것이다. 그러나, 반도체 산업에서 특히 일정계획을 수립하는 데에 어렵게 만드는 요인들이 여러 가지 존재하는데 다음과 같은 몇 가지로 요약할 수 있다[7].

첫째, 거쳐야 할 공정 단계의 갯수는 많지만 장치의 투자비용이 높기 때문에 이중 많은 단계들이 같은 장치에서 조업이 이루어진다. 예를 들면, 하나의 wafer에 모든 층들의 회로를 제조하기 위해서는 보통 사진공정(photolithography) 장치군(workstation)을 여덟 번 내지 아홉 번 지나가야 한다. 여기에서 하나의 lot가 장치군을 한 번 이상 지나가는 것을 reentrant 생산 flow라고 한다. 보통 이러한 장치군에는 유사한 작업을 하거나 동일한 작업을 수행할 수 있는 여러 개의 장치들이 모여있는 곳을 말한다.

둘째, 공정 수율은 조업 환경 조건, 생산 장비나 원료가 가지고 있는 문제 등에 따라서 쉽게 변하기 때문에 정확한 예측은 불가능하다고 할 수 있다. 예를 들면, 위에서 설명한 것처럼, 최종 검사단계에서 downgrading현상이 일어날 수도 있다. 안정적으로 조업이 이루어지고 있는 제품의 수율은 일반적으로 그 동안 진행되었던 결과들을 통해 예측할 수는 있지만, 새로운 제품과 기술을 지속적으로 도입하기 위하여 전혀 다른 시제품의 투입 등에 의해서 제조 공정의 특성이 자주 바뀌는 것 때문에 수율 추정은 사실상 불가능한 것이다.

셋째, 반도체 제조에 쓰이는 장비의 특성 또한 광범위하게 변한다. 어떤 장치는 순서에 의존하는 중요한 준비시간(setup time)을 갖는 반면 그렇지 않은 장치도 존재할 것이다. 또한, 식각, burn-in과 같은 장치군들은 많은 수의 lot들이 동시에 일괄적으로 처리되는 회분식 조업 장치들이다. 그러므로, 대기하고 있는 lot가 일정 수가 될 때까지는 먼저 도착한 lot들은 그만큼 오랜 시간 대

기 상태에 있어야 하는 것이다. 결국 이러한 회분식 장치에서는 모든 lot들이 서로 다른 대기 시간을 갖도록 한다. 또한, 하나의 lot가 burn-in을 떠나게 되면 반드시 96 시간 이내에 검사를 받거나, 그 시간이 지나면 다시 burn-in공정 순서 전체를 반복해야 하는 것과 같은 제한 조건도 존재한다.

넷째, 반도체 제조에 사용되어지는 생산 장비는 기술적으로 매우 정교하게 설계되어 있다. 그래서 확실한 예방 유지와 영점 보정(calibration)등이 필요하다. 그러나, 그렇게 주의해도 예상치 못한 고장이 자주 일어날 수 있다. 일반적으로 예상 밖으로 일어나는 장비의 고장에 의한 작업 중단 시간 등에 의해서 반도체 제조 공정의 불확실성을 더욱 증가시키는 요인이 된다.

다섯째, 새로운 제품과 공정의 지속적인 개발로 같은 장치가 기존의 제품을 위한 lot와 시제품을 위한 engineering test, qualification lot등이 함께 이용되는 경우가 자주 발생한다.

여섯째, 반도체 제조 설비에 있어서, 시간에 따라 많은 양의 데이터들을 얻도록 설계되어 있다. 그러나, 이러한 데이터의 검토 등은 시간이 매우 많이 소요되는 어려운 일이다. 제품이 거치는 각 공정에 있어서, 처리 시간과 수율과 같은 정보가 저장되고 있다. 그러나, 계속적으로 변하는 시장 경쟁에서 뒤지지 않기 위한 개발의 일환으로 새로운 유형의 제품을 반도체 제조 공정에 지속적으로 도입하는 것은 이러한 문제를 더욱 복잡하게 만들 수 있다.

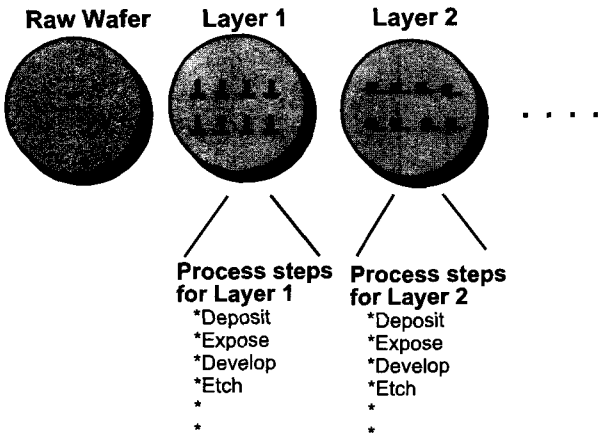


그림 3. 반도체 제조 공정 중 박막가공.
Fig. 3. Wafer fabrication in semiconductor manufacturing process.

2. 재진입(reentrant) 공정

생산 공정은 wafer위에 화학적인 방법으로, 목적에 부합하는 형태를 만들기 위해, 여러 개의 층들을 구성하는 공정들로 이루어져 있다. 즉, 하나의 층을 구성한 후, 그 위에 또 다른 층을 쌓아 가는 것이다. 그림 3에는 이러한 공정들을 예로써 보여주고 있다. 각각의 층들을 만들기 위하여 각각의 공정에 대한 여러 가지의 단계들이 필요하다. 이러한 단계들은 증착(deposition), 사진공정(photo lithography), 식각(etching)등과 같은 것을 말하는 것이다.

또한 각각의 단계들은 최종 생산품이 이루어 질 때까지 경우에 따라서 여러차례 반복되어야 하는 것이 대부분이다.

이러한 각각의 단계들을 수행하기 위한 장치들은 아주 고가들이다. 현재 최신 기술을 도입하는 공정의 비용은 수억 달러에 이른다. 또한 집적회로의 크기가 줄어들면 줄어들수록 장치의 가격은 상상을 초월할 만큼 뛰게 되는 것이다. 이렇게 고가의 장치들을 wafer가 지나야 하는 모든 공정 단계에 설치한다면, 그때의 투자에 드는 비용은 감당할 수가 없을 것이다. 그러므로, 결국, 다른 층을 구성하기 위하여, 공정상의 wafer는 주어진 장치를 다시 방문 할 수 밖에 없는 것이다.

그림 4에는 비교적 그 크기가 축소된 R&D를 위한 fab을 나타낸 것이다[10]. 그림에서의 화살표는 wafer가 반드시 거쳐야할 단계들을 나타내고 있다. 즉, wafer들은 최종 생산품으로 될 때까지 여러 단계에서 존재하는 여러 장치들을 재 방문하여 조업이 진행되는 reentrant flow가 된다는 것을 그림을 통하여 알 수 있다.

결국 이러한 reentrant의 성질에 의하여 모든 wafer들은, 차들이 신호대기중인 것처럼, 어떤 한 장치에 대하여 서로가 경쟁하여 사용을 하게 된다. 그러므로, wafer 들은 지정 장치를 사용하기 위하여 기다리게 되고 이것이 공정의 진행시간 보다도 더 많아지는 경우가 대부분이 되는 것이다. Wafer 의 제조에 걸리는 시간, 생산주기는 보통 60일 정도가 소요된다. 반면에 하나의 wafer만을 제조하는데 걸리는 실제 시간은 약 240시간, 약 10일 정도 밖에 되지 않는다. 생산주기와 실제 제조시간의 비율을 생산주기비(cycle time multiplier)라 할 때, 위의 예에서의 생산주기비는 6이 된다. 반도체 제조공정에 있어서의 중요한 목적이 바로 이러한 생산주기를 낮게 유지하거나, 혹은 가능하면 생산주기비를 1에 가깝게 유지하는 것이다.

최종완료시간을 줄인다는 것은 여러 가지 면에서 경제적으로 중요한 의미를 갖게 한다. 우선 기술적인 면을 살펴보면, 새로운 제품을 개발하기 위하여 사용되는 R&D fab line에서, 새로운 제품의 설계 및 개량에 필요한 시간을 감소시키는 결과를 가져다준다. 생산 line에서도 완료시간의 감소는 소비자의 요구에 쉽게 부응할 수 있다. 또한, WIP(Work-In-Process)를 감소시키는 것이며, WIP를 위한 투자비용을 줄여 주는 효과도 동시에 얻을 수가 있는 것이다.

이 밖에도, wafer들의 장치에 대한 대기시간이 줄어들면 줄어들수록 불순물에 오염될 가능성이 줄어들게 될 뿐만 아니라 질 좋은 제품의 수율(yield)도 향상될 수 있는 것이다. 특히 새로운 기술이 도입될 때라던지, 혹은 일반적으로 수율이 아주 낮을 때등 에서의 이러한 완료시간의 감소는 반도체 산업에서 중요한 관심사가 아닐 수가 없다.

이러한 목적들을 달성하기 위한 방법으로는 보통 두

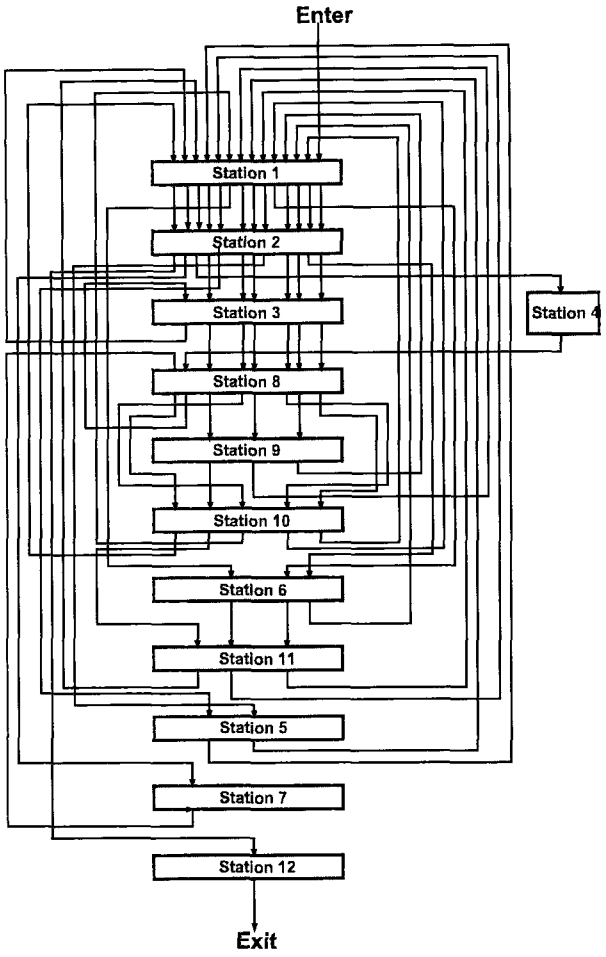


그림 4. 연구개발을 위한 박막제조라인.
Fig. 4. Wafer fabrication lines for a research and development process.

가지 정도를 생각해 볼 수 있다. 처음에 새로운 wafer가 공정에 투입되는 것을 어떻게 조절하는 것인가 이다. 이러한 결정을 실행하기 위한 방안을 보통 "Release policy"라 한다. 분명히, 이러한 release policy는 투입에 필요한 평균속도를 유지하는 등의 몇 가지 제한조건을 만족시키기 위하여 반드시 필요한 것이다.

다음은 공정에 이미 투입된 wafer들에 대하여 생각해 보자. 주어진 장치에서, 보통 여러 개의 wafer 들이 장치에서 조업을 수행하기 위해 대기중에 있을 것이다. 그때, 장치가 쉬게 될 때 다음으로 조업을 수행해야 하는 것이 어떤 것인지를 결정해야 한다. 이러한 결정을 수립하는 방안을 "Scheduling policy"라고 한다.

3. 반도체 공정

제조 공정은 일반적으로, 다품종(multiproduct or flow shop)과 다목적(multipurpose or job shop)의 두 가지의 공정으로 구분할 수 있다.

다품종 제조 공정의 전형적인 예로는 자동차 조립 공정을 들 수 있다. 여기에서(그림 5참조) 자동차는 직선으로 이루어진 공정들을 통하여, 각각의 공정들을 모두 거치면서 완성 제품으로 나오게 되는 것이다.

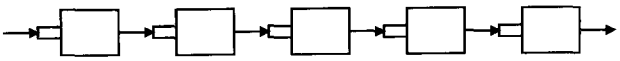


그림 5. 다품종 공정.
Fig. 5. Multiproduct (flowshop) process.

제조 공정의 다른 중요한 영역은 그림 6에서 나타나 있는 것과 같은 다목적 공정의 형태이다.

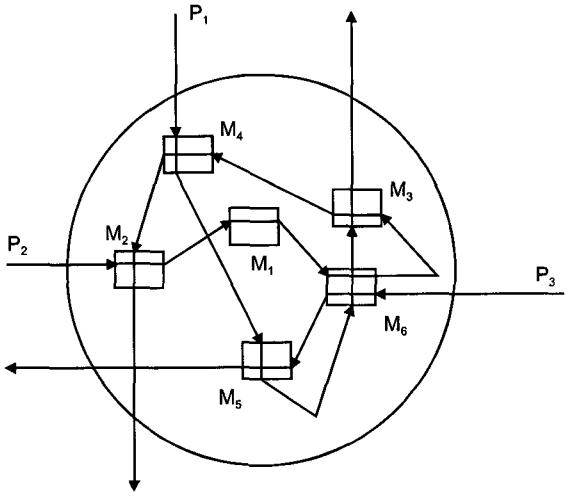


그림 6. 다목적 공정.
Fig. 6. Multipurpose (job shop) process.

이러한 공정들은 서로 다른 순서의 장치들로 꾸밀 수 있다. 여러 고객들이 적은 양의 주문을 하게 되면, 각각의 고객의 주문에 의한 제품들은 서로 다른 경로의 장치들을 지나게 될 수 있다. 즉 한 장치에 대하여는 여러 가지 제품에 대하여 조업이 이루어 질 수 있고, 다른 주문에 대하여는 어떠한 경로의 조업을 이루어야 할지 제품에 따라 정해야 하는 상태이다. 이러한 공정의 대표적인 예로는 금속 절삭 공정에서 주로 나타나는 현상이다.

그러나, 반도체 제조 공정의 출현으로 위의 두가지 형태의 제조 공정과는 서로 다른 새로운 형태의 공정에 접하게 되었다. 다품종 공정과는 다르게 그 경로는 reentrant를 갖고 있으며, 다목적 공정과도 다르게 반도체 제조 공정의 경로는 거의 변함없이 유지가 된다는 것이다. 그림 7에서는 이러한 특성을 도시하였다. 제품들은 그림에서 화살표 방향의 순서로 조업이 이루어지고 있다. 각각의 workstation 혹은 station에는 같은 기능을 하는 여러 개의 장치들이 존재할 수 있다. 결국, 제품은 각 station을 다시 들어가게 되면 그 station 내의 하나의 장치를 점유하여 원하는 조업이 수행되어야 한다.

III. 일정계획 알고리즘

본 연구에서 제시하고자 하는 알고리즘은 공정시간(processing time)이 일정하다는 결정론적 접근 방법의 하나이다.

1. 재진입이 있는 jobshop 문제

Graves et al.[4]은 fab을 reentrant flow의 다품종 공정으로 모델링 하였다. 여기서 제품의 생산이 완결되기

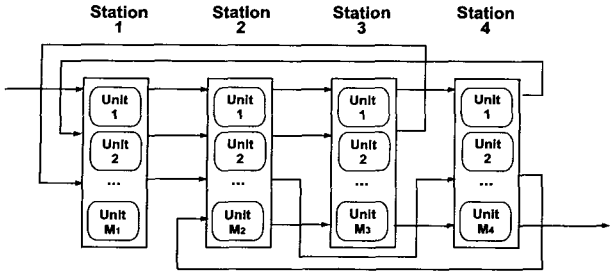


그림 7. 반복투입을 갖는 반도체 제조공정.
Fig. 7. Semiconductor manufacturing process with reentrant flows.

전에 다품종 공정을 여러 번 방문한다고 가정하였다. 목적함수는 주어진 생산 속도를 만족하는 평균 throughput time을 최소화하는 것이다. 반면 단일 장치, 평행하게 설치된 동등한 장치, 혹은 회분식으로 처리하는 장치 등으로 구성된 workcenters는 분명히 구분되며, 준비시간(setup time)은 무시할 수 있다고 가정한다.

Dispatching rule이 실제로 만족할 만한 결과를 주지 못하고 문제의 최적성을 보장하기에는 어렵다는 것을 관찰하고, 저자들은 관심의 대상을 cyclic schedules의 형태로 제한하였다. 특정한 생산 속도가 달성되어야 하므로 제품들은 반드시 평균 속도로 line에 들어가야 한다는 사실을 관찰하였다. 또한 무한히 반복하면서 기대되는 생산 요구 조건을 만족하는 cyclic schedule을 얻으면서, 각 cycle당 정확히 한 번씩 lot가 각 공정을 수행하는 생산 일정계획에 대한 연구를 발표했다.

Lu et al.[10]은 평균 cycle time과 이들의 분산을 최소화 할 수 있는 효과적인 scheduling policy를 제시하였고, simulation을 통해 결과의 효율성을 입증하였다.

Kubiak et al.[8]은 hub machine이라는 가정하에 reentrant flow 다목적 공정의 생산 일정계획을 연구하였다. Hub machine이란 제품이 반복적으로 되돌아오는 공정내의 기계를 얘기한다. 각 제품들은 정해진 수의 공정을 거쳐야 한다. 그리고 hub machine과 다른 장치들을 교대로 거친다. Hub machine 상에서 각 제품의 j'번째 조업으로 구성된 일련의 작업들은 j'번째 entry라고 한다. 서로 다른 entry의 두 개의 제품들이 연속으로 처리될 때 hub machine 상에서 준비시간이 필요하다. 목적함수는 모든 제품들의 조업 완료시간을 최소화하는 것이다.

문제가 NP-hard이므로, 저자는 제품의 처리 시간에 두 가지 가정을 하였다. 먼저는 hub machine 상에서의 가장 짧은 조업은 다른 모든 장치상에서 가장 긴 조업보다도 길다. 두 번째는 hub machine 상에서의 제품의 처리 시간을 총 처리 시간에 연관이 있다고 가정한다. 이러한 가정 하에서 저자들은 같은 entry machine의 조업이 가장 짧은 조업시간의 순서로 정돈 되어있는 최적 생산 일정계획이 존재한다는 것을 보였다. 이러한 통찰력에 근거하여 제품의 수에 있어서는 다항식이지만, 각 제품들이 hub을 거치는 수자는 지수적으로 최적의 dynamic programming algorithm을 개발하였다.

대량생산 체제하의 반도체 제조 공정에서는 일반적으로 평균 생산주기와 그 분산을 최소화하는 것이 대부분의 생산일정 계획의 목적함수들이였다. 그러나 반도체 산업도 다품종 소량의 생산체제로 바뀌어 가는 것이 지배적이므로 짧은 기간에 주어진 생산량을 이룩하기 위해서는 makespan을 최소화하는 목적함수를 고려해야한다. 하지만, dispatching이나 simulation을 통해 구현되는 scheduling policy들은 makespan을 최소화할 수 있도록 모델을 정립하기가 어렵다.

2. 회분식 조업

반도체 제조 공정에서 나타나는 일정계획 문제의 흥미로운 사실은 회분식 공정하에서 조업된다는 것이다. 회분식 공정이라는 것은 여러 개의 제품들이 한 회분으로 한꺼번에 처리되는 것을 말한다. 한 회분의 일은 조업이 동시에 시작하여 동시에 끝난다. 반도체 제조 공정에서 회분식 공정의 대표적인 예는 wafer fab에서의 식각공정(etching)과 최종 검사 단계의 burn-in ovens이다. 처리 시간과 이런 기계들의 한 회분당 lot의 개수 등의 특성들은 제품의 종류에 따라 변할 수도 있다.

과거의 연구들은 모두 각 제품들이 단위 크기하에서 조업되는 것들을 고려하였다. 그러나 이러한 가정은 반도체 제조 공정에서의 회분식으로 처리되는 공정의 영향은 고려할 수가 없다. 그래서, 최근에서야 회분식 공정의 형태를 가진 문제들에 대하여 논의가 이루어지고 있다. Dobson과 Nambinadom[3] 는 같은 종류의 제품들만이 한 회분으로 같이 처리될 수 있고, 같은 종류의 제품들은 모두 동일한 조업시간을 갖는다고 가정하였다. 그들은 회분식 장치에서 조업 완료시간을 최소화하는 문제를 연구하였다. 또한 이 문제가 NP-hard라는 사실을 증명하고 여러 가지 heuristics를 제시하였다.

Gurnani et al.[5]은 unit-capacity를 갖는 장치와 회분식 공정하의 장치가 순차적으로 구성되어 있는 시스템을 고려하였다. 회분식 공정하의 장치에서 일어나는 불확실성은 unit-capacity 장치의 고장 등이 원인이 된다. 회분식 공정의 조업시간은 한 회분의 양과는 무관하다.

3. 수학적 모델

이번 절에서는 반도체 제조 공정에 reentrant flow의 특성에 대해 정립된 수학적인 접근방법 [11]을 살펴보기로 한다.

우선 예제에서 제품의 set을 $P = \{p\}$로 주어져 있고 제품에 대한 각 공정 단계에서의 조업시간(processing time) 정해져 있다고 가정한다. 제품이 거쳐야 할 station의 set은 $S = \{s\}$이며, 제품이 거쳐야 할 모든 단계들의 set은 $K = \{k\}$라고 정의한다. 그때 $M = \{(k,s)$: 장치 k는 station s에 포함되어 있다$\}$을 정의할 수 있다..

그림 8은 제품이 생산되기 위해 거쳐야 할 모든 단계들을 Gantt chart로 도시하였다. 모든 제품들은 동일한 경로와 동일한 조업시간을 갖는다고 가정한다. 여기에서 제품이 지나야 할 station은 4개이며, 13개의 단계로 구성되어 있다. 그때에 M = {(1,1), (5,1), (8,1), (2,2),

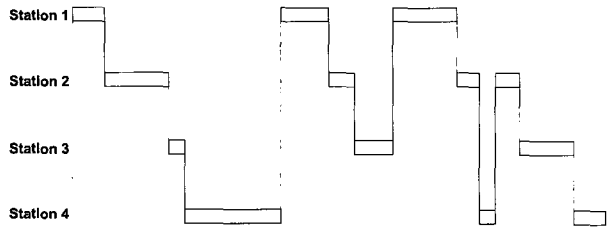


그림 8. 반복투입에 대한 Gantt 챠트.
Fig. 8. Gantt chart for reentrant flows.

(6,2), ...}의 set으로 고려할 수 있다. 그림에서, station 1부터 4까지의 일련의 순서들에 의한 조업경로들을 4가지로 구분할 수 있다. 예를 들어 처음 4개의 조업들을 한 가지의 조업형태로 구분하면, 이러한 형태로 나머지의 조업들을 구분하게 되면 각각 3개, 3개, 3개의 조업들로 구분할 수 있다. 이러한 구분개념은 서로 다른 제품들이 다목적 공정의 형태로 거쳐야할 장치가 일련의 순서(sequence)로 구성된 특별한 경우로 생각할 수 있다. 이러한 경우의 다목적 공정의 형태를 sequential multipurpose process라 한다[15].

3.1 목적식과 제안식

제품 p가 하나의 단계 k에서 조업이 완료되는 시간을 C_{pk}로 정의하면, 최종완료시간은 다음과 같은 식으로 정의될 수 있다.

$$MS \geq C_{pk} \quad \forall (p, k) \in M \tag{1}$$

따라서 목적함수는 다음과 같이 나타낼 수 있다.

$$\min \quad MS \quad \forall p \in P \tag{2}$$

여기에서 모든 제품들은 UIS(Unlimited Intermediate Storage) 방안을 따르게 되므로, 각 제품 p가 장치 k에서 조업이 완료되는 조업 완료시간 C_{pk}에 대한 제한조건들은 다음 식들로 나타난다.

$$C_{pk} \geq C_{p(k-1)} + PT_{pk} \quad \forall (p, k) \in M \tag{3}$$

$$C_{pk} \geq C_{(p-1)k} + PT_{pk} \quad \forall (p, k) \in M \tag{4}$$

여기서 PT_{pk}는 장치 k에서 제품 p의 조업시간을 의미하며 이데 대한 데이터는 표 1에 주어져 있다.

그림 8에서 나타난 것처럼, reentrant flow의 특징을 갖는 공정은 일반적으로 다품종(multiproduct) 회분식 공정의 경우로 고려하여 식을 수립하는 것도 한 방법일 것이다. 즉, 그림 9와 같은 경로를 갖는 다품종 회분식 공정의 Gantt chart를 고려하여 보자.

표 1. 공정시간 데이터
Table 1. Processing time for example.

	station			
sequence	1	2	3	4
1	10	20	5	30
2	15	8	12	
3	20	7		5
4		7	17	10

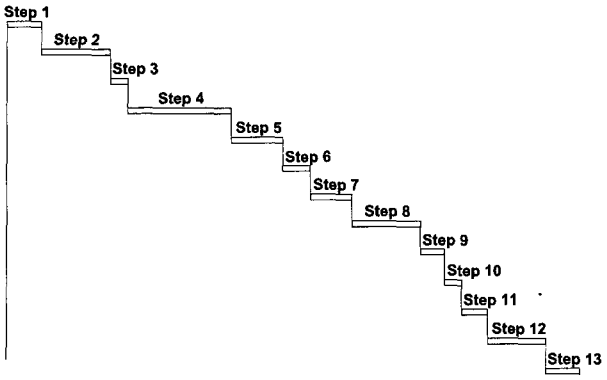


그림 9. 그림 6을 다품종 공정으로 표현.
Fig. 9. Representation of a multiproduct process for the system of Fig. 6.

즉, 모든 제품들은 그림 9에서와 같은 경로를 따르며 생산된다고 가정하는 것이다. 이러한 경우에 고려해야 할 제한조건은 그림 8에서 나타나는 각각의 station에서 여러 단계의 step들이 겹치게 되는 경우를 고려해 주면 가능할 것이다. 이러한 제한조건은 disjunctive constraint[15]를 이용하면 동일한 시간에 서로 다른 조업이 겹치지 않고 조업을 진행할 수있는 것이다.

즉, 동일한 시간에 서로 다른 조업이 동시에 일어나지 않도록 하는 제한조건은 다음과 같은 식으로 표현할 수 있다.

$$C_{p'k} - C_{pk'} - LY_{pp'k} \geq PT_{pk}$$
$$\forall (p, k') \bigvee (p', k) \in M \tag{5}$$

$$C_{pk'} - C_{p'k} + L(1 - Y_{pp'k}) \geq PT_{pk'}$$
$$\forall (p, k') \bigvee (p', k) \in M \tag{6}$$

여기에서 L은 makespan의 upper bound로서 비교적 큰 값을 갖도록 한다. 또한 $Y_{pp'k}$는 이진 변수 (binary variable)로서 정의되어 동일한 station에서 제품 p와 p'가 어떤 것이 먼저 조업이 되는 가를 결정하는 변수이다. 즉, 정의에 의하여

$$Y_{pp'k} = \begin{cases} 1 \text{ if product } p \text{ is before product} \\ p' \text{ in station } k \\ 0 \text{ else} \end{cases}$$

로 나타난다.

그러므로, 수학적인 선형계획법(Mixed-Integer Linear Programming, MILP)의 모델식은 다음과 같이 정의할 수 있다.

$$\min \quad MS \quad \forall p \in P \qquad \text{[M1]}$$

subject to:

$$MS \geq C_{pk} \qquad \forall (p, k) \in M$$

$$C_{pk} \geq C_{p(k-1)} + PT_{pk} \qquad \forall (p, k) \in M$$

$$C_{pk} \geq C_{(p-1)k} + PT_{pk} \qquad \forall (p, k) \in M$$

$$C_{p'k} - C_{pk'} - LY_{pp'k} \geq PT_{pk}$$

$$\forall (p, k') \vee (p', k) \in M$$

$$C_{pk'} - C_{p'k} + L(1 - Y_{pp'k}) \geq PT_{pk'}$$

$$\forall (p, k') \vee (p', k) \in M$$

$$MS, C_{pk} \geq 0, \quad Y_{pp'k} = \{0, 1\}$$

$$\forall (p, k) \vee (p', k) \in M$$

3.2 수학적 모델식의 결과 및 분석

모델식 M1의 계산은 GAMS[2]를 통하여 OSL[12] MILP solver를 이용하여 계산하였다. 계산은 제품의 개수가 2에서 7개의 제품을 각각 생산하여야 할 때의 경우들에 대하여 makespan MS를 동시에 최소화하는 해를 구하였다.

또한 계산은 SUN/SPARC station상에서 수행하였고 OS는 Unix이다. 표 2에서는 이러한 계산 결과들을 비교하였다.

표 2. M1 모델을 통한 결과.

Table 2. Results obtained from the M1 model.

Product	Constraints	0-1 variable	Cont variable	Itern	Node	MS
2	128	30	27	180	58	215
3	275	90	40	815	172	246
4	482	180	53	2019	333	266
5	749	300	66	4400	586	301
6	1076	450	79	9545	1093	336
7	1469	630	92	154046	18654	381

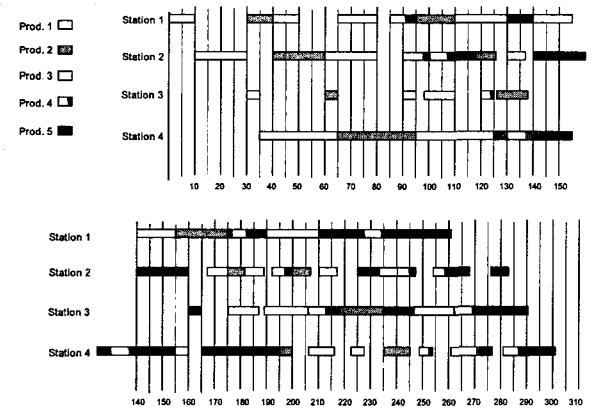


그림 10. 5개의 동일한 생산물을 다룬 M1 모델의 결과를 보여주는 Gantt 챠트.

Fig. 10. Gantt chart for the result obtained from the M1 with 5 equivalent products.

그림 10은 제품이 5개가 동시에 조업이 이루어 질 때의 Gantt chart를 나타낸 것이다. 그림의 결과를 보면 각 제품들이 각각의 station에서 적절한 생산 일정계획에 따라 조업이 이루어지고 있으며, 반도체 공정에서 제시된 reentrant flow의 제한조건을 잘 만족하고 있다는 것을 알 수가 있다. 그러므로 제안된 모델식은 반도체 제조 공정에 대한 특성을 고려한 장치에 최적화를 수행하여 적절한 해를 얻을 수가 있었다. 그러나, 제품의 개수가 8개 이상이 동시에 고려될 때의 해는 본 모델식으로 구할 수가 없었다. 이것은 제한조건들이 엄격한 경우가 아닌 경우이기 때문에 일어날 수 있는 것이다.

수학적 접근방법에 의해 개발된 모델식은 아주 간단한 경우의 예제에 대하여 적용하였다. 그러나 실제 공정에서는 하나의 station내에 여러 개의 장치가 동일한 작업을 수행하기 위해 존재하므로 이러한 상황에도 확장하여 적용할 수가 있다. 또한 회분식으로 조업되는 station에서는 여러 개의 lot들이 모여질 때까지 대기하거나, 혹은 한 개의 lot가 조업을 수행하기 위해서 여러 개의 단위 조합으로 세분되는 경우도 있다.

IV. 순서 가지 방법(sequence branch algorithm)

1. 알고리즘 개요

SBA 알고리즘은 다단 다목적 회분식 공정(Multistage multipurpose batch process)에 대한 일정계획을 위한 각 생산물(product)의 단(stage)에 따른 노드(node)의 reachability graph를 만드는 알고리즘이다[1]. 다루고자 하는 대상문제는 N개의 product i가 M개의 unit k를 각기 다른 조업방식으로 거치는 경우로 재진입이 있는 jobshop 일정계획 문제이다. product i가 unit k를 거치는 한 과정은 하나의 stage j로 표시될 수 있다. 재진입이 있는 관계로, 각 product i의 조업시간과 이동시간은 unit과 stage에 따라 결정된다. 이미 거쳐간 동일한 unit를 재 진입할 때, stage에 대한 정보를 나타냄으로써 이를 먼저 일어난 공정과 구별할 수 있기 때문이다.

SBA는 그림11에서와 같이 발생 가능한 조업경로를 nod와 branch로 구성해서 가장 짧은 makespan의 경로를 찾는 알고리즘이다.

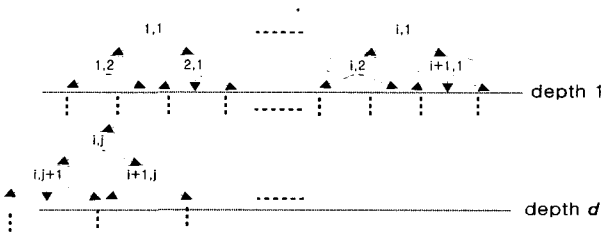


그림 11. SBA의 개념.

Fig. 11. Description of SBA.

한 node는 순서쌍(product, stage)으로 표현되고, 이를 기본으로 해서 발생 가능한 사건을 다음 node로 표현한다. 이 경우 생성된 node들은 선행 node에 비해 depth의 크기가 1만큼 더 커지게 된다. node가 생성됨과 동시에 그 node에 해당하는 완성시간(completion time)이 계산된다. 이들 각각에 대해 완성시간을 비교해서 가장 짧은 완성시간을 갖는 node에서 다음 세대 node를 생성시키고 나머지는 휴지(休止)상태로 놔둔다. 만약 생성된 새로운 node의 완성시간의 크기가 휴지상태 node보다 클 경우, 현재의 node는 휴지상태가 되고 완성시간의 크기가 작은 node에 대해 다음 세대의 node를 생성시킨다. 한

stage에 참여할 수 있는 unit의 수는 여러 개이므로 이 중 해당 product를 수행했을 때 완료시간을 가장 줄일 수 있는 unit를 선택해야 되며, 이는 다음 수식으로 표현할 수 있다.

$$C_{ij} = \min_{k} \{ C_{ij-1} + (P_{ijk} + T_{ijk}) \} \text{ for } i, j \qquad \text{(SBA-1)}$$

그림 12는 위의 작업에 대한 단계를 나타내고 있다.

이러한 작업은 모든 product의 생산경로가 종료될 때까지 계속된다. 실제로 이러한 방법만을 고려한

것은 발생 가능한 경우의 모든 node를 생성시키는 결과를 낳기 때문에 전체 일정계획 결과를 얻어내는데는 상당한 시간이 필요하게 된다. 그래서, 본 연구에서는 계산할 node의 수를 줄이고자 다음과 같은 경험식을 목적함수에서 고려하였다.

$$O_{ij} = C_{ij} + \lambda R_{ij} - \omega D_{ij} \text{for } i, j \qquad \text{(SBA-2)}$$

Step 1 : Construct initial schedule lists from initial node and save it to the schedule list pool.

Step 2 : Select a branch node with the minimum completion time among the candidates.

Step 3 : Generate succesive schedule list for a branch node

Step 4 : If the schedule list contains all the processing of products, terminate.

Step 5 : Compare the completion time of the branch node and nodes of smaller depth and do the following:

a) If the completion of a branch node is the smallest, then go step 2

b) If any other node exists such that the completion time is smaller than that of the branch node, then replace the branch node with it and go step 2

그림 12. SBA의 알고리즘.
Fig. 12. Algorithm for SBA.

R_{ij}는 i번째 생산물의 j번째 stage를 나타내는 node에서의 잔여시간(remaining time)으로 현 상태에서 앞으로 처리해야 할 가공시간(processing time)의 합으로 나타내어진다. 가공시간이 짧은 stage만을 거쳐서 긴 가공시간을 갖는 stage만을 남겨둔 node와 그 반대 경우의 node를 고려하기 위함이다. D_{ij}는 노드의 깊이(depth)를 의미하고 초기부터의 진행정도를 나타낸다. 진행정도가 더할 수록 완성시간(completion time) C_{ij}이 길어지는 것은 당연하기 때문에 이를 보완하고자 하는 것이다. 두가지의 고려정도는 weight 상수 λ, ω를 통해 조절이 가능하다. 두 상수 값이 커질 수록 알고리즘은 더욱 빠른 시간 안에 해를 찾지만 최적해에서 벗어나는 정도가 커진다. 반대로, 0의 근처로 가면, 최적해를 찾아내지만 계산시간이 길어진다는 단점이 있기 때문에 문제의 성격에 따라 최적성과 계산시간에 대한 trade-off가 요구된다.

예제 1 : 알고리즘의 성능을 평가하기 위해서 수학적 접근방법에서 다루었던 문제를 다루어보았다. 표 3은 각 문제 규모에 따른 수행결과를 보여주고 있다. 수리계획법에 의한 접근 방법은 product가 7개인 경우가 한계였지만 SBA는 30개 그리고 50개까지도 별 무리 없이 다룰 수 있었다. 목적함수의 값은 수리계획법에 의한 최적값에 비해 5% 이내로 최적화 수행의 기본 optimality error가 10%인 점을 고려할 때 준최적값으로서 만족할 만한 값이었다.

예제 2 : 본 예제에서는 Lu et al.[10]이 다룬 실제규모의 문제를 다루어보고자 한다. 그림 4에 제작공정에 대한 그림이 있고 단별로 거치게 되는 흐름은 그림 13에 나타나 있다. 표 4는 station에 따른 machine의 수와 완성된 웨이퍼가 제작되기까지 거치게 되는 수 및 공정시간을 나타내고 있다.

표 3. 계산결과의 비교.
Table 3. Comparison of the caleulation results.

product수	MILP		SBA		
	CPU(s)	MS	Itereration	CPU(s)	MS
7	604.8	381	110	8.5	397
10	-	-	169	32.1	565
15	-	-	196	78.1	797
30	-	-	396	703	1531
50	-	-	652	3371	2472

Enter-1-2-3-8-10-1-2-6-1-2-
3-8-9-1-2-3-8-10-1-6-
11-1-2-5-1-2-3-8-9-1-
2-3-8-10-1-6-11-1-2-5-
1-2-3-8-9-10-11-1-2-4-
8-3-1-1-2-7-8-10-1-2-12-Exit

그림 13. 생산라인에서의 제작흐름.
Fig. 13. Manufacturing flow in production line.

웨이퍼 5개에 대한 처리문제에 대해본 문제를 수학적인 접근방법으로 수행하게될 경우 필요하게 되는 0-1 변수는 (웨이퍼 수)×(장치 수)×(단 수)×(시간단위 수) = 5×60×40×5 = 60000개가 된다. 문제의 복잡도로 인해 기존의 방법에 의해서는 해를 찾지 못할 것이다. 표5는 SBA로 수행한 결과를 나타내고 있다. 웨이퍼의 개수가 5개에서 10개인 것까지 수행해보았다. 그림 14는 8개의 웨이퍼의 제작을 위한 일정계획 결과를 보여주고 있다.

V. Conclusions

지금까지 반도체 공정의 특성 및 생산 일정계획수립을 위한 접근 방법에 대해 살펴보았다. 조업시간이 일정하다는 가정을 갖는 결정론적 접근방법의 하나로 순서가지 방법(SBA)을 제시하였다. SBA는 각 product의 stage를 하나의 노드로 표현해서 완성된 scheduling list를 만들어내는 알고리즘으로서 탐색 속도를 빠르게 하기 위해

표 4. 예제 2를 위한 데이터.
Table 4. Data for example 2.

station	number of machine	number of visit	processing time [hr]
1	4	14	0.5
2	3	12	0.4
3	10	7	2.5
4	1	1	1.8
5	1	2	0.9
6	2	3	1.2
7	1	1	1.8
8	4	8	0.8
9	1	3	0.6
10	9	5	3.0
11	2	3	1.2
12	2	1	2.5
sum	40	60	16.2

그림 14. 예제 2에 대한 Gantt 챠트.
Fig. 14. Gantt chart for example 2.

표 5. 예제 2의 수행결과.
Table 5. Computational statistic for example 2.

product수	SBA		
	Itereration	CPU(s)	MS
5	300	298.1	739
8	480	1629	838
10	600	3750	905

각 노드의 생성깊이(depth)와 잔여시간(remaining time)을 고려한 경험함수를 이용하였다. 수학적 모델식을 이용해 최적화 하는 방법은 그 규모의 크기가 큰 문제에 대하여 적용하기 위해서는 보다 엄격한 제한 조건들을 적용하고 변수들의 크기를 줄일 수 있는 여러 가지 기법들을 적용하여야 하는 등의 보다 많은 연구가 필요하다. 반면에 SBA를 이용한 경우는 실제규모의 문제에 대한 접근이 가능하였고 최적에 가까운 일정계획의 결과를 구할 수 있었다. 특히 제시되는 알고리즘은 반도체 생산방안이 점차적으로 다품종 소량생산으로 변화해 감해 따라 요구되는 최종완료시간을 최소화하는 알고리즘으로 적합하다.

참고문헌

[1] J.-K. Bok, S. Lee and S. Park, "Short-term scheduling of batch processes using SBM (Sequence Branch Method)," *Proc. of '97 KIChE Fall Meeting*, 1997.

[2] A. Brooke, D. Kendrick and Meeraus, *GAMS: A User's Guide*. Scientfic Press, Palo Alto, 1991.

[3] G. Dobson and R. S. Nambinadom, *The Batch Loading and Scheduling Problem*, Simon Graduate School of Business Administration, University of Rochester, 1992.

[4] S. C. Graves, H. C. Meal, D. Stefek and A. H. Zeghmi, "Scheduling of re-entrant flow shops," *Journal of Operations Management*, vol. 3, no. 4, pp. 197-207, 1983.

[5] H. Gurnani, R. Anupindi and R. Akella, "Control of batch processing systems in semiconductor wafer fabrication facilities," *IEEE Trans. Semiconductor Manufacturing*, vol. 5, no. 6, pp. 319-328, 1992.

[6] J. M. Harrison, C. A. Holloway and J. M. Patell, *Measuring Delivery Performance : A Case Study from the Semiconductor Industry*, in *Measures for Manufacturing Excellence*, R. S. Kaplan (ed.), Harvard Business School Press, 1990.

[7] R. A. Hughes and J. D. Shott, "The future of automation for high-volume wafer fabrication and ASIC manufacturing," *Proc. of the IEEE*, vol. 74, no. 13, pp. 1775-1793, 1986.

[8] W. Kubiak, S. X. C. Lou and Y. M. Wang, *Mean Flow Time Minimization in Re-entrant Job Shops with Hub*, Faculty of Management, University of Toronto, 1990.

[9] H. J. Levinstein, *White Paper on IC Fabrication in the Year 2000*, Research Report T90150, Semiconductor Research Corporation, Research Triangle Park, NC 27709, 1990.

[10] S. C. H. Lu, D., Ramaswamy and P. R. Kumar, "Efficient scheduling policies to reduce mean and variance of cycle-time in semiconductor manufacturing plants," *IEEE Trans. Semiconductor Manufacturing*, vol. 7, no. 3, pp. 374-388, 1994

[11] S. Moon and S. Park, "Scheduling models in semiconductor industries," *KACC conference*, Fall, POSTECH, 1996

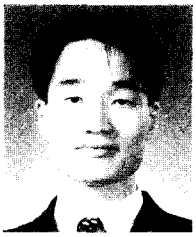
[12] OSL(Optimization Subroutine Library), *Guide and Reference. Release 2.* IBM Corp. U.S.A., 1992.

[13] R. Uzoy, C. Y. Lee and L. A. Martin-Vega, "A review of production planning and scheduling models in the semiconductor industry Part I :

shop-floor control," *IIE Trans.*, vol. 24, no. 4, pp. 47-61, 1992.

[14] R. Uzoy, C. Y. Lee and L. A. Martin-Vega, "A review of production planning and scheduling models in the semiconductor industry Part II: shop-floor control," *IIE Trans., Scheduling logistis*, vol. 26, no. 5, pp. 44-55, 1994.

[15] V. T. Voudouris and I. E. Grossmann, "MILP model for scheduling and design of a special class of multipurpose batch plants." *Com. and ChemEngng.*, vol. 20, no. 11, pp. 1335-1360, 1996.



복 진 광

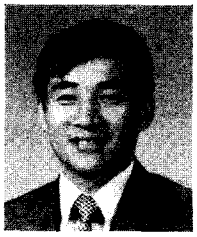
1994년 KAIST 화학공학과 졸업. 동대학원 석사(1996). 1996년-현재 동대학원 화학공학과 박사과정. 관심분야는 회분식 공정의 스케줄링 및 생산계획.

문 성 득

1989년 인하대학교 화학공학과 졸업. 1991년 KAIST 화학공학과 졸업(석사). 동대학원 박사(1997). 1997년-현재 McMaster Univ. (Canada) 박사후 과정. 관심분야는 회분식 공정의 설계 및 스케줄링.

이 승 권

1991년 고려대학교 화학공학과 졸업. 1993년 KAIST 화학공학과 졸업(석사). 동대학원 박사(1998). 1998년-현재 삼성종합화학 근무. 관심분야는 공정 그래프를 이용한 최적화 및 스케줄링.



박 선 원

1970년 서울대학교 화학공학과 졸업. 1974년 Oklahoma State University 화학공학과 졸업(석사). 1979년 Univ. of Texas at Austine 화학공학과 졸업(박사). 1987년 Univ. of Houston-Clear Lake(MBA). 1979년-1988년 Hoechst Celanese, System Engineer, Sr. Process Control Engineer, Staff Engineer. 1988년-현재 KAIST 화학공학과 교수.