
High speed에 필요한 PLL charge pump 회로 설계 및 세부적인 성능 평가

신용석*, 윤재석**, 허창우*

The design of a charge pump for the high speed operation of
PLL circuits

Yong-Suk Shin*, Jae-Seog Yoon**, Chang-Wu Hur*

요 약

본 논문에서는 charge pump 회로를 차동 전류 스위치 구조를 갖는 회로를 사용하여 설계하였다. charge pump 회로의 스위칭 속도를 향상시키기 위하여 CMOS 보다 스위칭 속도가 빠른 MESFET를 이용하여 회로를 설계하였다. 차동 전류 스위치 구조의 charge pump 회로가 고주파수 대역에서 동작하는데 따른 회로의 성능 및 안정성 문제를 제시하고 분석하였다. 또한 charge pump 회로의 성능을 평가하기 위한 척도를 세부적으로 정의함으로써 charge pump의 성능을 표현하게 된다. 설계된 회로는 HSPICE 시뮬레이터를 사용하여 시뮬레이션 하였으며, 시뮬레이션 결과 본 논문에서 제시한 구조가 1GHz급의 charge pump 회로로 설계가 가능하다는 것을 알 수 있었다.

Abstract

In this paper, we designed a charge pump with a differential current switching structure and it was made of a MESFET with high speed switching property compared with CMOSFETs.

The charge pump with a differential current switching structure is analyzed about operating property of circuit in high frequency band. Also we propose a method on it's characteristics estimation. The designed circuit is simulated by HSPICE simulator, and in view of the results we think that the charge pump of this study can be used in circuits of 1 GHz frequency band grade.

* 목원대학교 전자공학과

** 대전대학교 컴퓨터공학과

접수일자 : 1998년 7월 16일

1. 서 론

주파수 신호의 발생, 주파수의 합성이나 변환, 특정 주파수의 추출, 신호의 동기나 안정화 등 주파수를 취급하는 여러 가지 용도에서 PLL(Phase Locked Loop)이 이용되고 있다.

특히 통신 분야(라디오나 TV를 포함)에서는 유선, 무선을 불문하고 정확한 주파수의 신호를 송신하고, 수신측에서는 그 주파수에 동기하여 신호를 수신하는 기술이 불가피하다. 이 때문에 통신의 발전과 더불어 PLL 기술도 진보되어 왔다.

PLL이란 발진기 출력과 입력신호의 위상차가 일정하게 되도록 피드백 제어를 하여 입력신호에 동기한 발진기 출력이 얻어지는 회로이다.¹⁾

PLL 시스템은 크게 네 부분으로 구성 되어 있는데, 입력되는 전압의 변화에 따라 출력의 발진을 제어하는 전압 제어 발진기 (VCO : Voltage Controlled Oscillator), 외부로부터 입력 신호와 VCO의 출력 신호의 위상 차이를 비교하는 위상 및 주파수 검출기 (PFD : Phase Frequency Detector), 그리고 PFD의 출력을 VCO의 제어 전압으로 변화시켜주는 루프 필터(LF : Loop Filter)로 구성되어 있다. 이 중에서 loop filter는 일반적으로 RC회로로 구성되기 때문에 누설 전류에 의해 loop filter의 출력 전압이 시간에 대해 감쇄하는 특성을 갖게 된다. 즉, PLL 시스템이 lock 상태에 있을 때 이상적인 경우에는 loop filter의 출력이 일정하여 VCO의 주파수가 일정해야 하지만, 이러한 경우는 누설 전류에 의한 커패시터의 방전에 의해 제어 전압이 감쇄되므로 VCO의 출력 주파수도 감소하고 다시 두 신호간의 위상차가 발생하게 되어 제어 전압이 다시 증가하게 된다. 이것은 결국 lock 상태에서 VCO의 출력 주파수가 입력 신호의 주파수를 중심으로 주기적인 리플(ripple)을 갖게 됨을 의미한다.²⁾ 이러한 문제는 동작 주파수가 커질수록 PLL 시스템의 성능을 저하시키는 주된 요인이 된다. 이를 해결하기 위해 PFD와 loop filter 사이에 Charge Pump 회로를 사용하는 방법이 널리 사용되고 있다. Charge Pump 회로는 등가적으로 전기적인 스위치이므로 PLL이 lock 상태에 있으면 스위치가 open 상태가 되어 loop filter 내에 있는 커패시터의 방전 경로를 차단함으로써 제어 전압을 일정하

게 유지시키게 된다.

본 논문에서는 고주파수 대역에서 동작하는 Charge-Pump를 간략히 해석하고, 이상적으로 해석하기 위해 고속 특성이 뛰어난 GaAs MESFET를 사용하여 구현하여 검증한다. GaAs의 전자 이동도는 실리콘에 비해 높기 때문에 (약 5배) 고속 회로를 위한 소자로서 적합하다고 할 수 있다.³⁾

2장에서는 이상적인 Charge Pump model을 제시하고, 동작 원리, 특성 등을 분석한 후 high-speed PLL에 요구되어지는 charge pump의 요구 사항들을 기술한다, 3장에서는 MESFET charge pump 회로의 기본 구성과 특성을 기술하고, 4장에서는 설계된 charge pump 회로에 대한 시뮬레이션 결과를 기술하며, 마지막으로 5장에서는 결론을 맺는다.

II. Charge pump의 특성

2.1 Charge pump PLL 회로의 구성 요소

Charge pump PLL 회로는 크게 4개의 구성 요소로 되어 있는데 PFD(PFD : Phase/Frequency Detector), Charge pump, loop filter(LF : Loop Filter), VCO(VCO : Voltage Controlled Oscillator)로 되어 있으며 그림 2-1에 나타내었다.

PFD는 그림 2-1과 같이 두 입력 신호인 기준 신호의 위상과 feedback 되어진 VCO의 출력 신호의 위상을 비교하여 두 신호의 위상차를 UP이나 DOWN 신호를 보내게 된다. Charge pump는 PFD의 UP, DOWN 신호를 받아들여 UP 신호가 발생하였을 경우에는 $+I_p$ 전류를 DOWN 신호가 발생하였을 경우에는 $-I_p$ 전류를 발생시키는 회로로 2.2절에서 자세히 다루겠다. VCO는 입력되는 전압의 레벨에 따라 VCO의 출력 주파수가 제어되는 회로이다.

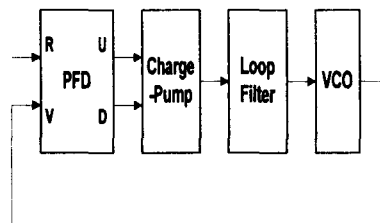


그림 2-1 Charge pump PLL 회로
Fig. 2-1 Charge pump PLL circuit

2.2 Charge pump 및 loop filter의 동작

Charge-pump 및 loop filter의 개념적인 구조는 표 2-1과 그림 2-2와 같다. PFD의 출력인 UP 단자와 DOWN 단자의 신호가 각각 스위치 SW1과 SW2를 제어하여, UP이 logic high이고 DOWN이 logic low이면 SW1이 on되고 SW2가 off되어 전류 I_p 가 loop filter로 전달되고, UP이 logic low이고 DOWN이 logic high이면 SW1이 off되고 SW2가 on되어 loop filter에서 I_p 만큼의 전류가 역으로 흐르게 된다. 마지막으로 UP과 DOWN 신호가 모두 logic low이면 두 스위치가 모두 off되어 charge pump와 필터 사이에 높은 임피던스 경로가 형성되어 필터의 출력 전압이 방전에 의해 감소하지 않게 된다.

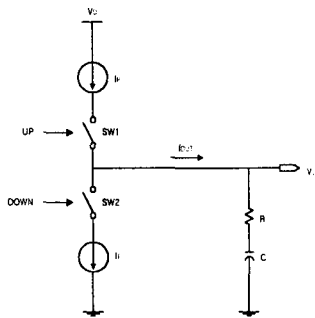


그림 2-2 Charge pump 및 loop filter
Fig. 2-2 Charge pump and loop filter

표 2-1 Charge pump 회로의 3가지 MODE

Table 2-1 The three mode of charge pump circuit

	UP SIGNAL	DOWN SIGNAL	SW1	SW2	CURRENT I_{OUT}
UP MODE	H	L	ON	OFF	$I_{OUT}=I_p$
DOWN MODE	L	H	OFF	ON	$I_{OUT}=-I_p$
SYNCHRONIZATION MODE	L	L	OFF	OFF	$I_{OUT}=0$

그림 2-3은 UP, DOWN 신호에 대한 charge pump의 동작 파형을 보여준다. 그림 2-3의 (a), (b) 파형은 PFD의 입력과 출력 신호를 나타내었다. PFD의 입력 신호인 REF 신호가 VCO의 출력 신호

보다 먼저 발생하였을 경우 PFD는 입력된 신호의 차를 UP 신호로 출력하고, REF 신호가 VCO의 출력 신호 보다 나중에 발생하였을 경우에는 DOWN 신호를 발생시킨다. 그림 2-3의 (c) 파형은 charge pump에서 UP, DOWN 신호를 받아들여 UP 신호가 발생하였을 경우에는 $+I_p$ 전류를 DOWN 신호가 발생하였을 경우에는 $-I_p$ 전류가 발생됨을 보여준다. 그림 2-3의 (d) 파형은 loop filter에서 charge pump의 출력을 입력으로 받아들여 loop filter의 R, C 값에 의한 변화된 파형을 보여준다.

즉, UP 신호에 의해서 filter output에서는 전압이 상승하는 파형을 얻을 수 있으며, DOWN 신호로는 전압이 하강하는 파형을 얻을 수 있다.

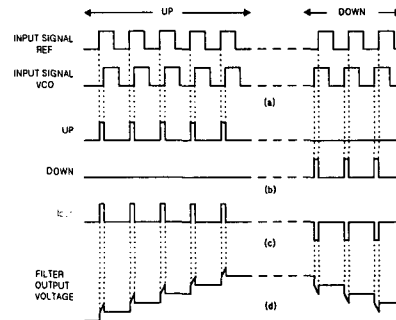


그림 2-3 UP, DOWN pulse에 따른 I_{OUT} 파형
Fig. 2-3 I_{out} waveform on the UP, DOWN pulse

III. Charge-pump 설계

3.1 Charge pump 회로

charge pump로 사용되어지는 기본적인 회로를 그림 3-1에 나타내었는데 이 회로의 구성을 살펴보면, current source 회로와 current sink 회로, 차동 증폭기 회로로 크게 나눌 수 있다. current source 회로와 current sink 회로는 정전류원을 사용하여 charge pump 회로를 구현하였다. 차동 증폭기 회로는 스위칭 속도가 빠른 MESFET의 enhancement MODE를 사용하였다.

회로의 동작을 살펴보면 2.2절에서 기술한 대로 charge pump 회로는 3가지 MODE로 동작한다. 그

림 3-1의 노드 n1에서는 UP 신호가 입력으로 들어 오게 되면 양의 전류인 $+I_p$ 가 흐르게 되고, 노드 n2로는 음의 전류인 $-I_p$ 인 흐르게 된다. UP 신호의 발생으로 $+I_p$ 가 흐르게 되는 부분인 노드 n1에 대해 회로의 동작을 기술하고, 표 3-1과 그림 3-2은 노드 n1에서 3가지 MODE의 동작과 n1의 간략화 된 모습을 보여준다. 노드 n1을 간략화하기 위해서 je2와 je3는 특정한 전압 이상에서는 스위치로 동작하기 때문에 그림 3-2에서와 같이 SW1과 SW2로 나타내었다.⁴⁾

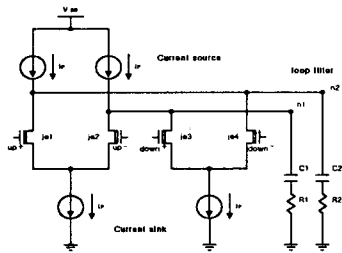


그림 3-1 Charge pump 및 loop filter 회로
Fig. 3-1 Charge pump and loop filter circuit

그림 3-2 (a)는 UP MODE로, UP+ 신호가 logic high이고 DOWN+신호가 logic low인 경우로 그림 3-2 (a)에서는 SW1(je2)과 SW2(je3)가 모두 off가 되어 I_p 의 전류가 출력으로 흐르게 되고 그림 3-2 (b) 그림은 DOWN MODE로 UP+ 신호가 logic low이고 DOWN+ 신호가 logic high인 경우로 SW1과 SW2가 모두 on이 되어 출력으로부터 전류 I_p 가 흘러 들어오게 된다. 즉, 이때의 전류값은 음의 값($-I_p$)을 가지게 된다. 마지막으로 SYNCHRONIZATION MODE로, 이때는 두 가지 상태로 회로 동작을 나타낼 수 있는데 UP+ 신호와 DOWN+ 신호가 모두 logic high인 경우와 logic low인 경우로 SW1이 on이고 SW2가 off인 상태와 SW1이 off이고 SW2가 on인 상태로 나타낼 수 있으나 두 가지 모두 같은 결과를 가진다. 동작을 살펴보면 SW1이 on이고 SW2가 off이면 SW1 노드로 전류 I_p 가 흐르게 되어 출력으로는 전류가 흐르지 않게 된다.

표 3-1 Charge pump 회로의 3가지 MODE

Table 3-1 The three mode of charge pump circuit

	UP SIGNAL	DOWN SIGNAL	SW1	SW2	CURRENT I_{OUT}
UP MODE	H	L	ON	OFF	$I_{OUT}=I_p$
DOWN MODE	L	H	OFF	ON	$I_{OUT}=-I_p$
SYNCHRONIZATION MODE	L (H)	L (H)	OFF (ON)	OFF (ON)	$I_{OUT}=0$

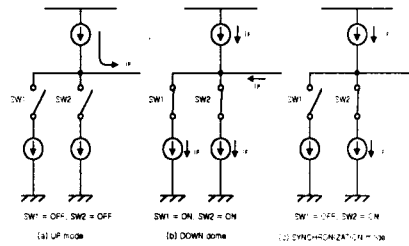


그림 3-2 3가지 MODE에서의 회로 동작
Fig. 3-2 Circuit operation on the three mode

3.2 Charge-pump 성능 파라미터

Charge pump가 PLL의 구성요소 중에 일부이기 때문에 charge pump의 성능만을 나타내는 파라미터가 정의 되어 있지는 않으나 본 논문에서는 charge pump의 성능을 평가하기 위해서 charge pump 성능 파라미터를 정의한다.

Charge pump 성능을 나타내는 파라미터로는 charge pump 전류, 최소 charge pump 펄스폭, charge pump 전류 대칭성, 누설 전류, charge pump transition (천이) 시간으로 분류할 수 있다.

Charge pump 전류는 charge pump 회로에서 왜곡 없이(전류 크기 $\pm 10\%$ 이내) 생성 또는 흡수 되는 전류로 정의한다. 최소 charge pump 펄스폭은 PFD에서 구동된 펄스에 의해서 charge pump 회로가 반응하는 최소 펄스폭으로 정의한다. Charge pump 회로의 대칭성은 charge pump 회로의 sink 전류와 source 전류의 차이 정도를 나타낸다. 누설 전류는

charge pump 회로가 high impedance 상태가 되어 충 방전하지 않을 때 누설 저항에 의해서 방전 또는 충전되는 전류를 나타낸다.

charge pump transition 시간은 charge pump의 물리적 한계로 인해 charge pump 전류가 스위칭할 때 천이 되는 시간을 나타낸다.

IV. 시뮬레이션 및 결과 고찰

Charge pump를 시뮬레이션하기 위한 조건은 공급 전압이 3.3V이며, 입력 파형의 전압은 0.5~1V이다. 시뮬레이션 툴로는 HSPICE ver97.2를 사용하여 시뮬레이션을 하였다.⁵⁾

4.1 정전류원의 변화에 따른 loop filter 출력

정전류원의 전류를 50, 100, 150 μ A로 변화시켰을 때 출력되는 전압을 그림 4-1에 나타내었다. 그림의 파형을 보면 상승 전압이 식 (1)로 유도가 된다.⁶⁾

$$V = iR + \frac{1}{C} \int_0^r idt \dots\dots\dots (1)$$

예를 들어 100 μ A의 정전류원을 사용하여 그림 4-1의 파형을 얻었을 때 그림의 수직 상승하는 부분은 저항 R에 걸리는 전압으로 식 (1)의 첫 번째단인 $i \times R$ 로 계산이 가능하다. 계산 결과 약 0.24V 정도의 값이 나왔으며 그림의 전압과 비교하여 거의 같은 결과를 얻었다. 완만하게 상승되는 부분은 커패시터에 걸리는 전압으로 식 (1)의 두 번째단을 사용하여 계산 가능하다. 계산 결과 약 0.25V의 상승 전압을 얻었으며, 그림과 비교하여 거의 같은 결과를 얻었다. 그러므로 전체 상승 전압은 0.49V임을 알 수 있다.

4.2 입력 펄스폭의 변화에 따른 loop filter 출력

Charge pump 회로가 GHz대에서 동작을 하려면 입력 펄스폭이 1nsec이하가 되어야 하는데 이번 시뮬레이션에서 loop filter의 저항과 커패시터의 값을 고정시키고 입력 펄스폭만을 5, 3, 1nsec로 변화시켜 loop filter 출력의 변화를 그림 4-2에 나타내었다. 본문에서 제시한 charge pump 회로는 current source

회로와 current sink 회로를 HSPICE에서 제공하는 정전류원 라이브러리를 사용하였기 때문에 보다 나은 특성을 얻을 수 있었다. 그림 4-2를 보면 1nsec에서도 안정된 동작을 하므로 MESFET를 이용한 charge pump회로는 1GHz대에서 동작 가능함을 알 수 있다.

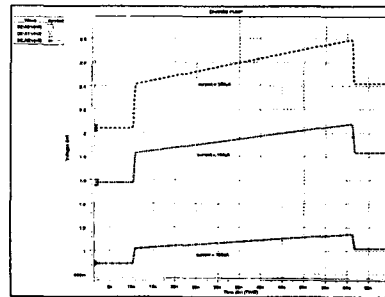


그림 4-1 전류의 변화 따른 loop filter 출력
Fig. 4-1 Loop filter output on the variation of current

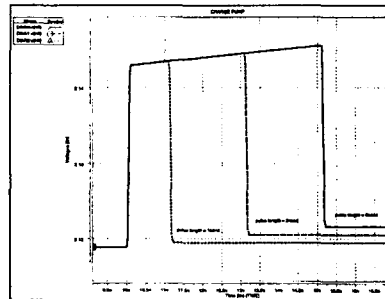


그림 4-2 입력 펄스폭의 변화 따른 loop filter 출력
Fig. 4-2 Loop filter output on the variation of input pulse width

4.3 대칭성

Charge pump의 대칭성을 알아보기 위해 20nsec의 주기에 10nsec의 펄스폭을 갖는 20번의 연속적인 UP 신호를 입력으로 인가한 후, 동일한 조건으로 DOWN 신호를 입력으로 가했을 때 loop filter의 두 출력 파형을 그림 4-3에 나타내었다. UP 신호의 입력 전압과 UP 신호와 같은 횟수의 DOWN 신호를 인가한 후에 전압을 비교하여 전압의 차이가 없음을 알 수 있다.

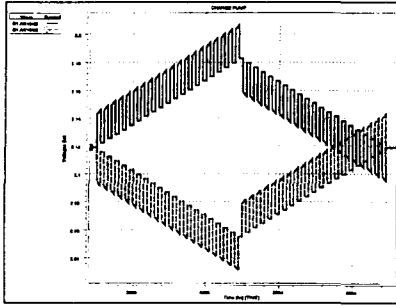


그림 4-3 대칭성
Fig. 4-3 Symmetric

4.4 입력 전압에 따른 loop filter 출력

그림 4-5의 그림은 공급 전압의 변화에 따른 출력 전압의 변화를 보여 주는 그림이다. 공급 전압 3.3V의 10%이내인 3~3.6V로 변화시켜 시뮬레이션을 하였다. 시뮬레이션 되어진 결과를 보면 공급 전압의 변화에도 불구하고 출력되는 전압의 변동이 없음을 보여주고 있다. 그러므로 본 논문의 charge pump 회로는 10%이내인 공급 전압의 변화에는 아무런 변화가 없음을 알 수 있다.

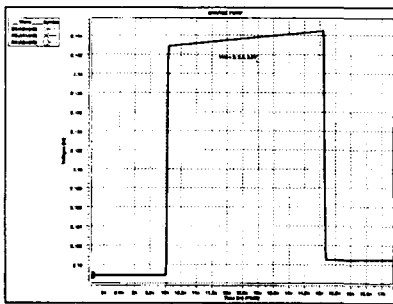


그림 4-4 공급전압의 변화에 따른 loof filter 출력
Fig. 4-4 Loop filter output on the variation of input voltage

V. 결 론

본 논문에서는 GHz 대역에서 동작하는 charge pump PLL 회로를 위한 charge pump 회로를 차동 전류 스위치 구조를 갖는 회로로 설계하고 그 특성을 분석하였다. 제안된 charge pump 회로는 4개의 FET

와 정전류원을 사용하여 구현하였다.

본 논문에서는 charge pump 회로의 성능을 평가하기 위한 척도를 세부적으로 제안하였다. 즉, 정전류원의 전류 변화에 따른 출력 전압의 변화, charge pump 회로의 정상 동작이 가능한 범위에서 최소의 입력 펄스폭, 공급 전압을 변화시켰을 때의 출력 전압의 변화, loop filter의 두 출력 사이의 대칭성, 온도의 변화에 따른 출력 전압의 변화, 공정 파라미터에 대한 출력 전압의 변화 등으로 세분화하여 시뮬레이션을 하였다. 본 논문에서 제안한 charge pump 회로의 세부 사양들을 평가한 결과, 정전류원의 전류를 변화시킴으로써 나타나는 변화는 loop filter의 저항과 커패시터에 걸리는 전압에 의해서 나타낼 수 있었으며, 입력 펄스폭의 변화로 나타낼 수 있는 특성은 입력 펄스폭이 1nsec에서도 안정되게 동작함을 보였으며, loop filter의 두 출력 사이의 대칭성은 여러 번의 UP 신호를 입력 후에 그와 같은 횟수의 DOWN 신호를 입력하였을 때에 UP 신호전의 전압과 같은 횟수의 DOWN 신호를 마친 후의 전압에 거의 차이가 없음을 알 수 있었다. 그러므로 본 논문에서 구현한 charge pump 회로는 대칭성에도 안정됨을 보였다. 마지막으로 온도와 공정 파라미터, 공급 전압의 변화에 따른 출력 파형을 시뮬레이션을 통하여 볼 수 있었다.

참고문헌

- [1] R. E. Best, Phase locked loops, 2nd ed. McGraw Hill, 1993
- [2] F. M. Gardner, Charge-pump phase-locked loops, IEEE Trans. Commun., vol.COM-28, pp. 1849-1858, Nov., 1980
- [3] S. I. Long, and S. E. Butner, Gallium Arsenide digital integrated circuit design, McGraw-Hill, 1990.
- [4] Masashige Tada, Charge pump circuit and phase locked loop circuit using the charge pump circuit, U. S. Patent 5,663,686, Sep. 2, 1997
- [5] Meta-Software, Inc., HSPICE users manual, May, 1996.
- [6] M. V. Paemel, Analysis of a charge-pump PLL: a new model, IEEE Trans. Commun., vol. 42, pp. 2490-2498, Jul., 1994

신 용 석(Yong Suk Shin)

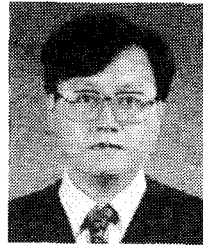
1989~1995 : 목원대학교 전자공학과 학사 졸업
1995~1998 : 목원대학교 전자컴퓨터 공학과 석사 졸업
1997~1998 : 한국전자통신연구원 ATM 교환연구실위촉연구원
1998~ 현재 :
*관심분야 : VLSI회로설계, PLL charge pump



윤 재 석(Jae Seog Yoon)

1978.3~1982.2 : 경북대학교 전자공학과학사 졸업
1983.3~1985.2 : 연세대학원 전자공학과 석사 졸업
1989.1~1991.5 : 미국 Washington Univ. 반도체공학 Master

1994.3~1997.2: 연세대학원 전자공학과 공학박사
1993.9~1997.2:혜전전문대학 전자과 조교수
1998.3~현재 : 대진대학교 컴퓨터공학과 전임강사
*관심분야 : VLSI 설계



허 창 우(Chang-Wu Hur)

1978.3~1982.2 : 광운공과대학교 전자공학과 학사 졸업
1982.3~1984.2 : 연세대학원 전자공학과 석사 졸업
1984.3~1991.2 : 연세대학원 전자공학과 공학박사
1986.9~1994.2 : 금성사 중앙

연구소 선임연구원

1994.2~현재 : 목원대학교 전자·정보통신공학부 조교수

*관심분야 : 반도체공학, VLSI설계