
버스트 헤더 주소 방식의 FIFO 입력 버퍼링 메카니즘을 사용하는 입력 버퍼 패킷 스위치

이헌태**, 손장우*, 전상현*, 김승천*, 이재용*, 이상배*

Input-buffered Packet Switch with a Burst Head Addressable FIFO input buffering mechanism

Hyen-Tae Lee, Jang-Woo Son, Sang-Hyun Jeon, Seung-cheon Kim, Young-Yul Oh, Jai-Yong Lee and Sang-Bae Lee

요 약

본 논문은 입력 버퍼링 구조를 갖는 패킷 스위치에서 윈도우 방식을 이용하는 스위치 성능 개선 구조가 윈도우의 크기를 충분히 크게하여 성능을 개선할 수 있으나 버스트성 트래픽에 대해서는 충분한 윈도우의 효과를 얻을 수 없는 단점을 개선하기 위하여 버스티 단위로 윈도우를 적용하는 BHA-FIFO 입력 버퍼 구조를 제안한다.

제안된 BHA-FIFO의 성능 분석 연구를 통하여 일반적인 FIFO를 사용하는 윈도우 방식의 스위치 성능은 버스트 길이가 커질 수록 감소하여 최대 처리율이 0.5에 수렴하지만 버스티 단위로 윈도우를 갖는 BHA-FIFO 구성에서는 같은 윈도우 크기에 대하여 제안된 BHA-FIFO 스위치의 성능이 우수하게 개선되었다.

Abstract

As window sized increases, the throughput input-buffered packet switch with a window scheme improves on random traffic condition. However, the improvement diminishes quickly under bursty traffic. In this paper, we propose Burst Head Addressable FIFO mechanism and memory structure having search capability in unit of burst header to compensate the sensitiveness of the windowed scheme to bursty traffic.

The performance of a input-buffered switch using the proposed Burst Header Addressable FIFO input buffer

* 연세 대학교 전자 공학과 네트워크 연구실

** 목원대학교 정보통신공학과

접수일자 : 1998년 2월 5일

was analyzed using computer simulations. The maximum throughput of the conventional FIFO scheme approaches an asymptotic value 0.5 as mean burst length increases. The maximum throughput of the proposed scheme is greater than that of the conventional scheme for any mean burst length and window size.

I. 서 론

지금까지 멀티미디어를 포함하는 다양한 서비스를 지원하는 스위치 설계에 관한 많은 연구가 있었다. ATM 전달 방식은 미래의 다양한 서비스를 지원하는 광대역 종합 정보 통신망(B-ISDN)의 전달 및 교환 기술로서 채택되었고, ATM 기술은 통신망에서 직렬화 영향[7]으로 인한 문제를 해결하기 위하여 비교적 적은 길이의 고정 길이 패킷(셀) 단위로 통계적으로 다중화하여 통신망 자원을 효과적으로 이용하면서 다양한 응용에 대해 요구되는 서비스 품질을 만족할 수 있도록 하였다.

최근 수년간 다양한 스위치 구조가 제안되었다 [21]. 수백 Mbps에서 수십 Gbps에 이르는 링크 속도를 지원하는 공간 분할 패킷 스위치는 광 경로를 포함하는 초고속의 스위치 경로를 제공한다. 이러한 초고속의 스위치 기술은 최근의 고속이고 초집적의 VLSI 기술과 광 교환 소자를 통하여 실현될 수 있다.

일반적인 공간 분할 패킷 스위치는 개념적으로 입력 포트에 도착하는 패킷을 목적하는 출력 포트에 교환을 수행하는 N 개의 입력과 N 개의 출력을 가진 시스템이다. 주어진 시간에 입력된 패킷의 목적포트 주소 정보에 따라 입력 포트와 출력 포트 간에 경로를 설정하고 패킷을 전송한다. 패킷은 스위치 경로가 설정될 때까지 버퍼에 저장되어야 하며 저장되는 버퍼의 위치나 필요한 버퍼의 크기는 스위치의 구조나 가해지는 입력 트래픽의 특성에 따라 결정된다.

본 논문에서는 스위치 내부적으로는 충돌이 없는 무 충돌 스위치를 고려한다. 내부 무 충돌 스위치의 대표적인 예로 입력과 출력간의 N^2 개의 크로스포인트를 갖는 크로스바 스위치를 고려한다. 그러나 내부적으로 무 충돌인 스위치의 경우도 출력 포트 충돌이 발생한다. 즉, 스위치의 입력 패킷이 스케줄링되어 있지 않으므로 동일한 출력 포트에

대하여 주어진 패킷 시간 슬롯에서 복수개의 패킷이 도착할 수 있다. 따라서 스위치 구성에 따라 입력, 출력 혹은 스위치 내부에 패킷의 버퍼링 기능을 필요로 한다.

완전한 출력 버퍼 스위치 구성에서는 한 패킷 시간 슬롯에 모든 패킷이 출력 포트에 전달될 수 있다. 그러나 한 패킷 시간 슬롯에 하나의 패킷만 전달할 수 있는 스위치 패브릭 구성에서는 입력에서 버퍼링을 해야 한다. 완전한 출력 버퍼 스위치가 아닌 스위치 구조에서는 입력 큐에서의 HOL(Head Of Line) 충돌에 의한 성능 저하 현상이 발생한다. FIFO 구조의 입력 버퍼를 가진 내부 무 충돌 스위치의 경우 출력 포트 충돌 및 HOL 충돌로 인하여 성능이 최대 0.586으로 제한을 받는다[20].

본 논문에서는 이러한 입력 버퍼링 구조를 갖는 스위치의 성능 개선을 위하여 입력 버퍼링 방식을 FIFO가 아닌 방식을 갖는 입력 버퍼 스위치를 고려하였다. 제2장에서는 입력 버퍼링 방식의 스위치의 성능 개선 방안에 대하여 고찰하고 윈도우를 사용하는 입력 버퍼링 방식이 갖는 문제점을 분석한 다음 제3장에서 이러한 문제점을 보완하기 위한 버스트 헤더 주소화 방식의 입력 버퍼 구조와 방식을 제안한다. 제4장에서는 제안된 방식의 성능을 분석하고 5장에서 결론을 맺는다.

II. 입력 버퍼링 방식의 스위치 성능 개선 방법

최근 스위치의 성능을 향상시키기 위한 다양한 연구가 있었다. 하나의 접근 방법으로는 입력 큐의 구성, 스케줄링 및 윈도우 기법을 적용하여 HOL 충돌의 현상을 줄임으로서 성능을 개선하는 방법이다 [1][2][3] [7][9][10][12][14][15]. 또 다른 접근 방법으로는 스위치에서 입력 포트나 출력 포트에서 한 패킷 시간 슬롯에서 전달할 수 있는 스위치 능력을 향상시켜 출력 포트 충돌을 줄임으로 스위치의 성능을 개선하는 방법이다. 이러한 스위치 능력

향상은 물리적으로 스위치 패브릭의 입력 혹은 출력의 수를 늘이거나 스위치의 처리 속도를 배가시킴으로 실현될 수 있다 [4][6][8][11].

동일한 출력 포트에 대하여 복수 개의 입력 패킷이 동시에 경합할 때 이중에 한 패킷을 선택하기 위해서는 출력 포트 경합 메카니즘과 이를 위한 중재 기능을 필요로 한다. 일반적인 FIFO 방식의 입력 버퍼 스위치 구조에서는 HOL 패킷만이 경합에 참여한다.

균일하고(uniform)하고 랜덤(random)한 트래픽 조건에서 FIFO 방식의 입력 버퍼 스위치는 0.586으로 최대 처리율이 제한되고 균일 기하학적 버스트 트래픽(uniform geometric bursty traffic) 조건에서는 최대 성능이 0.5로 제한된다는 것이 알려져 있다[22]. 그러나, 이러한 일반적인 입력 버퍼 스위치의 성능 제한을 극복하기 위하여 입력 버퍼의 방식을 FIFO가 아닌 방식을 사용하고 적절히 패킷을 스케줄링 함으로서 스위치의 성능을 개선할 수 있다.

이와 같이 FIFO가 아닌 non-FIFO 방식을 사용하는 입력 버퍼링 방식으로는 출력 포트에서의 충돌을 줄이기 위하여 입력 포트에서 입력 큐의 HOL로부터 윈도우 갯수(w) 만큼 뒤에 있는 패킷까지 출력 포트 경합에 참여하도록 하는 윈도우 방식[4][7][23]이나, 각 입력 포트 당 출력 포트 주소 별로 논리적으로 별도의 FIFO를 두어 각 FIFO의 선두 패킷을 출력 포트 경합에 참여하도록 하는 N-FIFO 방식 [1][2][9][12], 그리고 입력되는 패킷에 대하여 스위치 포트에 출력될 타임 슬롯을 할당하는 방식의 스케줄링 방식[15] 등 다양한 입력 버퍼링 방식이 연구되었다. 이러한 방식은 스위치에서 한 패킷 시간 슬롯에서 보다 많은 입력 포트와 출력 포트간에 패킷이 서비스되는 것을 목표로 하고 있다. 그림1은 입력 버퍼의 구성 방식에 따라 구분한 3가지 형태의 입력 버퍼 스위치의 구성 형태이다.

그림1(a)은 N-FIFO 방식을 나타낸다. N-FIFO 입력 버퍼 구성은 최대 N2 개의 FIFO가 필요하다. 이러한 N-FIFO 입력 버퍼 방식이 최대의 성능을 얻기 위해서는 매 패킷 슬롯 시간 마다 스위치의 입력과 출력 간의 경로 요청에 대해 최대 매칭을 찾기 위한 알고리즘이 수행되어야 한다. Mckeown은

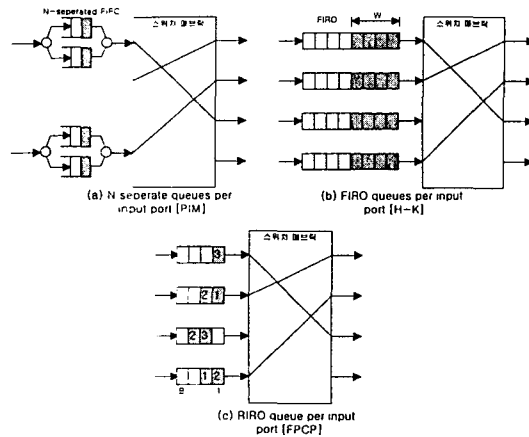


그림 1. 입력 버퍼 스위치의 구성 형태

입력 트래픽이 균일한 경우 MSM(Maximum Size Matching) 알고리즘으로 100%의 최대 성능을 얻을 수 있고 MWM(Maximum Weight Matching) 매칭 알고리즘은 불균일(non-uniform) 트래픽 환경에서도 100% 최대 성능을 얻을 수 있는 것을 증명하였다 [10]. 그러나 이러한 최적 알고리즘은 실제 구현 측면에서 현실성이 없으므로 다양한 형태의 준 최적의 알고리즘이 제안되고 있다[17][18][19]. Anderson은 출력 포트 단위로 서로 독립적인 출력 포트 중재기를 가정한 상태에서 입력 포트와 출력 포트 중재기 간에 경합 요청(request), 응답(grant), 수락(accept)의 3단계 과정을 반복하여 출력 포트 충돌 없이 전송할 수 있는 패킷을 선택해 주는 PIM (Parallel Iterative Matching) 알고리즘을 제안하였다 [1]. 스위치 포트 수(N)가 16인 경우 4번의 과정 반복으로 98%의 성능을 얻을 수 있다. PIM 방식의 매칭 알고리즘은 확률적인 매칭 방법이므로 입력 포트와 출력 포트 중재기 간의 여러 번의 요구와 응답 과정의 반복을 필요로 하며 이 반복 과정을 위한 입력과 중재기 간의 신호 교환이 필요하다. 이러한 N-FIFO 방식은 각 입력 포트 당 N개의 개별 FIFO를 필요로 한다. 이 N 개의 FIFO 구성은 물리적으로 하나의 메모리를 사용하고 논리적으로는 N 개의 FIFO로 구성할 수 있으나 메모리의 관리 기능의 구현이 비교적 복잡하다.

그림1(b)의 윈도우 방식의 스위치 구조에서는 입력 포트에 도착되는 패킷은 도착되는 순서대로 저장되고 HOL 위치에서 w 개의 패킷까지 출력 포트 경합에 참여 한다. 이 때 성능은 윈도우 개수에 의존한다. 윈도우 개수 w 를 증가시키면 100%에 가까운 성능을 얻을 수 있다. Hluchyj-Karol은 각 입력 큐 내의 HOL 패킷 들이 1차 경합에 참여하고 여기서 선택되지 않는 입력 큐의 두 번째 패킷 들이 2차 경합에 참여하는 방식으로 w 차의 경합을 통하여 출력 포트 충돌 없이 전송될 패킷을 선택하는 윈도우 방식(H-K 윈도우 방식)을 제안하였다[7]. 이 방식으로 $N=64, w=8$ 일 때 88%의 성능을 얻을 수 있었다. 이러한 윈도우 방식은 패킷이 도착된 순서대로 입력 버퍼에 저장하고 저장된 패킷은 임의로 패킷을 선택하여 읽을 수 있는 FIRO(First Input Random Output) 구조의 입력 버퍼를 필요로 한다.

윈도우의 크기를 크게 할 때 성능 개선 효과를 측정하기 위하여 FIRO 입력 버퍼를 갖는 입력 버퍼 패킷 스위치에 대하여 윈도우 크기에 대한 최대 처리율을 시뮬레이션으로 측정하였다. 시뮬레이션은 $N=32$ 의 스위치 크기와 입력 버퍼 크기(Bin)가 100인 조건에서 수행하고 랜덤한 트래픽 조건과 버스트 길이 l 이 16인 버스트 트래픽 조건에서 측정하였다. 그림2는 윈도우 크기에 대한 최대 처리율의 측정 결과이다. X 축은 윈도우의 크기를 표시한다. 실험에서 적용한 출력 포트 경합 방식은 H-K 윈도우 방식을 적용하였다. 균일한 랜덤 트래픽 조건에서 스위치의 최대 처리율은 윈도우 크기를

증가할 수록 높아져 윈도우 크기 w 가 32 에서 95% 정도의 성능을 얻을 수 있다. 시뮬레이션 결과에서 윈도우 크기를 충분히 크게 하여도 성능이 100%보다 낮게 측정된다. 이것은 유한한 입력 버퍼로 인하여 패킷의 손실이 발생하므로 윈도우 효과를 최대로 얻을 수 없기 때문이다. 반면, 버스트 트래픽 환경에서는 윈도우의 크기를 증가시켜도 성능을 충분히 개선하지 못함을 볼 수 있다. 이것은 윈도우 크기가 버스트 길이보다 충분히 커야 윈도우에 대한 효과가 나타나기 때문이다.

이와 같이, FIRO 입력 버퍼링 방식에서 원하는 성능을 얻기 위해서는 결국 윈도우를 충분히 크게 하여야 하며 버스트성 트래픽 환경에서는 윈도우 효과를 충분히 얻을 수 없다. 즉, 동일한 성능을 얻기 위해서 매우 큰 윈도우를 필요로 한다. 본 논문에서는 일반적인 FIRO 입력 버퍼를 사용하는 윈도우 방식이 버스트성 트래픽에 성능이 저하되는 단점을 보완한 입력 버퍼링 방식과 이를 위한 입력 버퍼 메모리 구조를 제안한다.

III. 버스트 헤더 주소화 방식의 입력 버퍼

1. 구조 및 동작 설명

앞에서 설명한 바와 같이 윈도우 방식의 입력 버퍼 스위치는 FIRO 구조의 입력 버퍼 메모리를 사용한다. 이러한 FIRO 메모리를 실현하기 위해서는 입력 버퍼의 HOL 패킷 뿐만 아니라 뒤에 있는 패킷도 동시에 액세스 할 수 있어야 한다. 이러한 메모리 구조는 Content Addressable Memory(CAM) [13][16]을 통하여 실현할 수 있다. CAM은 동시에 모든 입력 버퍼의 목적 포트의 주소 영역을 검사하여 해당 패킷을 읽을 수 있다. 그러나 이 경우 FIFO 방식으로 패킷을 저장하지 않으므로 방금 도착한 패킷이 바로 서비스 될 수도 있다. 따라서 순서가 바뀌는 문제 뿐만 아니라 FIFO 서비스 순서가 깨어짐에 따른 특정한 패킷의 과도한 지연을 유발 할 수 있다. 또한 CAM이 다른 메모리 종류보다 더 반도체 면적을 차지하므로 모든 입력 버퍼 메모리를 CAM으로 구현하는 것은 경제적이지 못하다. Schultz는 목적 포트 주소와 같은 검사하고자 하는 비트 영역만을 CAM으로 사용하고 나머지 패킷 데

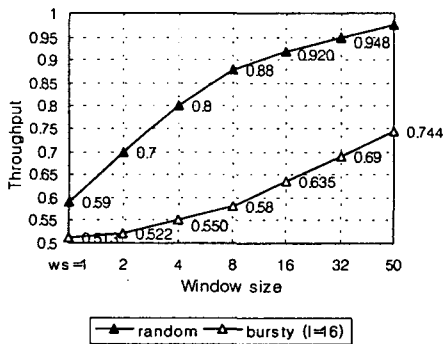


그림 2. 윈도우 크기에 대한 입력 버퍼 패킷 스위치의 처리율($N=32, Bin=100$)

이타는 일반 RAM 메모리 셀에 저장하는 방식의 메모리(CA-FIFO: Contents Addressable FIFO)를 제안하였다[16]. 이 메모리는 CAM 셀과 RAM 셀이 짝을 이루고 메모리에 쓰고 읽는 동작은 FIFO 방식으로 동작한다. 그리고 HOL 패킷으로부터 w 개의 패킷은 동시에 검사할 수 있고 읽을 수 있다. 이때 w 는 하드웨어 구현에 따라 한계를 가진다. 해당 사이클의 출력 포트 주소를 검사할 때 두개 이상의 패킷이 일치하면 특별한 우선권이 없는 경우 도착한 순서대로 서비스된다. 이 때 FIFO 방식의 읽고 쓰기 제어는 포인터나 주소 디코더를 사용할 수도 있고 쉬프트 레지스터를 사용할 수 있다.

본 논문에서는 윈도우를 갖는 FIRO 구조의 입력 버퍼 스위치가 버스트성 트래픽 환경에서는 성능이 저하되어 윈도우의 개선 효과를 충분히 얻을 수 없는 점과 윈도우의 크기를 충분히 크게 하는 데는 w 가 구현의 제약을 받는 요소임을 고려하여 적절한 윈도우로서 버스트 트래픽 처리 능력이 우수한 버스트 단위로 윈도우를 적용하는 BHA-FIFO (Burst Head Addressable FIFO) 입력 버퍼 방식을 제안한다.

그림3은 윈도우를 버스트 단위 즉, 같은 목적 주소를 갖는 연속적인 패킷 단위로 적용하는 제안된 BHA-FIFO의 구성도이다.

버퍼에 입력되는 버스티 단위의 선두 패킷은 메모리에 저장되면서 메모리의 기준 주소에서부터의

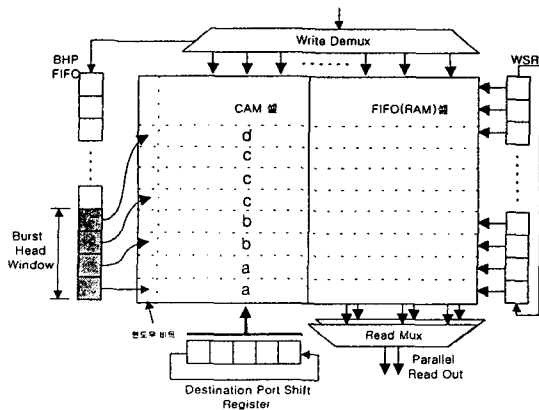


그림 3. 제안된 BHA-FIFO 구조

저장 위치를 나타내는 BHP(Burst Head Point) 값을 BHP FIFO에 저장한다. BHP FIFO의 HOL로부터 w 개의 BHP에 해당하는 패킷은 각 마이크로 사이클의 주소 검사 과정에서 검사된다. 그림4는 버스트 헤더 단위로 윈도우를 적용하여 패킷의 주소를 검사하고 CAM 셀으로부터 복수 개의 일치 결과에서 하나의 패킷을 선택하고 선택된 패킷의 결과에 따라 윈도우 내의 BHP를 관리하기 위한 동작과 이러한 기능 구현을 위한 구현 구조를 설명한다. 본 연구에서 제안된 BHA-FIFO 구조에 대한 예시적인 구현 구조를 설명하면 다음과 같다.

그림4에서 예시된 구현 방식에 따르는 BHA-FIFO의 동작 절차를 설명하면 다음과 같다.

- ① BHP FIFO로부터 선두 BHP를 읽어 비어 있는 BHC를 채운다.
- ② BHC에 해당하는 CAM 셀의 윈도우 비트를 세트하고 MMR (Multiple Match Resolver)로 입력되는 해당 크로스포인트를 연결한다.
- ③ DPSR(Destination Port Shift Register)로부터 검사할 목적 주소를 CAM의 비교 입력으로 로드한다.
- ④ CAM의 Match Line에서의 복수 개의 일치 결과를 MMR에서 BHC 정보를 통하여 우선 순위에 따라 결정하고 해당 Match Line을 게이트하여 해당 FIFO(RAM)의 패킷을 선택한다.
- ⑤ MMR에 의해 선택된 패킷에 해당하는 BHC는 값을 1 증가시킨다.
- ⑥ BHC에 해당하는 CAM 셀의 윈도우 비트를 갱신한다.
- ⑦ 과정에서 증가시킨 BHC 값이 다음 크기의

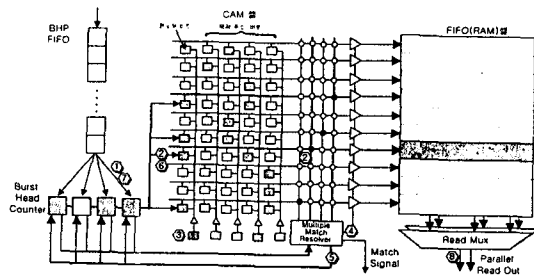


그림 4. 버스트 헤더 윈도우를 사용하는 BHA-FIFO의 구현 구조

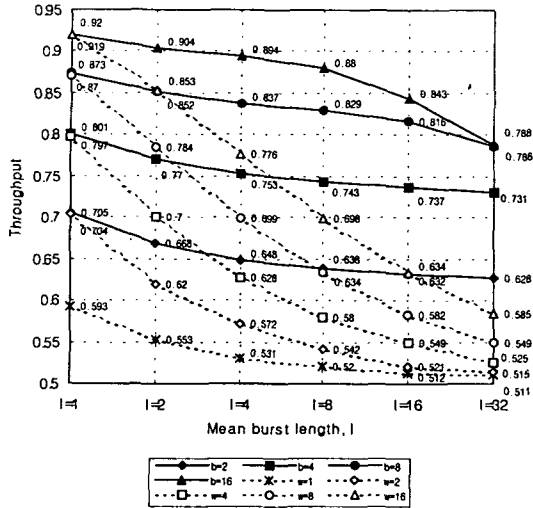


그림 5. 평균 버스트 길이 l에 대한 BHA-FIFO 스위치의 처리율(N=32, Bin=100)

BHC의 값과 같게 되면 해당 BHC로 새로운 BHP를 로드한다.

- ⑧ 과정을 통하여 선택된 패킷은 Read Mux를 통하여 읽을 수 있다. 선택된 패킷은 다음 패킷 슬롯 시간 동안 스위치 패브릭을 통하여 출력 포트에 전달된다. 이때 한 패킷 시간 슬롯 동안 최대 s 개의 패킷을 동시에 선택하여 전송할 수 있다.

IV. BHA-FIFO 성능 분석

BHA-FIFO의 성능을 시뮬레이션을 통하여 분석하였다. 트래픽은 균일 기하학적 버스트 성 트래픽으로 모델링하였다. 시뮬레이션 조건은 스위치 크기 N=32, 입력 버퍼 크기 Bin=100 조건에서 실험하였다.

그림5는 BHA-FIFO와 일반 스위치 패브릭으로 구성된 스위치 구조(BHA-FIFO 스위치)에 대하여 평균 버스트 길이 l에 대한 최대 처리율을 측정하고 일반적인 FIRO를 사용하는 스위치 (FIRO 스위치)와 성능을 비교하였다. 일반적인 FIRO를 사용하는 FIRO-1 스위치는 버스트 길이가 커질 수록 최

대 처리율이 감소하여 0.5에 수렴한다. 그러나 버스트 단위로 윈도우를 갖는 BHA-FIFO-1 스위치에서는 성능 측정 결과 기대한 바와 같이 같은 버스트 단위 윈도우 크기(b)와 윈도우 크기(w)에 대하여 제안된 BHA-FIFO 스위치의 성능이 우수하게 개선되었다. 이것은 버스트 단위를 사용하므로 버스트성 트래픽에 대하여 실제 윈도우를 크게 해 준 효과를 얻을 수 있기 때문이다. 개선 효과는 버스트 길이가 클 수록 더욱 뚜렷하게 나타난다. 실험 결과에서 버스트 길이가 커질 때 감소되는 현상이 보이는 것은 입력 버퍼의 크기가 유한한 조건 (Bin=100)에서 실험한 결과이므로 제한된 버퍼 크기에 의해 버스트 단위 윈도우의 효과가 감소되기 때문이다.

V. 결론

본 논문은 입력 버퍼링 구조를 갖는 패킷 스위치에서 윈도우 방식을 이용하는 스위치 성능 개선 구조가 윈도우의 크기를 충분히 크게하여 성능을 개선할 수 있으나 버스트성 트래픽에 대해서는 충분한 윈도우의 효과를 얻을 수 없는 단점을 개선하기 위하여 버스터 단위로 윈도우를 적용하는 BHA-FIFO 입력 버퍼 구조를 고안하였다.

제안된 BHA-FIFO의 성능 분석 연구 결과, 일반적인 FIRO를 사용하는 윈도우 방식의 스위치 성능은 버스트 길이가 커질 수록 감소하여 최대 처리율이 0.5에 수렴하지만 버스트 단위로 윈도우를 갖는 BHA-FIFO 구성에서는 같은 윈도우 크기에 대하여 제안된 BHA-FIFO 스위치의 성능이 우수하게 개선되었다.

제안된 BHA-FIFO 메모리 구조는 제안된 구현 구조를 통하여 실용화될 수 있으며 적절한 출력 포트 경합 메카니즘과 결합되어 입력 버퍼 패킷 스위치의 입력 버퍼 메모리 구조로 적용될 수 있을 것이다.

참고 문헌

[1] T. E. Anderson, S.S. Owicki, J. B. Saxe and C. Cp. Thacker, High Speed Switch Scheduling

- for Local Area Networks, ACM Transaction on Computer Systems, Vol.11, No.4, pp.319-152, Nov. 1993.
- [2] M.K.M. Ali and M. Youssefi, The Performance of an Input Access Scheme in a High-speed Packet Switch, IEEE INFOCOM91, pp.454-461, 1991.
- [3] Christos Koliass and Leonard Kleinrock, Throughput Analysis of Multiple Input-Queueing in ATM Switches, Broadband Communications 96, pp.382-393, Canada, 1996.
- [4] S. Choi, A Nonblocking ATM Switch with a Single Plane or Multiple Planes Combined with a Window Scheme, ICC96, pp.1680-1684, 1996.
- [5] Craig Partridge, Gigabit Networking, Addison Wesley, pp.153-154, 1993
- [6] Chugo Fujihashi, Hideki Hikita, Speed-Up of Input Buffer Asynchronous Transfer Mode Switch by Introducing of Parallel Read-Out Structure, GLOBECOM96, pp.819-824, 1996.
- [7] M. G. Hluchyj and M. J. Karol, Queueing in High-performance Packet Switching, IEEE HSAC, Vol 6., pp.1587-1597, Dec. 1988.
- [8] Y. C. Jung, C. K. Un, Performance analysis of packet switches with input and output buffers, Computer Networks and ISDN Systems 26, pp.1559-1580, 1994.
- [9] R. O. Lemaire, D. N. Serpanos, Two-dimensional Round-robin Schedulers for Packet Switches with Multiple Input queues, IEEE/ACM Trans. Networking, Vol.2, No.5, pp.471-482, 1994.
- [10] N. McKeown, Achieving 100% Throughput in an Input-Queued Switch, INFOCOM96, pp. 296-302, 1996.
- [11] Y. Oie, M. Murata, K. Kubota and H. Miyahara, Effect of Speedup in Nonblocking Packet Switch, ICC89, pp.410-414, June 1989.
- [12] E. D. Re and R. Fantacci, Performance Evaluation of Input and Output Queueing Techniques in ATM Switching Systems, IEEE Trans. On Communications, Vol.41, No.10, pp.1565-1575, Oct. 1993.
- [13] Kenneth J. Schultz, P. Glenn Gulak, Multicast Contention Resolution with Single-Cycle Windowing Using Content Addressable FIFOs, IEEE/ACM Transactions on Networking, Vol.4, No.5, pp.731-742, October 1996.
- [14] D. Stiliadis and A. Varma, Providing Bandwidth Guarantees in an Input-Buffered Crossbar Switch, INFOCOM95, pp.960-968, 1995.
- [15] V. Yau and K. Pawlikowski, A Conflict-free Traffic Assignment Algorithm, INFOCOM96, pp.1277-1284, 1996.
- [16] K. J. Schultz and P. G. Gulak, CAM-Based Single-Chip Shared Buffer ATM Switch, 1994.
- [17] Y. K. Park and G. Lee, NN Based ATM Cell Scheduling with Queue Length-Based Priority Scheme, IEEE JSAC, Vol.15, No.2, pp.261-270, Feb. 1997.
- [18] McKeown, J. Walrand, and P. Varaiya, Scheduling Cells in an Input-Queued Switch, IEE Electronics Letters, pp.2174-5, 1993.12.9.
- [19] McKeown, Scheduling Algorithms for Input-Queued Cell Switches, PhD Thesis, University of California at Berkeley, 1995.
- [20] Karol, M. Hluchyj, and S. P. Morgan, Input Versus Output Queueing on a Space-Division Packet Switch, IEEE Trans. Commun., Vol.COM-35, No.12, pp.1347-1356, 1987.
- [21] Y. Awdeh and H. T. Mouftah, Survey of ATM Switch Architecture, Computer Networks and ISDN Systems, Vol.27, pp.1567-1613, 1995.
- [22] Pattavina and G. Bruzzi, Analysis of Input and Output Queueing for Nonblocking ATM Switches, IEEE/ACM Transactions on Networking, Vol.1, No.3, 1993.
- [23] G. Thomas, On High Speed Packet Switches with Windowed Input Buffers, IEEE GLOBECOM93, pp.1406-1410, 1993.



이 현 태 (Hyeun Tae Lee)

1979~1983: 경북대학교 전자
공학과 학사 졸업
1984~1986: 연세대학교 전자
공학과 석사 졸업
1993~1997: 연세대학교 전자
공학과 박사 졸업

1986~1997: 한국전자통신연구원 통신시스템연구
단 선임연구원

1997~현재: 목원대학교 전자정보통신공학부 전임
강사

*관심분야: B-ISDN/ATM, Switching, Gigabit networks,
Multimedia application

손 장 우 (Jang Woo Son)

1987~1992 연세대학교 전자공학과 학사 졸업
1992~1994 연세대학교 전자공학과 석사 졸업
1994~현재 연세대학교 전자공학과 박사 과정 재학중
*관심분야: B-ISDN/ATM, Switching, Gigabit networks

전 상 현 (Sang Hyun Jeon)

1983~1997 연세대학교 전자공학과 학사 졸업
1987~1989 연세대학교 전자공학과 석사 졸업
1989~현재 연세대학교 전자공학과 박사과정 재학중
1996~현재 한국특허청 심사관
*관심분야: B-ISDN/ATM, Multimedia communications

김 승 천 (Seung-Cheon Kim)

1990~1994 연세대학교 전자공학과 학사 졸업
1994~1996 연세대학교 전자공학과 석사 졸업
1996~현재 연세대학교 전자공학과 박사과정 재학중
*관심분야: B-ISDN/ATM, Multimedia communications,
Satellite communications

이 재 용 (Jai Yong Lee)

1977~1982 국방과학연구소 연구원
1983~1986 Iowa state university 연구조원
1987 Iowa state university 조교수
1987~1992 포항공대 전자계산학과 조교수
1987~1994 산업과학기술연구소 겸직 연구원
1992~1994 포항공대 전자계산학과 부교수
1994~현재 연세대학교 전자공학과 부교수
*관심분야: Protocol engineering, Multimedia application,
Network management.

이 상 배 (Sang Bae Lee)

1954~1958 공군 사관학교 학사 졸업
1951~1961 서울대학교 전자공학과 학사 졸업
1962~1964 Stanford university 석사 졸업
1961~1967 공군사관학교 조교수
1967~1969 원자력 연구소 연구관
1969~1979 서울대학교 전자공학과 조교수
1972~1975 영국 Newcastle university 전자공학과
박사 졸업
1978 한국통신기술연구소 위촉연구원
1979~현재 연세대학교 전자공학과 교수
1982 영국 Newcastle university 교환 교수
*관심분야: Computer networks, B-ISDN/ATM,
High speed protocol.