

VLSI회로의 전력분배 합성과 면적 최적화에 관한 연구

김 현 호* 이 천 회**

A study on the Power Distribution Synthesis and Area Optimization of VLSI Circuits

Kim, Hyeon Ho* Yi, Cheon Hee**

요 약

전력분배 네트워크의 면적 최적화는 VLSI 시스템의 레이아웃 디자인에 중요한 문제이다. 본 논문에서는 전압 하강과 전기 이동 제약을 만족하는 전력분배 네트의 최소 면적을 디자인 하기위해 문제를 해결하는 새로운 방법을 제안한다. 전력 네트 디자인에 대한 두가지의 새로운 greedy heuristics을 제안했는데 하나는 bottom-up 트리 구조와 다른 하나는 top-down 분리 분할 기법을 기본으로한 것이다.

Abstract

The area optimization of the power distribution network is an important problem in the layout design of VLSI systems. In this paper we propose novel methods to solve the problem of designing minimal area power distribution nets, while satisfying voltage drop and electromigration constraints. We propose two novel greedy heuristics for power net design-one based on bottom-up tree construction using greedy merging and the other based on top-down linearly separable partitioning.

* 옥천전문대학 전자과 전임강사

** 청주대학교 전자공학과 교수

논문접수 : 98.11.11. 심사완료 : 98.12.14.

I. 서론

전력분배 네트워크는 전자 시스템의 회로 소자에 기준 전압(reference voltage)을 공급한다. 이것은 소자의 위치와 회로의 기능을 알 수있다. 좋은 전력분배 디자인은 시스템의 신뢰도와 속도에 영향을 주기 때문에 필수적인 것이다. 만일 소형 장치에 사용하기 위해 공급 전압을 저 전력으로 감소 시킨다면 노이즈 마진은 좀더 감소 되고 전력선의 전압 하강 문제는 중요시된다. 장치의 수가 증가되면 크기가 커짐으로 문제는 더욱 어려워 진다. 메탈 층을 증가시켜 문제를 감소시키는 동안 공정의 복잡도는 증가되고 일드(yield)는 낮아진다. 그래서 정확한 회로 동작을 하기위해 요구하는 면적을 감소시키며 자유롭게 이용할 수 있는 전력분배 합성에 대한 더 좋은 알고리즘이 필요하다.

II. 문제의 식

Sink에 나타나는 전류, 주어진 Sink의 위치, 고정된 전력공급 네트워크, 그리고 일시적인 Sink 전류 정보(Temporal sink current information)와 기술적인 파라미터들을 최대한 적게 디자인하는 것이다. 일시적인 Sink 전류 정보는 Sink가 파워 네트워크로부터 전류를 나타내는 시간 정보와 일치한다. 그러므로 맨하탄 플레인(Manhattan plane)에서 Sink의 집합 $p = \{p_1, p_2, \dots, p_n\}$, 단위 길이당 상호연결 레지스턴스 R_0 , Source pad 위치, Pad로부터 Sink까지 최대 허용전압 하강 V_{vm} (수직 전압 하강 제약), Sink사이의 최대 전압 하강 차 V_{hm} (수평 제약), Peak sink 전류 $\{I_j\}$, Sink가 전류를 나타내는 시간의 일시적 정보와 최대 허용 전류 밀도 J_{max} 등이 주어짐으로서 문제를 설명한다.

$$\text{Minimize } \sum_{j \in B} w_j \cdot l_j$$

여기서 B는 Branch의 집합이고, w_j 와 l_j 는 Branch의 넓이와 길이이다. 그러므로 Cost 함수는 네트워크의 면적이 된다.

전기이동제약(Electromigration constraints)은 식(1)과 같다.

$$\left(w_j \geq \frac{I_j}{J_{max}} \right) \forall_j \dots\dots\dots(1)$$

수직 전압하강 제약(Vertical voltage drop constraints)은 식(2)와 같다.

$$\left(\left(\sum_{j \in P_i} I_{jmax} R_0 \frac{l_j}{w_j} \leq V_{max} \right) \forall_j \right) \dots\dots\dots(2)$$

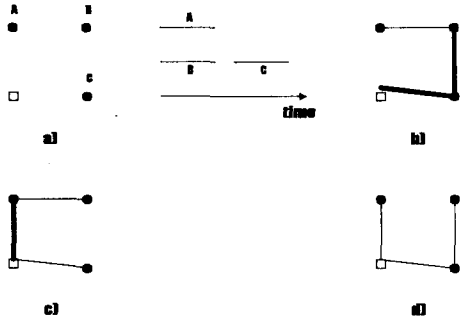
여기서 제약(Constraints)은 모든 Leaf 노드에 대한 것이고 P_i 는 Root로부터 Sink까지 유일한 경로를 의미한다. R_0 는 단위 길이당 레지스턴스이고, I_{jmax} 는 Branch j의 Sub-tree 전류이다.

수평 전압하강 제약(Horizontal voltage drop constraints)은 회로 소자를 통하는 기준 전압(Reference voltage) 사이의 차를 제한한다.

만일 최소 Steiner routing 또는 Bounded-radius bounded-cost tree와 같은 표준 신호 배선 기술이 문제를 해결하는데 충분하지 살펴볼 필요가 있다. 그림 1은 3개의 Sink A, B, C를 갖는 예를 보여준다. Pad 위치는 정사각형으로 표시되고 Sink는 전류를 나타내는 시간 정보를 제공한다. 즉, Sink A와 B는 동시에 전류를 나타내고 Sink C도 전류를 표시한다.

III. Branch 전류 추정

일시적 Sink전류 정보(Temporal sink current information)에 대한 그래프 이론 묘사를 결정하고, 일시적 정보를 이용하여 Branch 전류를 추정한다. 또한 전류가 표시되는 시간과 일치하는 시간 구간(Time interval) 집합 처럼 전류의 표현을 고려한 것이다.



a) 3개의 sink를 갖는 문제의 예
 b) 최소 Steiner 트리
 c) Bounded-radius bounded cost 트리
 d) 최적의 디자인

그림 1. Geometric 형식의 결점
 Fig 1. Insufficiency of geometric formulations

만일 Sink가 같은 시간에 전류를 나타내지 못한다면 호환되는 2개의 Sink전류를 구해야 한다. 이 관계는 Vertex 집합이 마침내 Sink의 집합이고, Edge 집합이 호환되는 Sink전류 쌍으로 고려되는 전류 호환 그래프 G(Current-compatible graph G)를 정의 하기위해 사용된다. 계산 복잡도는 그래프가 사용되는 Branch 전류를 계산하기 위해 결합되고 모든 Sink가 같은 전류를 나타내는 동질적인 경우를 고려해 보면 다음과 같다.

[WEIGHTED CLIQUE COVER]

Instance : 그래프 $G=(V,E)$, 정수 $K(|V|+1)$

Question : V 는 Sub-sets V_1, V_2, \dots, V_k 로 분할할 수있다. 그래서 각각의 V_i 에 의해 유발되는 Sub-graph는 크릭(clique)되고 $\sum_i |V_i| - 1 \geq K$ 이다.

여기서 Weight $W(G)$ 에 도달할 수 있는 최대 Gain을 구해야 한다. 만일 전류호환 그래프(Current compatibility graph)처럼 n 개의 크릭(Clique)수를 갖는다면 트리의 Root전류는 마침내 단일 Sink이다. 즉, Worst case 전류 추정은 전류 경계면에서 $n-1$ 번째 Gain을 나타내기 위해 n 부터 1까지 감소 된다. 만일 각각의 V_i 에 대해서 V_1, V_2, \dots, V_k 까지 k 개의 크릭(Clique)을 갖는다면 전류 경계면에서 V_i-1 번째의 Gain을 얻을 수있다. 역으로 만일 전류호환 그래프가 n 의 크릭(clique)이 아니라면 단지 한 개의 Sink가 주어진 시간에 전달 되는 것처럼 $n-1$ 의 Gain을 얻을 수 없다. 따라서 인수를 공식화한 정리 1 즉, Branch전류 추정문제

는 그래프 이론 문제로 변화한다.

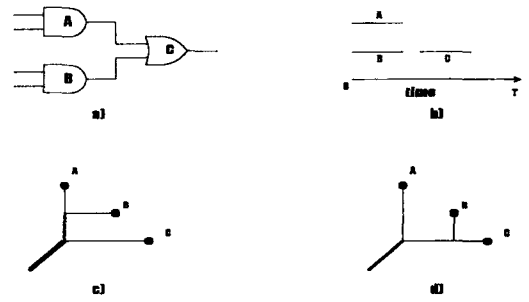
정리 1 : 전류호환 그래프 $G(V,E)$ 를 갖는 트리의 Root에 의해서 나타내는 Worst case 전류는 (3)식으로 주어진다.

$$I_{max} = \sum_{i \in V} I_i - W(G) \dots \dots \dots (3)$$

정리 2 : [WEIGHTED CLIQUE COVER]는 NP-완전이다.

증명 : 정점(Vertex) 개수에 대해 시간적 다항식으로 모든 Edge에 대한 각각의 Sub-graphs로 테스트할 수 있고 그리고 이러한 Sub-graphs의 수가 정점 집합 크기에 선형이기 때문에 이 문제는 명확히 NP-완전(1)이다.

(그림 2)은 각각의 Sink에 대한 연결도와 시간 구간을 보여주며 Sink는 연결된 게이트(Gate)에 일치한다. 각각의 입력은 동시에 이용할 수있고 게이트 레벨(Gate level)은 게이트가 전류를 표시할 때 주어진다고 가정하기 위해 게이트에 대한 구간을 보여준다. 각각의 게이트가 전류에 하나의 Unit으로 표시된다면 얻을 수 있는 Sink의 경계(bound)는 2이지만 전류의 합은 3이다.



a) 연결도 b) Sink전류 구간
 c) 일시적인 정보없이 디자인 d) 가장좋은 디자인

그림 2. 디자인에서 일시적인 Sink전류의 사용
 Fig 2. The use of sink current temporal information in design

만일 각각의 Sink가 전류를 표시하는 시간적 예측과 일치하는 구간 집합과 함께 결합 된다면 그림 3와 같은 처리과정은 가장좋은 전류 추정을 얻는다.

Current Estimation

Input : A family F of sets of time interval

Output : The worst case current estimate

begin

For each interval in a set belonging to F
 increment bins corresponding to times
 contained in the interval

worst case estimate = size of largest bin

end

Estimating the worst case currents
 given a family of time interval sets

그림 3. 전류 추정 알고리즘

Fig 3. Algorithm of current estimation

IV. Greedy heuristics

2개의 Greedy heuristics을 제안한다. 첫 번째 Heuristic은 문제를 해결하기 위해 선형적으로 분리할 수 있는 분할을 기본으로 하는 분할과 정복(Divide-and-conquer) 원리를 적용하고 두 번째 Heuristic은 동시에 위상을 디자인 하고 Wire의 크기를 정하는 Greedy bottom-up tree 구조의 방법을 적용했다.

1. Top-down 위상 디자인

만일 트리가 Top-down 방법으로 디자인 되어진다면 단일 층으로 배선할 수 있는 트리를 구성할 수다. 이것은 볼록한 선체(Hulls)가 교차하지 않는 2개의 Pieces로 문제를 분리해서 수행할 수있으므로 2개의 Pieces 배선 내부에 교차되지 않는다. 또한 각각의 상태에서 Pad와 Pad를 연결하는 Wire Segment는 위상학적으로 트리의 최하위에 있는 어떠한 Branches에도 교차하지 않는다. 이 아이디어는 단일 층으로 배선할 수 있는 클럭 트리로 사용된다. 또한 가장작은 Pieces로 문제를 분할하기위해 선형적으로 분리할 수 있는 분할을 사용한다.

Top-down 위상 디자인 Heuristic은 그림 4에서 나

타왔다.

Algorithm TD(Top-Down topology design)

Input : sink position, current information
 electromigration & voltage drop
 constraints, technology information

Output : power distribution topology

begin

if 2 sinks say l, r

return binary tree as topology with l
 and r as children for each linearly
 separable partition

find_cost(partition)

choose partition (L, R) of smallest cost
 embed root at smallest x-, y- coordinate

TD(L)

TD(R)

end

find_cost(partition : L, R)

begin

return(I(L)*sqrt|L|*diameter(L)+I(R)*

sqrt|R|*diameter(R)+root_branch_area)

end

그림 4. Top-down 위상디자인 알고리즘

Fig 4. Algorithm of top-down design

2. Bottom-up greedy merging

문제는 성능-구동(Performance-driven) 상호연결 디자인 문제와 클럭 배선 문제에 관련되어 나타난다. 클럭 배선에 대해서 제안된 Greedy Algorithm[2]은 짧은 Wire길이를 갖는다. 유사한 성능-구동 상호연결 디자인에서 Greedy 방법[3],[4]은 효과적으로 입증되어 졌다. 따라서 이것은 전력 공급 네트워크 배선으로 알려진 Greedy Algorithm이 요구된다. Bottom-up 형식으로 전력 네트워크를 만들기 위해 제안하고 문제에 대한 Greedy Algorithm의 기본적인 "move"는 Sub-tree의 Merge를 고려한다. 왜 Greedy merge를 사용하는지 살펴보자.

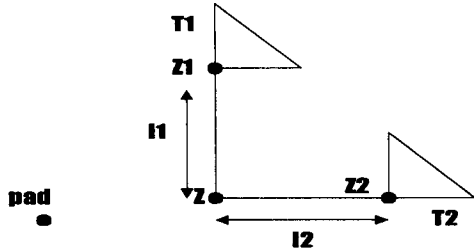


그림 5. 새로운 Sub-tree T를 얻기위한 병합 Sub-tree T1과 T2
 Fig 5. Merging sub-tree T1 and T2 to get a new sub-tree T

그림 5에서 보여주는 것처럼 Manhattan Plane에서 위치 Z1과 Z2에 근원인 2개의 Sub-tree T1과 T2를 고려해 보자. Sub-tree Root로부터 Sink까지 최대 전압하강은 각각 VM1과 VM2 라고 가정하고 Sub-tree의 전류는 I1과 I2라고 가정한다. 또한 Root 위치에서 Merge 포인트를 결정하는 것이 필요한데 이것은 Pad에서 패쇄된 2개의 Sub-tree Root의 경계 Box 포인트에 선택된다. 사용된 트리는 Pad 거리의 Sink 합이 최소로 되어진다는 것이다. 이러한 사항은 Sink에서 전압하강의 합이 낮은 경계에서 나타난다.

전기이동 제약은 식(4)와 같이 얻는다.

$$\left(w_i \geq \frac{I_i}{J_{max}} \right)_{i=1,2} \dots\dots\dots(4)$$

전압하강 제약은 식(5)과 같다.

$$\left(V_{max} \geq V_{M_i} + I_i R_o \frac{l_i}{w_i} \right)_{i=1,2} \dots\dots\dots(5)$$

만일 Sub-tree는 처리과정에서 많은 전류를 나타내는 동안 형성되는데 다른 Sub-tree를 가지고 좋은 방법으로 병합할 수 없다. 그래서 위상 디자인은 더 좋은 정보 결정을 하기위해 정확한 전류 정보를 사용한 알고리즘은 그림 6에서 나타난다.

Algorithm GM(Greedy Merging)

Input : Sink position {Zi}

Voltage drop & electromigration constraints Technology

Output : Sized topology of minimal area

begin

```

repeat{
    minimum_cost_merge()
} n-1 times
end

minimum_cost_merge()
begin
    find min{cost of sub-tree merges
    for pairs of sub-trees}
    merge the sub-trees
end
    
```

그림 6. Greedy Merging 알고리즘
 Fig 6. Algorithm of greedy merging

IV. 실험 결과

넓은 범위에 이용되는 클럭 배선을 기본으로 한 기준을 적용하여 기판 R로 부터 4개의 기준을 유도한다[5]. 기판의 4곳 코너에 공급 Pad를 갖기위하여 기판 R을 선택하고 Pad에서 Pin의 할당은 가장가까운 Point Heuristic에 의해 수행된다.

기판 R에 대한 기판 크기는 7.5 x 7.5 mm로 선택했고 각각 4개의 기준에서 Sink의 수와 Sink전류 합은 표 1에서 보여준다. 예를들어 R.LL은 아래의 왼쪽 코너에서 가장가까운 Sink를 갖는 기판 R로 부터 얻을 수 있는 기준(Benchmark)을 표시한다.

표 1. 기준 사이즈
 Table 1. Benchmark sizes

Name	Sink의 수	Sink 전류의 합(A)
R.LL	72	0.274
R.LR	76	0.282
R.UL	87	0.325
R.UR	32	0.119

표 2. 면적 비교
Table 2. Area comparison
Unit : 106 gride(1 gride=0.1u X 3u)

	50mV				500mV			
	I1S	STR	GM	TD	I1S	STR	GM	TD
R.LL	18.68	15.21	5.402	5.401	3.672	5.772	1.819	1.622
R.LR	21.94	14.56	4.674	5.548	3.843	5.716	1.654	1.604
R.UL	19.53	15.55	5.562	5.022	4.176	6.243	1.935	2.002
R.UR	7.722	6.942	2.199	2.228	1.529	2.481	0.753	0.705

면적 비교 실험 결과는 표2에서 보여준다. Sized iterated 1-steiner trees[6], Sized star routing, 논문에서 제안된 Greedy merging Algorithm과 Top-down Heuristic의 면적을 비교했다. Iterated 1-steiner Heuristic은 작은 네트 길이를 갖는 트리로 전력 분배 네트 위상 디자인에 대한 표준 단일 배선 과정을 사용하는 레이아웃에 사용된다. 표준 셀(Standard cells)에 사용되는 Star routing은 열을 기본으로해서 배선 모양을 만들 수 있다. 단위 Grid당 레지스턴스는 만 개정도이고 최대 전류밀도는 1mA/micron²이다. 각각의 Sink에 나타나는 전류에 대한 시간 구간은 Boolean 네트워크 Level을 형성 하기위해 선택된다. 가장 높은 Level에서 Sink의 수는 가장 낮은 Level보다 일반적으로 크다. 2가지(50mV, 500mV)의 다른 수직 전압 하강 제약에 대한 면적도 표 2에 언급했다. 네트길이는 표 3에서 보여주며 네트 길이는 Iterated 1-steiner tree가 가장 작고 Star routes가 가장크다는 것을 알 수 있다. 그러나 Greedy Merging 알고리즘에 의해 리턴되는 트리의 면적은 동시에 일어나는 위상 디자인과 배선 크기 때문에 다른 알고리즘보다 상당히 작다.

표 3. 네트 길이 비교
Table 3. Net length comarison Unit : 106 grid(0.1u)

Benchmark	Net 길이			
	I1S	STR	GM	TD
R.LL	0.241	3.371	0.446	0.542
R.LR	0.233	3.483	0.425	0.495
R.UL	0.252	3.809	0.423	0.568
R.UR	0.150	1.601	0.220	0.261

500mV 수직 제약에 대해서 Level의 수가 적을 때 일시적 정보 입도(Temporal information granularity)의 감소는 Top-down과 Bottom-up Greedy

Heuristics을 비교해서 결과에 어떤 영향을 주는지를 확인한다. 결과는 표 4에서 언급했고 Root 전류는 표 5에서 보여준다. 개선된 전류 추정은 면적을 개선 하기위해 유도된다는 것을 알 수 있다.

표 4. 적은 일시적 정보 입도의 효과
Table 4. Effect of smaller temporal information granularity

Bench mark	2 levels		4 levels		7 levels	
	GM	TD	GM	TD	GM	TD
R.LL	3.180	3.103	2.362	2.020	1.844	1.727
R.LR	3.022	2.850	2.196	2.614	1.654	1.873
R.UL	3.700	3.680	2.517	2.598	1.935	2.489
R.UR	1.372	2.132	1.118	1.000	0.753	0.840

표 5. Root 전류 추정에 대한 개선(mA)
Table 5. Improvement in root current(mA)

Benchmark	2 levels	4 levels	7 levels
R.LL	147	107	70.4
R.LR	160	112	68.1
R.UL	188	139	89.0
R.UR	63.8	53.3	29.6

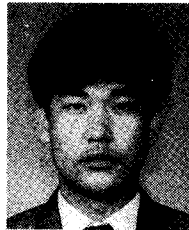
V. 결론

VLSI회로의 전력 분배 네트워크를 합성하기 위한 새로운 Heuristics을 제안했다. 이러한 Heuristics은 기존의 방법 보다 작은 면적을 얻기 위하여 Sink에 대한 일시적 정보(Temporal information)을 사용했고 기존의 Iterated 1-steiner tree, Sized star routing, 그리고 논문에서 제안한 Greedy merging 알고리즘과 Top-down 위상 Heuristics의 면적을 비교했으며 Greedy merging 알고리즘과 Top-down 위상 Heuristics의 일시적 정보 입도(Granularity)의 효율성을 비교하였다. 본 논문에서 제안된 알고리즘은 주로 실제적인 응용에 이용되어질 것이고 접근법은 실험 결과에서 보여준 것처럼 모든 테스트에 적용될 것이다.

참고문헌

- [1] M.R Garey and D.S Jhonson, "The rectilinear Steiner tree problem is NP-complete", SLAM Journal of Applied Mathematics, Vol. 32, No. 4, 1977, pp.826-834.
- [2] M.Edahiro, "A clustering based optimization algorithm in zero-skew routings", Proceedings of the Design Automation Conference, 1993, pp.612-616.
- [3] J.Cong, K.S.Leung and D.Zhou, "Performance-driven interconnect design based on a distributed RC delay model", Proceeding of the Design Automation Conference, 1993, pp. 606-611.
- [4] K.D.Boese, A.B.Kahng, B.A.McCoy and G.Robins, "Rectilinear Steiner trees with minimum Elmore delay", Proceedings of the Design Automation Conference, 1994, pp. 381-386.
- [5] R-S. Tsay, "An exact zero-skew clock routing algorithm", IEEE Transactions on CAD, Vol. 12, 1993, pp.242-249.
- [6] A.B Kahng and G.Robins, "A New class of Steiner tree heuristics with good performance: the iterated 1-Steiner approach", Digest of Technical Papers of the International Conference on Computer Aided Design, 1990, pp.428-431.

저자소개



김현호

옥천전문대학 전자과 전임강사
 연구분야: 디지털 회로설계, ASIC,
 VLSI&CAD 등



이천희

청주대학교 전자공학과 교수
 VLSI&CAD, ASIC, CAD Tool
 개발 등