

비충돌 공유 다중버퍼 ATM스위치 구조에서의 셀 손실 방지에 관한 연구

조 준 모*

Study on Preventing Cell Loss in Non-Contentional Shared Multibuffer ATM Switch

Jun-Mo Jo*

요 약

ATM스위치에서 셀을 전송하기 위한 버퍼방식으로 HOL 블록킹을 방지하는 공유 다중버퍼 방식이 있다. 그러나, 이러한 방식에서도 셀 손실이 발생하여 스위치의 성능을 저하시킨다. 따라서, 본 논문에서는 기존의 비충돌 공유 다중 버퍼 구조에서 발생하는 셀 손실을 방지하는 방안을 제안하였다. 셀 손실을 방지하는 방안으로 한 슬롯 타임동안에 손실되는 셀을 다음 슬롯 타임에 전송할 수 있도록 특정한 임시메모리에 저장할 수 있는 구조를 사용하였다. 이러한 구조를 시뮬레이션을 통해 성능평가를 한 결과 셀 손실율과 처리율면에서 기존의 시스템보다 우수함을 검증하였다.

Abstract

There is a shared multibuffer method which can preventing HOL blocking in ATM switch. However, the system still has a problem that reduces the performance of the system because of the cell loss. Therefore, in this paper, preventing of cell loss in non-contentional shared multibuffer switch is suggested. To prevent cell loss, a structure is suggested that a cell can be loss in a certain slot time is stored in the dedicated temporary memory so the cell can be transferred in the next slot time. The simulation result of the structure, this suggested system superior performance than the exited system in cell loss rate and throughput.

* 동명대학 사무자동화과 전임강사 ** 본 논문은 1998년도 동명대학 학술 연구비 지원에 의한 것임

I. 서론

ATM 스위치에서 사용하는 버퍼형은 크게 입력 버퍼형, 출력 버퍼형과 공유 버퍼형의 3가지로 분류된다. 스위치 내에서의 버퍼형식은 시스템의 성능에 큰 영향을 미친다.

입력버퍼형은 구조가 간단한 반면에 HOL 블록킹으로 처리율이 평균 58%정도로 저하된다[1,2,3]. 출력버퍼형은 셀 지연과 성능면에서 가장 우수한 버퍼 방식이라고 알려져 있다[4,5]. 이 구조는 입력 버퍼형에서 발생하는 HOL 블록킹이 발생하지 않지만, 링크가 N개일 때 메모리 속도가 N배가 되지 않는다면 셀 손실이 발생하게 된다. 공유버퍼형은 셀의 처리 속도를 출력 버퍼와 같은 수준으로 만들 수 있기 때문에 셀 손실을 방지할 수 있다. 그러나, 공유 버퍼방식에서는 스위치 구조의 특성상 한 슬롯 타임동안에 한 개의 셀밖에 출력하지 못하므로 셀 손실이 발생하게 된다. 이러한 셀 손실을 방지하기 위해 하나의 공유버퍼를 링크 개수 N개 만큼 나눠서 사용하는 공유 다중버퍼 방식이 제안되었다[6]. 그러나, 이러한 공유 버퍼 방식의 구조에서도 HOL 블록킹이 발생하여 셀 처리율이 출력버퍼에 비해 58%로 성능이 저하될 수 있다[7]. 이러한 문제점을 최소화하기 위해 메모리 속도를 3배로 증가시키는 방법이 제시된 바 있다[7].

그러나, 이러한 방법을 사용할 경우에는 다음과 같은 단점들이 있다. 첫째, 대용량을 처리하는 ATM 스위치에서는 부적합하다. 둘째, 메모리 속도를 3배 까지 증가시키는 데는 많은 비용이 든다. 또한, 최근에 이러한 단점을 보완하기 위해 제안된 비충돌 공유 다중버퍼 방식이 있다[8]. 비충돌 공유 다중버퍼 방식에서도 셀을 전달하는 과정에서 셀 손실이 발생하게 된다.

따라서, 본 논문에서는 비충돌 공유 다중버퍼 방식에서 발생하는 셀 손실을 방지함으로써 더욱 효율적인 버퍼방식을 제안한다. 한 슬롯 타임동안에 손실되는 셀들을 다음 슬롯 타임에 전송할 수 있도록 별도의 메모리에 저장하는 구조를 제안하였다.

그리고, 제안된 방안이 시스템에서 제대로 작동하는지의 여부와 성능평가를 위해 컴퓨터 시뮬레이션을 통해 검증하였다. 또한 제안한 방식이 기존의 방식인 비충돌 공유 다중버퍼 방식보다 우수하다는 결과를 얻었다[8].

1장의 서론에 이어 2장에서는 기존의 시스템인 비충돌 공유 다중버퍼 구조에 대해 설명하고 3장에서는 셀 손실을 방지하기 위한 방안을 기술하고 4장에서는 기존의 방안과 제안하는 방안을 각각 시뮬레이션하여 얻은 결과를 비교분석하고 5장에서 결론을 내린다.

II. 비충돌 공유 다중 버퍼 스위치 구조

이 장에서는 STS방식의 공유 다중 버퍼 스위치 구조에서 발생하는 HOL블록킹 문제를 해결하기 위해 제안한 비충돌 공유 다중 버퍼의 기본적인 동작을 설명하고 각 모듈간의 상호관계 및 기능들을 기술한다.

2.1 기본 구조 및 작동

제안한 구조는 크게 블록킹 방지 조절 부분(Blocking Preventing Control), 출력 조절 부분(Output Control Part), 그리고, 셀 전달부로 나누어지며 그림 1과 같다.

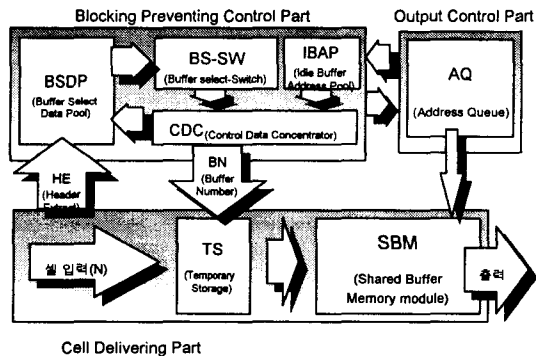


그림 1. 비충돌 공유 다중버퍼의 기본 구조
Fig. 1. Basic structure of non-blocking shared multibuffer

다음은 비충돌 공유 다중버퍼의 기본 동작이다.

- 1) ATM스위치로 입력된 셀에서 헤더정보는 추출해서 BSDP(버퍼 선택 데이터 폴)로 전송 후 셀을 TS에 저장하고 CDC로 부터SBM번호를 받을 때까지 대기.
- 2) 셀의 헤더를 입력 데이터로 받은 BSDP는 셀이 충돌없이 출력될 수 있도록 각각의 셀에 출력 경로에 관한 데이터를 BS-SW로 전송.
- 3) BS-SW는 BSD를 스위치하여 SBM 번호를 결정하여 CDC로 넘김.
- 4) CDC는 BS-SW에서 받은 SBM 번호와 IBAP에서 받은 SBM내의 빈 주소 정보를 이용하여 TS에서 대기하고 있는 셀을 SBM의 주어진 자리로 넘김.
- 5) AQ는 SBM에 저장되어 있는 셀들을 출력포트로 전송.

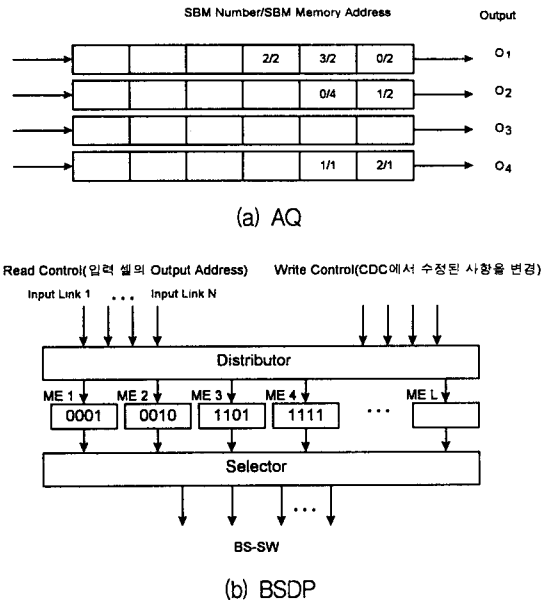


그림 2. 4x4 스위치 구조에서의 AQ와 BSDP의 구조
Fig. 2. AQ and BSDP structure in 4x4 ATM switch

2.2 각 모듈간의 상호관계 및 기능

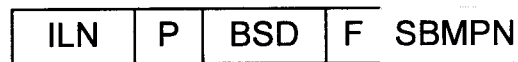
2.2.1 BSDP와 AQ

BSDP는 입력셀로부터 출력포트에 대한 정보를 읽어오며 CDC를 통해서 AQ의 수정된 내용을 입력 받아 BS-SW로 결과를 출력한다. 그림 2는 4x4 스위치 구조의 BSDP와 AQ의 구조를 나타낸 것이다. BSDP는 AQ의 출력 순서에 관한 정보를 순서대로 가지고 있다. 이러한 정보로 다음에 입력되는 셀이 어느 SBM 버퍼에 할당할 수 있는지를 알 수 있다.

그림 2의 (a)에서, 경로 데이터 0001은 AQ 3으로 들어오는 출력정보 즉 3번 출력 링크로 나가는 셀에게는 3외에 다른 버퍼로 할당하면 충돌이 발생한다는 것을 의미한다[8].

그림 2 (b)에 나타난 각각의 슬롯 타입별로 지정되는 BSD는 그림 2의 (a)에 나타나 있다. 그러나, 이러한 BSD만으로 SBM 번호를 할당할 수는 없다. 왜냐하면, 0001은 SBM 3를, 0010은 SBM 2를 선택하게 되면 1101은 0와 1중 어느것을 선택해야 하는지를 모르기 때문이다. 이러한 결정은 BS-SW에서 한다.

그림 3의 SBMPF(SBM Priority Format)의 일정한 정보 형식을 가지고 BS-SW에서 SBM 번호를 결정하게 된다. BS-SW에 입출력되는 데이터 형식은 그림 3과 같다.



ILN (Input Link Number) : 입력 링크 번호

P : Priority

BSD : Buffer Select Data

F : Cell 인지 아닌지에 대한 상태 flag

SBMPN : SBM Priority Number

그림 3. Path Control Format(PCF)

Fig. 3. Path Control Format(PCF)

2.2.2 BS-SW

BS-SW는 SBMPC(SBM Priority Control), CD (Cell Distributor)와 SE(Switch Element)로 구성되어 있다. TS에서 대기하고 있는 셀들은 어느 SBM 버퍼에 할당하는가에 대한 결정을 하는 곳이다[8].

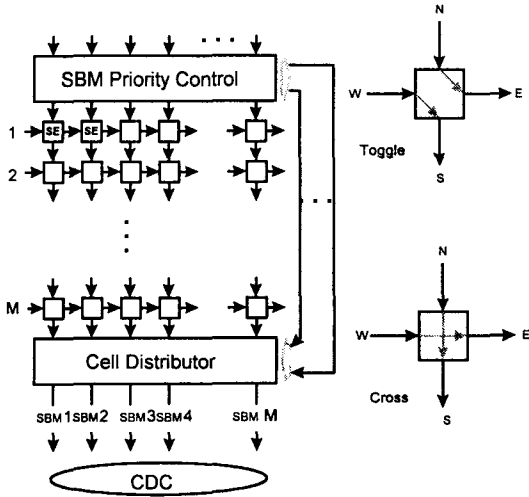


그림 4. BS-SW의 구조
Fig. 4. Structure of BS-SW

CD에서는 최종적으로 갱신된 PCF의 내용들을 이용하여 TM내에 있는 각각의 셀들에 대한 SBM 번호를 할당하여 그 결과를 CDC로 보낸다.

2.2.3 IBAP

IBAP는 SBM의 빈 메모리 주소를 가지며, TS의 셀에게 SBM내의 빈 메모리를 할당한다.

2.2.4 CDC

CDC는 BS-SW로부터 입력 링크 번호와 SBM번호를 갖고 있는 PCF를 받고 IBAP로부터 SBM내에 있는 빈 메모리 주소들을 받는다.

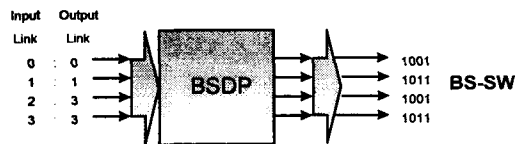
2.2.5 Address Queue

AQ는 SBM내에 존재하는 셀의 주소에 대한 정보를 CDC로부터 받는다. 이러한 정보는 입력된 순서에 따라 출력 포트별로 입력된다. 따라서, 먼저 들어온 셀에 관한 정보를 SBM에 넘겨주어 해당 셀이 출력되도록 한다. SBM으로부터 출력된 셀은 더 이상 필요가 없으므로 빈 셀에 관한 정보를 IBAP에 넘겨준다.

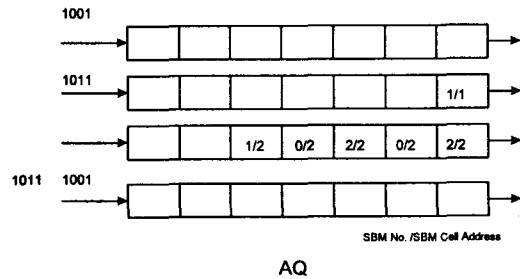
III. 셀 손실 방지 방안

3.1 다중 공유 버퍼 모듈에서의 셀 손실

다중 공유 버퍼 모듈은 $N \times N$ 스위치 구조에서 공유 메모리를 N 개로 나눈 구조를 갖는다. BS-SW에는 출력 포트에 셀들의 충돌이 일어나지 않도록 SBM번호를 할당하며 이 번호는 AQ에서 할당받은 셀만을 SBM에 저장한다고 언급하였다. 그러나, AQ의 상태가 그림 5과 같을 때, 셀 블로킹이 발생하여 SBM 번호를 할당받지 못하는 경우가 발생한다.



(a) BSDP에서의 입출력의 예
(a) I/O example in BSDP



(b) Address Queue의 상태
(b) A status of Address Queue

그림 5. 충돌을 발생시키는 AQ의 예
Fig. 5. Example of AQ has collision

각각 1번, 0번, 3번, 그리고, 3번의 출력 링크로 출력되는 네 개의 셀이 입력되었을 때 각각의 셀에 해당하는 BSD정보인 1001, 1011, 1001, 1011가 AQ에 입력되는데, 할당된 네 개의 BSD를 보면 SBM 1부분이 모두 0이다. 즉, 이것은 SBM 1을 할당할 수 없으며 해당 셀에 관한 정보인 BSD는 BS-SW에서 삭제된다.

3.2 셀 손실 방지 방안

이러한 셀 손실을 해결하는 방법으로 그림 6에서 보는 바와 같이 임시로 셀을 저장할 수 있는 소규모의 메모리를 SBM의 구조에 포함시켜서 SBM 번호를 할당 받지 못한 셀을 저장한다. 그림 6의 예에서는 BSD 1011을 가지는 셀이 SBM 번호를 할당 받지 못하므로 SBMTM(SBM Temporary Memory)의 첫번째 메모리인 SBMTM 1이 비어 있다면 여기에 셀을 저장한다. 시뮬레이션의 결과로 SBM 모듈의 슬롯 개수가 4개일 때 최대 2개의 SBMTM을 가진다면, 할당 받지 못한 모든 셀을 처리할 수 있다는 것을 알았다. 따라서, 제안한 해결 방안에는 2개의 SBMTM을 갖도록 하였다.

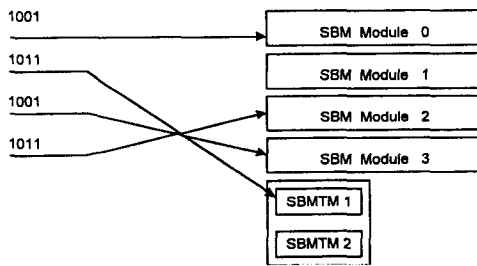


그림 6. 셀 손실 방지용 메모리 사용
Fig. 6. Usage of cell-loss-preventing memory

IV. 성능 평가

기존의 시스템과 제안한 시스템의 성능평가를 위해서 모두 32개의 SBM 모듈로 구성된 공유 메모리를 사용하는 32 x 32 ATM 스위치를 시뮬레이션하였다. 여기에서 SBM의 한 모듈의 크기는 1에서부터 5일때 까지의 경우에 대해서 모두 시뮬레이션을 실시하였다.

이 장에서는 기존의 방식과 제안한 방식의 성능을 셀 손실율과 처리율면에서 비교하였다. 스위치에 입출력되는 셀들에 대한 통계치나 특성은 포아송 분포에 의한 트래픽을 이용하였다. 시뮬레이션 언어로는 SMPL을 이용하여 C로 구현하였다[9].

4.1 신뢰구간

시뮬레이션의 타당성을 위해 신뢰도를 측정하여 셀 손실과 처리율에 관한 결과를 얻어 내었다. 이러한 값들은 신뢰구간 99%와 오차의 한계 10%이내로 수렴하게 하였다.

그림 7는 하나의 SBM 모듈의 셀의 개수를 4로 하고 부하를 0.85로 지정하여 처리율의 평균을 미지의 실험군 값에 점차 수렴시켜 값을 측정한 것이다.

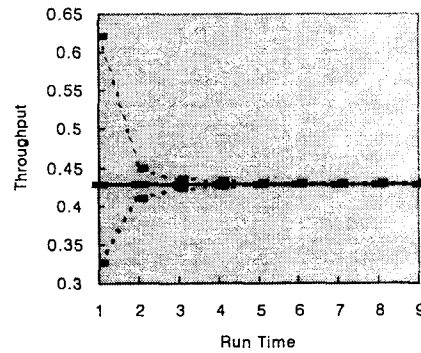


그림 7 표본 평균 셀 처리율의 수렴
(Slot = 4; Load = 0.85)

Fig. 7. Limitation of standard deviation of cell loss rate
(Slot=4; Load=0.85)

4.2 셀 손실율

그림 8에서는 기존 시스템에서 메모리 속도를 1, 2, 3배로 증가시킨 결과와 속도를 증가시키지 않은 제안한 시스템의 셀 손실율을 비교한 그래프이다. 그래프의 X축은 SBM의 한 모듈내의 슬롯의 크기를 나타내는 것이고 Y축은 셀 손실율을 나타낸다. 그림 8의 그래프는 기존의 시스템이나 제안한 시스템에서의 전체 SBM의 메모리 크기는 동일하다는 조건하에서 실험된 결과의 예이다.

메모리의 실행 속도(s)가 1이라는 것은 한 슬롯 타임 동안에 하나의 버퍼가 셀을 한번 read/write할 수 있는 속도임을 의미한다. 즉, 메모리 실행 속도를 증가시키지 않은 것은 s = 1로 나타내고 2배는 s=2,

그리고, 3배는 $s=3$ 로 나타낸다. 그림 8에서 나타난 셀 손실은 SBM의 버퍼에 더 이상 셀을 삽입할 수 없을 때에만 발생하게 되는데 이것은 비충돌 공유 다중버퍼 자체에서 HOL 블록킹을 방지해 주기 때문에 HOL 블록킹에 의한 셀 손실은 발생하지 않기 때문이다. 이때, 슬롯이 4개인 경우 그래프에 표시되지 않았는데 이것은 셀 손실이 발생하지 않았기 때문이다.

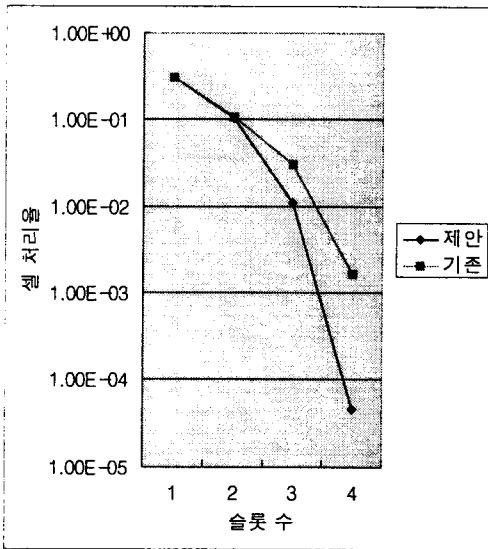


그림 8 셀 손실율의 비교
Fig. 8. Comparison of cell loss rate

그림 9은 기존의 방식과 제안한 방식을 처리율면에서 비교한 그래프이다. 출력포트의 수를 변화시키면서 각각의 처리율을 비교하였는데 이들의 값은 비교적 일정하다. 제안한 시스템은 처리율면에서 기존의 시스템보다 우수하였다.

따라서, 제안된 방안은 시뮬레이션의 결과에 의해서 메모리 실행 속도를 증가 시키지 않고도 기존의 시스템보다 셀 손실율과 처리율면에서 우수하다는 것을 검증하였다.

V. 결 론

본 논문에서는 비충돌 공유 다중버퍼 방식에서 발생하는 셀 손실을 방지하기 위해 제안한 슬롯타임

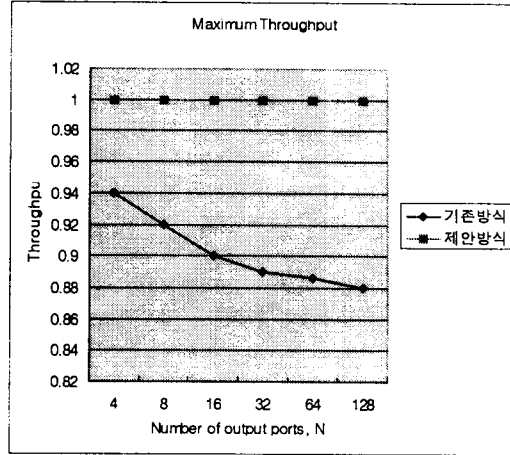


그림 9. 메모리 속도를 증가시킬 때와 제안된 구조의 시스템 성능 비교
Fig. 9. Performance testing between the one increase the memory speed and the existing structure

동안에 손실되는 셀들을 다음 슬롯 타임에 전송할 수 있도록 별도의 메모리에 저장하는 구조를 제안하였다. 이러한 시스템의 성능을 평가하기 위해서 먼저, 제안된 방안이 시스템에서 제대로 작동하는지의 여부를 컴퓨터 시뮬레이션을 통하여 검증하였다.

둘째, 기존의 시스템을 시뮬레이션하여 셀 손실과 처리율면에서 두 시스템을 비교 분석하였다. 이러한 시뮬레이션의 결과로 제안한 방식이 기존의 방식보다 우수하다는 결과를 얻었다. 그러나 비충돌 공유 다중 버퍼구조는 기존의 구조 보다는 좀 더 복잡한 제어 구조를 가지고 있기 때문에 이러한 구조를 좀 더 단순화할 필요가 있으며 차후에 제안한 시스템이 하드웨어로 구현이 가능하다는 것을 VHDL을 이용하여 구현하고자 한다.

References

[1] H. Jonathan Chao, A Recursive Modular Terabit/Second ATM Switch, IEEE Journal on selected Areas in COMM. Vol. 9, no. 8. October 1991
[2] J. N. Giacopelli, M.Littlewood, and W. D.

- Sincoskie, Sunshine: A high performance self-routing broadband packet switch architecture, ISS May 1990.
- [3] J. Y. Hui and E. Arthurs, A broadband packet switch for integrated transport, IEEE J. Select Areas Commun., Vol. SAC-5, No. 8, Oct. 1987.
- [4] Jonathan Main and Ken Sarkies, Cell Scheduling Using Status Arrays in Input Buffered ATM Switches, Internet Tue. May 23 1995.
- [5] K. Oshima, H. Yamanaka, and et al., A New ATM Switch Architecture Based on STS-Type Shared Buffering and ITS LSI Implementation, ISS Vol.1 October 1992.
- [6] M. J. Karol, M. G. Hluchyj, and S. P. Morgan, Input Versus Output Queueing on a Space-Division Packet Switch, IEEE trans. Commun., Vol. 35 Dec. 1987.
- [7] M. H. MacDougall, Simulating Computer Systems Techniques and Tools, The MIT press, 1987
- [8] Suzuki H., Nagano H., Suzuki T., Takeuchi T. and Iwasaki S.: Output-Buffer switch architecture for Asynchronous Transfer Mode, International Conference on Communications (ICC) 89, 4. 1 (June 1989).
- [9] 조준모, 이용우, 이상조, 비충돌 공유 다중버퍼를 이용한 ATM 스위치 구조 설계, 정보과학회 논문지, 제24권, 제12호, 1997.

● 저자소개



조 준 모

1986년 ~ 1990년 : 아이오아 주립대학교 컴퓨터과학과 졸업
 1991년 : 정보산업표준원 근무
 1993년 ~ 1995년 : 경북대학교 컴퓨터공학과 석사
 1995년 ~ 1997년 : 경북대학교 컴퓨터공학과 박사수료
 1995년 ~ 1997년 : 경북대학교 방송통신대학 강사
 1998년 ~ 현재 : 동명대학 사무자동화과 전임강사