

## 블록 정합 움직임추정 알고리즘의 고속처리를 위한 시스토크 어레이의 설계

추 봉 조\* 김 혁 진\*\* 이 수 진\*\*\*

### Design of Systolic Array for High Speed Processing of Block Matching Motion Estimation Algorithm

Bong-Jo Choo\* Hyeock-Jin Kim\*\* Su-Jin Lee\*\*\*

#### 요 약

블록정합 움직임추정 알고리즘은 매우 많은 양의 계산 능력을 요구하고 현재 많은 고속 알고리즘이 제안되었다. 기존의 움직임 추정에 대한 블록정합 알고리즘은 탐색 블록 데이터의 비 지역화로 인한 VLSI 규모가 커지는 문제와 입력데이터를 매번 입력해야 하는 재 사용문제에 대한 단점을 가지고 있었다.

본 논문은 입출력 핀 수의 증가를 최대한 억제하면서 입력데이터의 재사용을 통한 VLSI 규모를 최소화 할 수 있는 고속 시스토크 어레이를 설계하였다. 제안된 시스토크 어레이는 탐색 블록의 입력데이터를 반복적으로 재 사용하여 메모리 접근시간을 최소화시키고 알고리즘의 병렬성을 증가시켜 전체 처리요소의 연결이 시간적 공간적으로 지역화 되어 문제크기의 증가에 대한 시간적인 영향을 받지 않는 문제 독립적인 형태가 된다.

설계된 시스토크 어레이는 이동벡터의 계산 복잡도가  $O(N^6)$ 에서  $O(N^3)$ 로 크게 향상되었으며 입출력 핀의 수는  $O(N)$ 을 가진다.

#### Abstract

Block Matching Motion Estimation(BMME) Algorithm is demands a very large amount of computing power and have been proposed many fast algorithms. These algorithms are many problem that larger size of VLSI scale due to non-localized search block data and problem of non-reuse of input data for each processing step.

In this paper, we designed systolic array of high processing capacity, constraints input output pin size and reuse of input data for small VLSI size. The proposed systolic array is optimized memory access time because of iterative reuse of input data on search block and become independent of problem size due to increase of algorithm's parallelism and total processing elements connection is localized spatial and temporal.

The designed systolic array is reduced  $O(N^6)$  time complexity to  $O(N^3)$  on moving vector and has  $O(N)$  input/output pin size.

---

\* 김천대학 사무자동화과 전임강사

\*\* 충남산업대학교 전자계산학과 전임강사

\*\*\* 부경대학교 전자공학과 박사과정

논문접수 : 98.5.10 심사완료 : 98.6.10

## 1. 서론

최근 인터넷, 화상회의, HDTV 등은 초고속정보통신망과 컴퓨터시스템의 발달로 인해 사용자에게 좀더 친숙한 정보전달의 방법으로 영상과 음향이 결합된 멀티미디어 매체를 필수적으로 요구하게 되었다. 이러한 멀티미디어 정보는 문자정보에 비해 막대한 정보처리량을 가지고 있고, 고속의 정보통신망이 구축되어도 효과적으로 정보를 처리하기 위해서는 고속의 정보처리기술이 기술이 필수적으로 필요하다.

제한된 전송선로를 통한 HDTV의 디지털 방송이나 분산시스템에서의 멀티미디어 정보의 취득과 전송을 효율적으로 수행하기 위해서는 데이터의 압축 기술은 필수적으로 요구된다. 동영상 압축은 연속되는 프레임으로 이루어져 많은 양의 데이터를 가지며 영상에서 움직임 추정에 대한 이동벡터를 찾는 방법은 연속된 두 영상의 각 블록에 대하여 비교를 반복하여 계산함으로써 많은 계산량이 요구된다. 따라서 실시간 동영상 압축과 저장을 위하여 전체 부호화 시간의 대부분을 차지하는 이동벡터의 계산을 고속화하기 위한 VLSI 어레이 설계에 대한 연구가 많이 이루어지고 있다.

1992년 Hsieh[3]은 쉬프트레지스터를 이용하여 데이터를 직렬로 입력하는 시스톱릭 어레이를 제안하였으며 이 구조는 입출력 핀의 수는 많이 줄일 수 있으나 계산시간이 길다는 단점이 있다. 1993년 Chan[4]은 3단계 계층형 탐색 알고리즘의 VLSI를 제안하였으며, Jehng[5]은 트리구조의 VLSI를 제안하였다. 1995년 Yeol[6]은 탐색 블록(search block)의 일부가 여러 기준 블록(reference block)에 대해 반복해서 사용되는 성질을 이용하여 입출력 핀의 수가 작으며 계산속도의 향상을 갖는 구조를 제안하였다. 그러나 이 구조는 탐색 블록의 데이터들을 글로벌패스(Global Path)를 통해 전파하므로 실제 VLSI 구현 시 어려움이 따른다.

본 논문에서는 움직임 추정에 대한 블록정합 알고리즘에 근거하여 입출력 핀 수의 증가를 제한하

며 반복적으로 사용되는 탐색 블록(Search Block)의 열을 재사용 하도록 시스톱릭 어레이를 제안한다. 이를 위해 블록정합 움직임추정 알고리즘에 대하여 고찰하고 기존의 순차적인 블록 정합알고리즘에서 데이터 의존성을 분석하여 데이터의존그래프를 구하고 시간 및 공간 변환을 통해 시스톱릭 어레이를 설계한다.

설계한 시스톱릭 어레이는 이동벡터의 계산 복잡도가  $O(N^6)$ 에서  $O(N^3)$ 으로 향상되었으며,  $O(M)$ 개의 입출력 핀을 갖는다.

## II. 블록 정합 움직임 추정 알고리즘

동영상 데이터의 시간적인 중복성을 제거하기 위해 프레임의 각 블록의 이동벡터를 구하는 알고리즘에는 화소반복형 알고리즘, 블록정합 알고리즘이 있다.

블록 정합알고리즘은 현재의 프레임을  $N \times N$ 의 정방형의 블록으로 나누어 이전의 프레임 중에서 기준 블록에 대응하는 블록을 중심으로 주변 영역을 탐색하여 오차가 가장 작은 블록으로의 벡터를 구한다. 동영상의 연속되는 프레임에서 물체의 위치는 지역화의 특징에 의해 조금씩만 변하므로 블록의 최대 탐색거리를  $p$ 로 한정함으로써 탐색영역은 기준블록의 원점을 기준으로  $(-p, -p)$ 에서  $(N+p-1, N+p-1)$ 의 범위를 가짐으로 전체 계산량을 줄일 수가 있다.

기준 블록과 이동벡터  $(m, n)$ 에 해당하는 후보 탐색 블록과의 오차의 누적값 MAD(Mean Absolute Difference)은 식(1)과 같다.

$$MAD(m, n) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} |x(i, j) - y(m+i, n+j)| \dots\dots\dots(1)$$

여기서  $x(i, j)$ 와  $y(m+i, n+j)$ 는 각각 기준 블록과 탐색 블록의 픽셀값을 나타내며, MAD의 값이 최소인 탐색 블록을 정합 블록(Matching Block)이라고 하고 이 정합 블록으로의 벡터  $(m, n)$ 을 이동벡터(moving vector)라 한다.

블록 정합알고리즘은 그림 1과 같다.

```

/* Nv : 프레임 세로 기준 블록 수 */
/* Nh : 프레임 가로 기준 블록 수 */
/* (h,v) : 참조블럭의 인덱스 */
do v=0 to Nv -1
  do h=0 to Nh-1
    MV(h,v) = (0,0)
    (h,v) = ∞
    do m = -p to p
      do n = -p to p
        MAD(m,n) = 0
        do j = 0 to N-1
          do i=0 to N-1
s1 :     MAD(m,n) = MAD(m,n)
          + |x(i, j) - y(i + m, j + n)|
          enddo i
        enddo j
        if Dmin(h,v) > MAD(m,n)
          Dmin(h,v) = MAD(m,n)
          MV(h,v) = (m,n)
        end if
      enddo n
    enddo m
  enddo h
enddo v

```

그림1. 움직임 추정을 위한 블록정합 알고리즘  
 Fig 1. The block matching algorithm for motion estimation

### III. 이차원 시스토크 어레이의 설계

#### 1. 단일할당코드 병렬알고리즘

그림 1의 알고리즘 내에는 같은 변수에 다른 값이 여러 번 할당되어 각 명령사이에 의존성이 존재하게 되고 이것을 단일 할당 코드로 변경을 하면 알고리즘내의 모든 변수의 값을 한번만 할당할 수 있게되어 명령을 병렬로 처리할 수 있는 병렬알고리즘을 유도할 수 있다. 그림1의 s1을 인덱스 확장을 통해 의존성을 제거하여 기준 블럭과 탐색 블럭

의 오차를 각 열별로 누적하여 그 결과를 합하는 그림 1의 s1을 그림 2의 s1과 s2로 나누어 MAD를 구한다.

다음 그림 2는 변수의 의존성을 고려한 단일할당 병렬알고리즘이다.

```

ldo v=0 to Nv-1
  do h=0 to Nh-1
    MV(h, v) = (0,0)
    Dmin(h, v) = ∞
    do m = -p to p
      do n = -p to p
        MAD(m, n) = 0
        do j = 0 to N-1
          do i=0 to N-1
s1:     s(m, n, i + 1, j) = s(m, n, i, j)
          + |x(i, j) - y(i + m, j + n)|
          ended i
s2 :   MAD(m, n) = MAD(m, n)
          + |x(i, j) - y(i + m, j + n)|
          ended j
        if Dmin(h, v) > MAD(m, n)
          Dmin(h, v) = MAD(m, n)
          MV(h,v) = (m,n)
        end if
      enddo n
    enddo m
  enddo h
enddo v

```

그림2. 블록 정합알고리즘 단일할당코드  
 Fig 2. The single assign code of block matching algorithm

그림 2의 단일할당코드에서부터 그림 3과 같은 3차원 데이터의존 관계를 찾을 수 있다.

#### 2. 시스토크 어레이로의 사상

단일할당 코드화를 통한 병렬알고리즘의 데이터 의존그래프에서는 식(2)의 데이터의 존벡터를 갖는다.

$$D = \begin{bmatrix} \vec{e}_1 & \vec{e}_2 & \vec{e}_3 & \vec{e}_4 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 1 & -1 & 0 & 0 \end{bmatrix} \quad (2)$$

데이터의존그래프를 [0 0 1] 방향으로 투영하여 입출력 핀의 수가 가장 작은 그림 3과 같은 이차원 시스토크 어레이를 구한다.

이후의 각 어레이 블록은 하나의 열만을 새로 입력받는다. 각 탐색영역의 중복되는 열을 다음 어레이 블록으로 전달하여 전체화면의 기준 블록에 대한 파이프라인을 구성한다.

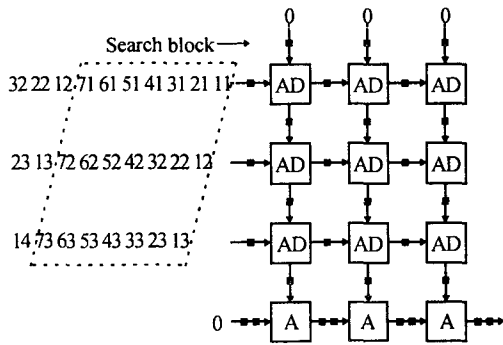


그림 3. 이차원 시스토크 어레이  
Fig 3. The 2-D systolic array  
( where N=3, p=2 )

이 경우의 최적의 스케줄 벡터는  $\vec{s}^T = [2\ 1\ 1]$ 이다. 탐색영역은 왼쪽에서 오른쪽으로 전달되며 기준 블록은 처리요소 AD내에 저장되며 각 에지의 점은 사각형은 단위시간 지연을 나타낸다. 왼쪽의 점선은 첫 번째 탐색 블록의 인덱스를 표현하며 하나의 기준 블록에 대해 2p+1개의 후보 블록이 존재한다. 그림3의 어레이는 탐색영역의 열을 기준으로 파이프라인화 시켜 탐색 블록의 열이 바뀌게 되면 p 시간 동안 의미없는 값을 출력한다.

### 3. 이차원 시스토크 어레이의 확장

그림 3의 이차원 시스토크 어레이는 인접한 탐색 블록의 행들이 중첩되어 사용되는 것을 이용하여

파이프라인화 시키면 여러 탐색 블록 픽셀값의 재사용을 높이도록 그림3의 어레이를 연결하여 메모리 액세스를 줄이고 병렬성을 높일 수 있다.

그림 4는 탐색영역의 각 열의 입력에 대한 확장된 데이터의존그래프이다. 각 원은 그림 3의 어레이 블록을 나타낸다.

첫 블록에 입력된 N개의 열 중 N-1개는 열을 다음 블록으로 전송하여 재 사용한다. 이후의 각 어레이 블록은 하나의 열만을 새로 입력받는다. 각 탐색영역의 중복되는 열을 다음 어레이 블록으로 전달하여 전체화면의 기준 블록에 대한 파이프라인을 구성한다.

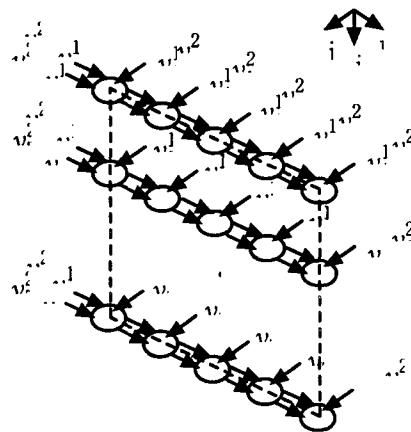


그림 4. 어레이블록의 데이터의존그래프

Fig 4. The data dependence graph of the array block  
( where N=3, p=2 )

그림 4의 이차원 시스토크 어레이를 그대로 연결할 경우 탐색 블록의 픽셀 값을 입력하기 전 기준 블록의 픽셀값들을 각 처리요소 AD에 기억시켜야 한다. 각 어레이 블록마다 기준 블록을 픽셀값을 입력하는 핀을 둔다면 전체 어레이의 입출력핀의 수가 많아진다.

각 블록마다 기준 블록의 픽셀값을 입력하는 핀을 두는 대신 탐색블록의 픽셀과 같은 방향으로 다음 어레이 블록에 전달하면 입출력 핀의 수를 줄일 수 있다.

탐색블럭의 픽셀값은 기준블럭의 픽셀값이 안정화되는 N-1 시간부터 입력된다. 그리고 다음 어레이 블럭으로 전달되는 기준블럭의 값과 타이밍을 맞추기 위해 어레이블럭들 사이에 탐색영역의 값을 전달하는데 한 단위시간의 지연이 필요하다.

그림 4는 N=3, p=2인 경우의 확장된 이차원 시스톱릭 어레이의 구조이며 이 구조는 2p+N 시간마다 다음 기준 블럭에 대한 이동벡터를 계산한다. 처리 과정은 먼저 어레이 블럭 0에 기준 블럭의 값을 차례로 입력하고 전달시간을 줄이기 위해 기준 블럭의 N 번째 열(3번째 블럭)을 먼저 입력한다. 첫 번째 어레이 블럭에 입력되었던 N 개의 기준블럭 열이 다음 어레이 블럭에 전달되어 N-1 개의 탐색블럭 열 중 N-1 개는 다음 어레이 블럭에 전달되는 방법으로 순차 병렬적으로 자료가 입력 비교되어진다.

#### IV. 결 론

본 논문에서는 움직임 추정에 사용되는 블록정합 알고리즘을 입출력 핀 수의 증가를 제한하면서 입력데이터의 반복적으로 재 사용할 수 있는 확장 가능한 고속의 이차원 시스톱릭 어레이를 설계하였다. 블록 정합알고리즘에서 단일할당코드로 변환하여 데이터 의존관계를 구하고 시간 및 공간변환을 거쳐 시스톱릭 어레이를 구성하였다.

또한 각 기준 블럭에 대해 중첩되는 탐색 블럭의 효율적인 재사용을 위해 어레이 블럭을 중첩함으로써 메모리 액세스를 줄이며 파이프라인을 통해 프레임의 각 기준 블럭에 대한 이동벡터의 계산을 고속화시켰다. 기준 블럭이 N×N이고 최대탐색거리가 p로 주어진 경우, 이동벡터의 계산시간은  $O(N^6)$ 에서  $O(N^3)$ 으로 향상되었다. 전체 처리요소의 수는  $N(N+1)(2p+1)+1$ , 입출력 핀의 수는  $(2(N+p)+1) \times$  비트 수이다.

설계된 시스톱릭 어레이에서는 첫 번째 기준 블럭의 이동벡터는  $2N(p+1)+6p-2$  시간에 계산이 된 후, 블럭 파이프라인 주기  $2p+N$  단위 시간마다 다음 기준 블럭의 이동벡터가 계산된다.

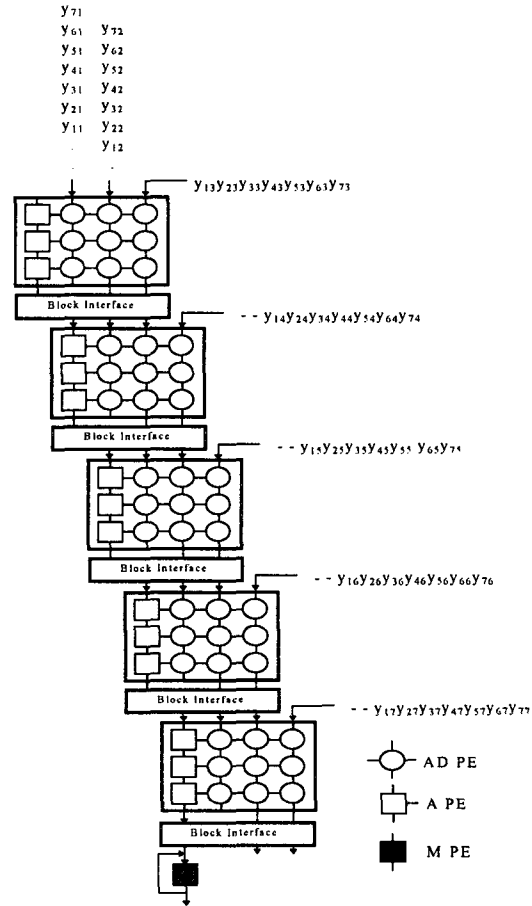


그림 5. 확장된 이차원 시스톱릭어레이  
Fig 5. The expanded 2-D systolic array  
( where N=3, p=2 )

요구되는 처리요소의 수는 프레임의 픽셀수의 증가에 무관하며 단일방향의 데이터전송패스만이 존재하므로 VLSI 구현 시 결합허용에 유리하다.

제안한 어레이는 내부 처리요소의 수는 많으나 외부와의 입출력 핀 수의 증가를 억제되어 하나의 프레임에 대하여 시간 및 공간의 비교적도인  $AT^2$ 을 비교하면 Yeo의 방법에 비해 약 3.7배의 성능향상을 가져왔다. 또한 하나의 프레임에 대한 처리요소의 이용률이 99% 이상이다.

### References

- [1] Sheu-Chih and Hsueh-Ming hang, "A Comparison of Block-Matching Algorithms Mapped to Systolic-Array Implementation," IEEE Trans. Circuits Syst., vol. 7, pp. 741-757, Oct. 1997.
- [2] K. M. Yang, M. T. Sun, and L. Wu, "A family of VLSI designs for the motion compensation block-matching algorithm," IEEE Trans. Circuits Syst., vol. 36, pp. 1317-1325, Oct. 1989.
- [3] Zhongli He and Ming L. Liou, "A High Performance Fast Search Algorithm for Block Matching Motion Estimation", IEEE Trans. Circuits Syst., vol. 7, No. 5, pp. 826-828, Oct. 1997
- [4] T.Komarek and P. Pirsch, "Array architectures for block matching algorithms," IEEE Trans. Circuits Syst., vol. 36, pp. 1301-1308, Oct. 1989.
- [5] E. Chan and S. Panchanathan, "Motion estimation architecture for video compression," IEEE Trans. Consumer Electron, vol. 39, No. 3, pp. 292-297, Aug. 1993.
- [6] Hangu Yeo and Yu Hen Hu, "A novel modular systolic array architecture for full-search block matching motion estimation," IEEE Trans. Circuits. Syst., vol. 5, No. 3, Oct. 1995.

#### ● 저자소개



##### 추 봉 조

1990년 : 경성대학교 전자계산학과 졸업  
1992년 : 경성대학교 대학원 전자계산학과 졸업 (이학 석사)  
1997년 : 부경대학교 대학원 전자공학과 박사과정 수료  
1996년 ~ 현재 : 김천대학 사무자동화과 전임강사



##### 김 혁 진

1989년 : 아주대학교 대학원 전자계산학과  
1991년 ~ 1995년 : 아주대학교 대학원 컴퓨터공학과 박사과정  
1992년 ~ 1997년 : 김천대학 사무자동화과 조교수  
1997년 ~ 현재 : 충남산업대학교 전자계산학과 전임강사

##### 이 수 진

1994년 : 부경대학교 전자공학과 졸업  
1996년 : 부경대학교 대학원 전자공학과 졸업 (공학석사)  
1996년 ~ 현재 : 부경대학교 대학원 전자공학과 박사과정 재학  
1996년 ~ 현재 : 태극전자 기술연구소 선임연구원