

ATPG 가속화를 위한 분할 기법의 설계

허 덕 행*

The Design of Technique Based on Partition for Acceleration of ATPG

Duck-Haing Huh*

요 약

논리형 집적회로의 내부 결함을 검증하기 위해서는 설정된 초기 값을 전파하여 최종 출력 단에 나타난 값과 결함이 없을 경우의 출력 값을 비교함으로써 검증할 수 있다. 입력 단자의 수가 N 인 회로에서 모든 내부신호선의 결함을 검출하기 위해서는 최대 $2N$ 개의 초기 입력 값들로 구성된 검증 패턴이 필요하다. 본 논문에서는 다 출력회로에서 $2N$ 개의 입력 패턴 중, 모든 신호선의 결함을 검출 할 수 있는 최소의 입력패턴 집합을 빠르고 정확하게 생성하기 위한 방법으로 다 출력회로를 출력과 연관된 세부회로로 분리하여 각각 검증함으로써 탐색공간을 줄이는 방법을 제안한다. 이는 입력 패턴의 길이가 상대적으로 줄어들 뿐 아니라 관련이 없는 신호 선을 탐색하지 않으므로 검증 패턴 생성 시간이 감소함으로써 기존의 패턴 생성 알고리즘보다 효과적인 검증 패턴의 생성이 가능하다.

Abstract

To test all internal faults in the case that the number of Primary Input is N , we need patterns that are composed of PI's of maximum $2N$.

In this paper, we proposed the method to reduce a search space by dividing the multiple output circuit into subcircuit that is related with output. And this method, called PBM(Partition-Based Method), can generate a set of test pattern. The method can effectively generate a test pattern for evaluating all fault of circuit, because the length of input pattern is smaller than that of full circuit and PBM doesn't search any signal line that is not concerned with detecting fault.

* 창원전문대학 사무자동화과 전임강사
논문접수 : 98.4.6 심사완료 : 98.6.19

1. 서론

최근 VLSI 설계 기술의 발전으로 수백만 개의 트랜지스터들을 단일 칩 상에 집적한 칩의 실용화가 점점 증가되고 있다. 그러나 이러한 VLSI 칩의 집적도가 증가하고 회로의 구성이 복잡해짐에 따라 설계와 제조 과정에서 여러 형태의 물리적인 결함이나 고장들이 발생하고 있다. 따라서 이에 대한 테스트는 심각한 문제로 대두되고 있으며, 소규모의 집적회로를 검사하던 종래의 결함 검증 알고리즘을 현재 사용하고 있는 초고밀도 집적회로에 적용한다는 것은 상대적으로 경제적 부담이 크며 시간적 소모가 많이 발생한다 [1,2,3,4,5]. 또한 생성된 패턴으로 모든 신호선의 결함을 완전히 검출하기에는 어려움이 있다. 집적회로를 검증하는 알고리즘은 패턴 생성 시간을 줄이면서 가능한 많은 결함을 검출할 수 있는 최소한의 패턴을 생성하는데 목적이 있으며, 현재 새로운 알고리즘의 연구가 활발히 진행 [6]되고 있다.

대부분의 논리 회로는 여러 개의 출력 선을 가진 다 출력 회로로 구성되어 있다. 만약 어떤 회로의 내부 신호 선에 고정적인 결함이 발생하면 회로는 설계 시와 다른 출력 값이 생성될 가능성이 크다. 이 출력된 값과 설계된 출력 값을 비교 관찰함으로써 회로 내부의 특정 신호 선에서의 결함을 검출할 수 있다. 이 결함은 회로 내부의 모든 신호 선에서 발생할 가능성이 있기 때문에 각각의 입력 패턴들이 필요하다.

회로내부 신호선의 결함을 검출하기 위한 알고리즘은 주어진 시간 내에 해를 얻기 힘든 NP-complete 문제[7,8]이기 때문에 이를 해결하기 위해서 다양한 방법들이 제안되었다. 이러한 방법들 중 대표적인 것이 D[9], PODEM[10], FAN[11] 이라는 알고리즘으로 널리 알려져 있다. 이들은 조합 논리회로의 결함을 검증하기 위한 입력패턴을 생성한다. 기존의 알고리즘은 결함이 발생한 지점에서 모든 초기 입력과 출력을 고려하기 때문에 실제 결함 검출과 관련이 없는 신호 선까지 탐색하게 되고, 결과적으로

대규모 회로에 있어서는 많은 시간적인 손실을 초래한다. 조합 논리회로의 결함 검증 패턴을 생성하는 과정에서 이러한 시간적 손실을 줄이기 위한 효과적인 패턴 생성 방법[12]이 요구된다.

본 논문에서는 대규모 회로에서 테스트를 용이하게 할 수 있도록 하기 위하여 전처리과정에서 회로를 세부회로로 분할하여 회로의 구성을 단순화하고, 이를 이용함으로써 탐색 시간을 줄여 가속화하는 방법이다. 즉, 결함 검출이 가능한 출력 선까지의 경로를 미리 설정하여, 출력과 관련이 없는 불필요한 신호 선을 배제함으로써 탐색시간을 줄일 수 있는 분할 방법인 PBM(Partition-Based Method)을 제안한다.

본 논문의 전체적인 구성은 다음과 같다. 2장에서는 기존 알고리즘의 개념을 설명한다. 3장에서는 기존 방법에서의 문제점을 지적하고 이것을 해결하기 위한 방법을 제시한다. 4장에서는 제시한 방법으로 실험한 결과를 기술하였고 마지막 장은 결론과 향후 연구과제로 구성되어 있다.

2. 결함 검증 패턴 생성 알고리즘

일반적으로 테스트 패턴 생성은 입력에서 어떤 논리 값을 설정하고 이를 인가한 후, 출력단자에서 검출되어진 값으로 회로 내부 신호선의 결함을 검증한다. 회로 내부 신호선의 모든 결함을 검출하기 위해서는 입력 단자의 모든 논리 값을 고려해야 한다. 만약 내부 신호 선에 연결된 입력단자가 N 인 경우 인가되어야 하는 결함 검출 패턴은 $2N$ 개의 입력신호들의 집합이다. 이것이 회로의 결함을 검출할 수 있는 가장 간단한 방법이다. 하지만 이 방법은 하나의 칩을 검사하기 위해 $2N$ 개의 결함 검증 패턴을 각기 수행해야 하므로 시간적 소모가 크다. 이런 문제를 해결하기 위해서 검증 패턴을 최소화함과 동시에 패턴 생성시간을 줄이는 알고리즘이 연구되었다.

내부 신호선의 개수가 N 인 경우, 검증 패턴을 생성하는 알고리즘의 수행시간은 기하급수적인 N^3 의 값으로 증가한다. 이러한 문제점을 해결하기 위한

가속화 기법이 많이 제안되었다. 조합 논리회로상의 결함을 검출하는 검증 패턴 생성 알고리즘에는 고전적 판단 트리 개념의 D, D에서의 문제점을 보완하여 경로 의존적 방법을 사용한 PODEM, 그리고 가속화 전략을 내세움으로써 보다 빠르게 패턴을 생성할 수 있는 FAN 등이 있다.

회로의 결함 검증을 위한 패턴 생성 알고리즘은 시간 소모적인 NP-complete 문제이다. 때문에 이를 해결하기 위해서는 주어진 시간 내에 결함 검출을 높이면서 다양한 고장모델의 결함을 검증할 수 있고, 생성되는 패턴을 최소화하는 방법이 필요하다. 즉, 주어진 시간 내에 최소의 패턴으로 최대한의 결함을 검출하는 알고리즘 개발이 요구된다.

먼저, D 알고리즘에서는 결함이 생긴 지점에서 최종 출력인 신호 선까지 그 논리 값을 전파시키기 위해 관련된 주변 신호 선에 적절한 값들이 인가되어야 한다. 여기서 사용되는 논리 값에는 일반적인 개념의 1, 0, X(don't care)와 결함 검출을 위한 상태 값인 D(고착0결함)와 D'(고착1결함)이 있다. 만약 결함이 없으면 1, 0, X 중의 한 값이 출력 신호 선에 나타나게 되지만, 결함이 있는 경우에는 상정적인 상태 값인 D나 D'이 검출되어진다.

출력 신호 선에 결함신호가 검출되면, 그 상태에서 다시 초기 입력선 방향으로 설정되지 않은 모든 신호선의 값들을 결정한다. 이러한 과정을 거치면서 초기입력선의 값이 모두 결정된다. 결정된 초기 입력선의 값을 내부 신호 선으로 전파한 후 출력된 값을 조사하고, 이 값이 설계된 출력 값과 일치하지 않으면 내부 신호 선에서 결함이 발생하였다는 것을 알 수 있다. 다른 내부 신호선의 결함은 앞의 과정을 반복함으로써 초기 입력 값을 재 설정하여 검사할 수 있다. 모든 신호 선에 대해 위와 같은 방법으로 결함을 탐색함으로써 주어진 회로의 결함을 검증할 수 있는 테스터 패턴이 생성된다.

이러한 D 알고리즘은 exclusive-OR에 대한 탐색 시간이 길어질 뿐만 아니라, fanout의 수가 많은 회로에서는 백트랙의 수가 증가하여 테스트 생성 시간이 길어지는 단점을 가지고 있다. 이를 해결하기

위하여 PODEM 알고리즘이 제안되었다. 이 알고리즘은 출력 선까지의 최단 경로를 선택하여 결함신호를 전파함으로써 검증 패턴을 보다 빨리 생성하도록 한다. PODEM은 ECAT 회로처럼 판단 트리가 많이 존재하는 회로일수록 D 알고리즘에서 보다 검증 패턴을 더욱 효과적으로 생성할 수 있다.

3. 결함 검증 패턴 생성의 가속화 기법

3.1 가속화를 위한 회로 분할

대부분의 대규모 회로는 많은 내부 분기선과 여러 개의 출력 선으로 구성되어 있다. 이러한 다 입력 다 출력 회로에서 결함 신호를 외부 출력까지 전파하는 경우, 결함 신호가 전파될 경로와 관련이 없는 외부 출력 선까지도 탐색대상에 포함될 수 있다. 특히, D 나 PODEM과 같은 알고리즘은 특정 신호선의 결함을 검출하기 위해 모든 초기 입력 선과 출력 선을 탐색한다. 이로 인한 불필요한 부분까지의 탐색은 시스템 전체의 시간적 지연을 발생시킨다. 그러므로 이와 같은 대규모 회로에 있어서의 탐색 문제를 해결하기 위해서는 테스트 패턴을 생성하기 이전에 테스트를 용이하게 할 수 있는 형태로 회로를 재구성하는 것이 효과적일 수 있다.

TPG(Test Pattern Generator)에서 대규모의 CUT(Circuit Under Test), 즉 각 고장 모델에 대하여 테스트 패턴을 테스트하고자 하는 회로에 대하여 테스트 패턴을 생성할 경우에는 회로의 복잡성으로 인하여 회로 전체를 처리하는 시간이 증가될 뿐만 아니라 메모리(memory)의 용량에 있어서도 제한을 받게 된다. 본 논문에서 제안된 PBM을 이용하면 이런 두 가지의 측면에서의 제한을 상대적으로 줄일 수 있다.

테스트 패턴 생성을 가속화하기 위해서는 테스트 생성 동안에 야기된 불일치에 의한 백트랙(backtrack)의 발생 빈도 수를 줄이고, 탐색공간의 축소를 통한 효율적인 탐색 방법을 이용함으로써 테스터 패턴 생성을 가속화할 수 있다.

일반적으로 기존의 TPG는 CUT 전체 회로를 탐

색 대상으로 테스트를 수행하게 한다. 이러한 탐색 문제에서는 테스트 패턴을 생성하기 전에 CUT에서 불필요한 탐색 공간을 제거함으로써 테스트 패턴의 생성이 용이해질 수 있다.

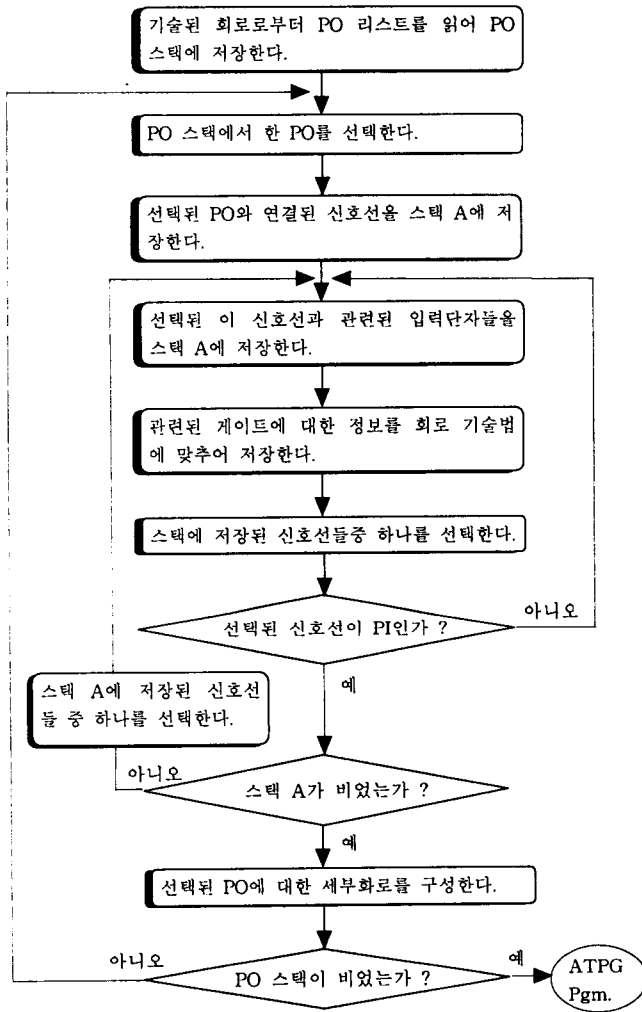


그림 1 세부 회로로 분리하는 알고리즘.
Fig. 1 Algorithm for dividing subcircuit

CMOS 조합회로를 테스트하기 이전에 회로를 각 출력 선과 관련된 세부회로로 분리하는 과정은 그림 1과 같다.

그림 1에 대한 내용은 다음과 같다. 전체적인 회로에서 PO 들을 선택해 저장하고, 이들 중 한 PO를

선택한다. 만약 모든 출력 선이 선택되어졌다면 작업을 종료하고 ATPG 프로그램의 수행 단계로 넘어간다. 그리고 선택된 출력 선과 연결된 모든 신호선들을 대상으로 추적을 시작하는데, 항상 현재 신호선의 값을 인가할 수 있는 전 단계의 신호 선을 선택하여 스택에 저장한다. 이러한 과정을 초기 입력 선이 나타날 때까지 반복한다. 그리고 그 과정 중에 각 게이트의 정보를 추출해내고, 게이트의 정보와 연결 상태에 대한 정보를 이용하여 가상의 세부 회로에 대한 새로운 PI와 PO를 설정한다. 즉 앞에서 구해진 게이트 및 PI, PO만으로 구성된 별도의 회로를 만든다. 이렇게 구성된 각각의 세부 회로들을 대상으로 ATPG 프로그램을 수행하고자 한다. 다음은 그림 2의 회로를 이용하여 각 출력 선과 관련된 세부회로로 분리하는 과정을 나타낸다.

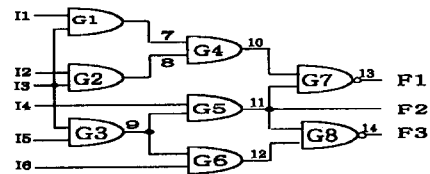


그림 2 다 출력 회로의 예
Fig. 2 Example of Multiple output circuit

각 출력선 F1, F2, F3 중 먼저 F1을 선택한다. 출력 선과 연결된 13번 신호 선이 선택되고 이것을 자료구조에 저장한다. 초기입력선 방향으로 추적을 시작하면서 현재 신호선 13에 연결된 게이트의 입력인 신호선 10번과 11번을 선택한다. 다시 이들 각각에 연결된 게이트의 입력 선을 구한다. 이 과정을 초기 입력 선까지 계속 수행한다. 이런 일련의 과정을 통해서 출력선 F1에 해당하는 세부회로가 구성되어진다. 나머지 출력 선에서도 위와 같은 작업을 수행한 후, 각각의 출력 선과 관련된 세부회로를 생성한다. 이렇게 분리된 세부회로로 결함 검증 패턴을 생성하기 때문에 불

필요한 신호선의 탐색이 배제되어 시간적 소모가 줄어든다.

만약 신호선 11의 결합을 검출하려면 이곳에 결합 신호를 인가하고 이 신호 선을 출력 선으로 전파한다. 기존 알고리즘의 경우 신호선 11에서 출력 선까지 결합신호를 전파하기 위한 경로는 세 가지이다. 이 경로들은 모두 탐색 대상이 되고, 이 중 하나를 우선적으로 선택한다. 그러나 본 논문에서 제안한 방법은 하나의 경로만이 존재하므로 그대로 출력 선까지 전파하면 된다.

반대로 입력 단까지의 경로를 추적하면 각각의 세부회로에 인가되어질 입력패턴의 조합은 F1에서는 25개, F2에서는 23개, F3에서는 24개로 구성된다. 이들의 입력패턴을 모두 생성하여도 원래의 입력패턴인 26개를 대상으로 탐색하는 것보다 경우의 수가 줄어든다.

결과적으로 출력선의 단축과 입력패턴의 감소로 인하여 탐색 시간이 단축됨을 알 수 있다.

3.2 신호선의 중복을 배제한 가속화 기법

3.1에서 논의된 방법에 의한 성능 향상은 회로의 특성에 따라 달라질 수 있다. 다음에서는 중복 영역을 갖는 회로에서의 효과적인 ATPG 생성을 위한 방법에 대해서 기술한다.

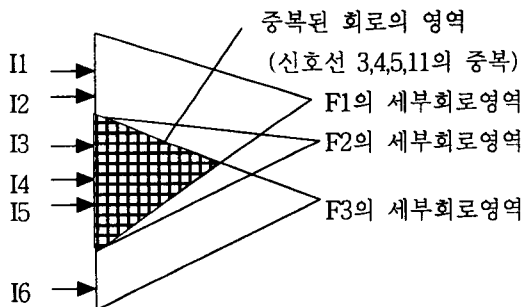


그림 3 세부회로들의 중복
Fig. 3 Duplication between subcircuits

제안된 PBM에 의해 대상 회로를 세부 회로로 각 분할하면 그림 3처럼 중복된 부분이 발생한다.

이 경우 중복된 부분의 신호 선에 대해 검증 패턴이 반복 생성되어지므로 결과적으로 불필요한 검증 패턴이 생성되어진다. 그림 2에서 게이트5의 출력 신호선 11의 경우를 보면 부분회로 F1, F2, F3 모두에 포함되어 있고, 각 회로는 신호선 11에 대하여 각기 결합 검증 패턴을 발생시키므로 중복 생성된다. 실제 신호선의 수가 N인 경우, 결합 검증 패턴의 생성은 고차결합에서 2N번의 수행만으로 가능하다. 그러나 제안한 방법에서 부분회로간의 중복 횟수가 α 인 경우 $2(N + \alpha)$ 번의 패턴생성 시간이 요구된다. 이러한 중복 신호 선에 대한 시간 소모를 줄이기 위해 각 신호 선에 플래그를 두고, 이 플래그의 설정 유무에 따라 결합 검증 패턴의 생성을 선택적으로 할 수 있게 하여 중복적인 테스트 패턴의 생성을 방지할 수 있다. 따라서 모든 신호 선은 단 한번의 결합 검출을 위한 패턴 생성 알고리즘을 수행한다.

다음의 그림 4에서는 앞에서 언급된 테스트 패턴 생성 방법의 전체적인 이미지를 보여주고 있는 있다.

4. 실험 및 결과

4.1 실험 환경

본 연구는 SUN사의 Sparc 20의 환경에서 실험하였다. 검증을 위해 사용되어진 회로는 단일 출력회로인 c8과 다 출력회로인 c14 및 benchmark 회로 [13][14]인 c880, c2670을 사용하였다.

표 1 실험 대상 회로
Table 1 Circuit under experiment

회로명	회로 기능	게이트수	입력수	출력수
c8	Schneider	8	4	1
c14	general	8	6	3
c880	ALU and Control	383	60	26
c2670	ALU and Control	1193	233	140

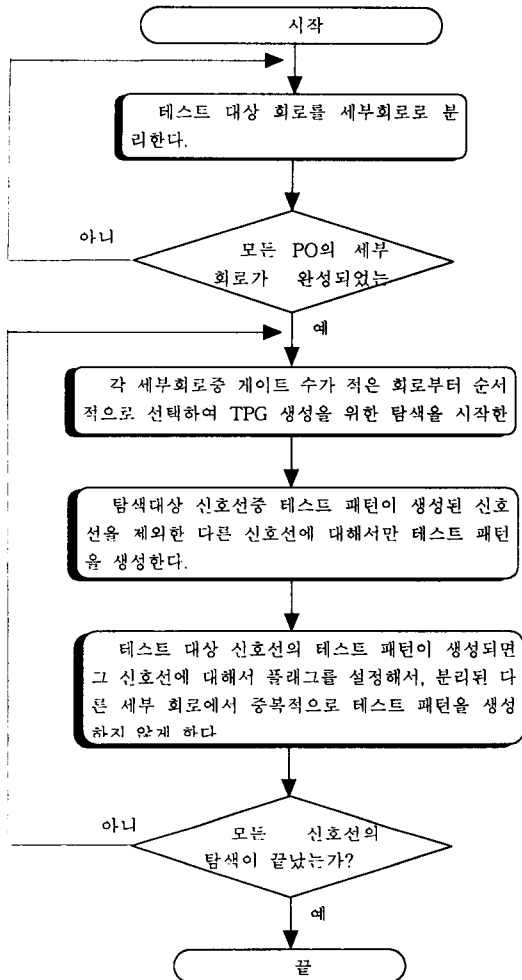


그림 4 테스트 패턴 생성을 위한 시스템 이미지
Fig. 4 The image of system for generating Test Pattern

4.2 실험결과

상기의 회로를 대상으로 기존의 D와 PODEM 알고리즘을 제안한 알고리즘과 비교한 결과는 표 2, 표 3에 나타나 있다. 표에서 알 수 있듯이 D알고리즘에서는 기존의 알고리즘을 적용한 것보다 월등한 성능향상을 보였다. 다만 표 2와 표 3에서 PODEM이 D보다 성능향상 비율이 낮은 이유는, PODEM 알고리즘이 결함 발생 지점으로부터 최단 경로를 통하여 출력 선으로 결함신호를 전파하므로 D알고리즘보다 효율적인 결함 검증 패턴을 생성하기 때

문이다.

표 2 D 알고리즘에서의 실험결과

Table 2 The experimental results in D algorithm

(단위 : 초)

회로명	D 알고리즘	제안한 방법적용
c8	0.017	0.017
c14	0.033	0.033
c880	4.250	1.683
c2670	2618.083	477.417

표 3 PODEM 알고리즘에서의 실험결과

Table 3 The experimental results in PODEM algorithm

(단위 : 초)

회로명	PODEM알고리즘	제안한 방법적용
c8	0.000	0.000
c14	0.017	0.017
c880	3.780	2.933
c2670	198.233	163.533

표 2와 표 3에서 보여준 결과를 보면, 단일 출력선을 가지고 있는 회로 c8이나, 소규모 회로인 c14에서는 수행시간에서의 성능향상이 없다. 그 이유는 단일 출력회로 상에서는 본 논문에서 제안한 탐색 방법의 적용은 의미가 없기 때문이다. 제안한 탐색 방법을 적용한 다 출력 하에서는 성능이 매우 향상되었음을 알 수 있었다. c880, c2670회로와 같이 구성이 복잡하고 서로 중복된 부분이 많으면 많을수록 보다 높은 성능향상을 가져왔다.

5. 결론 및 향후 연구방향

고 집적화 된 회로의 결함을 검증하기 위한 패턴 생성 알고리즘은 입출력선 및 내부신호선의 수에 따라 기하급수적인 탐색시간을 요구한다. 이를 해결하기 위해 하나의 출력 선에 영향을 미치는 입력 선까지의 회로선상에 놓여있는 내부 신호 선만을

다른 출력 선과 중복되지 않게 제한적으로 선택하여 탐색하는 방법을 제안하였다. 본 논문에서 제안한 방법에 의해 분리된 세부회로를 가지고 결합검증 패턴을 생성한 방법으로 측정된 결과 기존의 D나 PODEM 알고리즘보다 우수하다는 것을 입증하였다. 또한, 다 출력 회로인 경우, D나 PODEM에 본 논문에서 제시한 탐색 방법만을 추가시킴으로써 새로운 알고리즘의 적용 없이 기존의 회로를 효율적으로 변형하는 것만으로 결합 검증 패턴 생성시간을 감소시킬 수 있다. 따라서 기존의 알고리즘 효율성을 고수하면서 본 알고리즘을 적용할 수 있는 장점을 가지고 있다.

향후 제안한 탐색 방법을 충분히 수용할 수 있는 새로운 결합 검증 패턴 생성 알고리즘에 대한 연구가 필요하며, 회로를 출력별로 분리하여 검증 패턴을 생성하기 때문에 다중 프로세서 상에서 제안한 방법을 구현한다면 더 향상된 결과가 기대된다. 또한 본 논문에서는 고차결합을 고장 모델로 하였는데 이를 다양한 고장 모델의 결합 및 순차논리회로의 결합까지 검증할 수 있게 확장되어야 할 것이다.

References

- [1] K.C.Y. Mei, "Bridging and Stuck-at-Faults," IEEE Trans. Computers, vol C-23, pp. 720-727, July 1974.
- [2] S.K. Jain and V.D. Agrawal, "Modeling and Test Generation Algorithms for MOS Circuit," IEEE Trans. Computers, vol. C-34, pp. 426-433, May 1985, Also see, correction, in IEEE Trans. Computers, vol. C-34, p. 680, July 1985.
- [3] M.S. Abadir and H. K. Reghbaty " Functional Testing of Semiconductor Random Access memories," ACM Computing Surveys, vol. 15, pp. 175-198, Sem. 1983.
- [4] P. Bose and J.A.Abraham, "Test Generation for programable Logic Arrays," Proc. ACM/ IEEE Design Automation Conf., Las Vegas, Nevada, PP.574-580, June 1982.
- [5] C.J.Lin and S.M.Reddy, "On Delay Fault Testing in Logic Circuits," Proc. Int.conf. on CAD (ICC AD-86) ,Santa Clara, CA,pp. 148-151,Nov.1986
- [6] K.T.Cheng and V.P.Agrawal, "A Simulation-Based Directed-search Method fo Test Generation" Proc.Int.Conf.Des.(ICCD-87),Rye Brook,NY,pp.48-51, Oct.1987
- [7] H. Fujiwara, "Logic testing and design for testability," MIT press, 1985.
- [8] O.H.Ibarra and S.K.Sahni,"Polynomially Complete Fault Detection Problems,IEEE Trans.comp.vol.1.C-24, March 1975.
- [9] P. Goel, "An implicit enumeration algorithm to generate tests for combinational logic circuits," IEEE Trans. Comput., vol. C-30, pp. 215-222, Mar. 1981.
- [10] J. P. Roth, "Diagnosis of automata failures: A calculus & a method," IBM J. Res. Develop., vol. 10, pp. 278-291, July 1966.
- [11] H. Fujiwara and T. Shimono, "On the Acceleration of Test Generation Algorithms," IEEE Trans. Comput., vol. C-32, pp. 1137-1144, Dec. 1983.
- [12] T.W.Williams and K.P.parker,"Design for Testability - A Survey,"Proc.IEEE, vol 71, pp.98-112, Jan.1983.
- [13] F. Brglez and H Fujiwara, "A neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in Fortran", Int. Symposium on Circuits and Systems, June 1985.
- [14] F. Brglez, P. Pownall, R. Hum, "Accelerated ATPG and Fault Grading via Testability Analysis", Proc. IEEE Int. Symposium on Circuits and Systems, pp. 695-698, June 1985.

● 저자소개



허 덕 행

1998년 : 경상대학교 전자계산학과 공학석사
1989년 ~ 1995년 : (주) 삼성전자 반도체연구소
1995년 ~ 1997년 : (주) 삼성항공 창원1공장
1998년 ~ 현재 : 창원전문대학 사무자동화과