

論文98-35T-6-5

실리콘 산화막의 저레벨 누설전류에 관한 연구

(A Study on the Low Level Leakage Currents of Silicon Oxides)

姜 昌 秀 * , 金 東 鎮 *

(C. S. Kang and D. J. Kim)

요 약

실리콘 산화막에서 저레벨 누설전류를 조사하였다. 저레벨 누설전류는 전이요소와 직류요소로 구성되어 있다. 전이요소는 스트레스에 의해 두 계면트랩 가까이 발생된 트랩의 충방전에 의한 터널링으로 나타났으며 직류요소는 산화막을 통한 트랩 어시스트 터널링으로 나타났다. 그리고 저레벨 누설전류는 산화막에서 발생된 트랩의 수에 비례하였다. 저레벨 누설전류는 트랩의 충방전 누설전류이며 비휘발성 소자의 데이터 유지능력에 영향을 주었다.

Abstract

The low level leakage currents in silicon oxides were investigated. The low level leakage currents were composed of a transient component and a dc component. The transient component was caused by the tunnel charging and discharging of the stress generated traps near two interfaces. The dc component was caused by trap assisted tunneling completely through the oxide. The low level leakage current was proportional to the number of traps generated in the oxides. The low level leakage current may be a trap charging and discharging current. The low level leakage current will affect data retention in EEPROM.

I. 서 론

고품질 산화막은 비휘발성 기억소자의 전하 저장 유지를 위해 필요하며 고전압 및 산화막 전류를 개선하여 기억소자 개발에 응용되고 있다. 고품질 실리콘 산화막의 비저항은 $10^{16}\Omega\text{cm}$ 이상이다.^[1] 실리콘 산화막의 누설전류는 정상동작의 소자에서 무시하고 사용되어 족히 왔다. 그러나 최근, 고집적도 향상을 위하여 산화막 두께가 점점 감소하여 산화막 전계는 증가하고 있어 실리콘 산화막의 누설전류를 고려하여야 한다.^{[2] [3]}

IFBL(Imaging Force Barrier Lowering)의 효과

* 正會員, 柳韓大學 電子科
(Yuhan College)

接受日字: 1998年4月30日, 수정완료일: 1998年5月25日

를 갖는 저레벨 누설전류는 산화막 스트레스에 의해 변화됨을 보여주고 있다. 스트레스 전압에 의한 저레벨 누설전류는 양극으로부터 15\AA 에 위치한 전하중심으로부터 터널링으로 나타난다.^[4] 실리콘 산화막 계면의 계면상태는 고전압 스트레스 효과에 의해 변화된다. 얇은 산화막의 고전압 스트레스는 산화막에 트랩을 발생시키고 저레벨 누설전류는 스트레스에 의해 발생한 트랩에 비례한다. 비휘발성 기억소자의 기록과 소거를 위한 고전압은 누설전류를 야기시키고 데이터의 분실과 신뢰성에서도 문제를 발생시킨다.^[5]

얇은 실리콘 산화막의 감쇄를 피하기 위해서 저레벨 누설전류에 의한 연구를 실행하여야 한다. 스트레스 유기 저레벨 누설전류의 측정, 분리 그리고 특성은 산화막안에서 트랩의 충전과 방전에 의한다. 그리고

산화막을 통하여 완전히 흐르지 않는다. 얇은 산화막에서 스트레스 유기 저레벨 누설전류는 스트레스 전압, 스트레스 시간에 따라 비례한다. 스트레스 유기 누설 전류는 비휘발성 터널링 산화막의 스케일링 다운의 한 계를 나타낸다. 그러므로 저레벨 누설전류는 얇은 실리콘 산화막 소자의 설계시 고려되어야 하며 얇은 실리콘 산화막의 저레벨 누설전류를 조사하여 비휘발성 기억소자의 기억유지에 대한 신뢰성을 향상시키고자 한다.

II. 실험

실리콘 산화막은 n형 실리콘 기판에 LOCOS 공정과 n^+ 실리콘 게이트를 사용하여 제작하였다. 산화막의 두께는 113.4Å이다. 캐패시터의 게이트 면적은 10^{-3}cm^2 이다.

캐패시터 소자의 전압 특성, 시간 전류특성은 HP4140B를 사용하여 스트레스 전압을 인가하기 전과 인가한 후에 측정하여 실행하였다. 실험에 사용된 시스템의 전류 한계는 1㎱토 암페어였다. 산화막에 인가되는 고스트레스 전압은 스트레스를 인가하는 동안 산화막을 통해서 흐르는 전자의 전류량에 의해 실행되었다. 고정 스트레스 전압에 대한 전류는 시간의 함수이다. 전류는 산화막을 통한 전자의 전체 전류량을 계산하기 위해 스트레스 시간 동안 계산되었다.

III. 결과 및 고찰

산화막 전류는 스트레스 전압에 의해 영향을 받는다. 저레벨 누설전류는 증가하고 터널링 전류는 감소한다. 저레벨 누설전류는 스트레스 전압, 스트레스 시간, 스트레스 전류량, 스트레스 전압의 극성 그리고 스윕율에 의해 변화한다. 이러한 저레벨 누설전류의 변화는 스트레스에 의해 산화막 내에서 발생된 계면트랩과 벌크트랩에 비례한다.

n형 실리콘 기판에 제작된 113.4Å 산화막 캐패시터에서 스트레스를 인가하지 않은 초기상태부터 반복적인 스윕을 계속하면서 측정한 전압 전류밀도의 특성을 그림 1에 나타내었다.

그림 1은 각 단계의 스윕된 스트레스 총전류량은 $2.80 \times 10^{-3} \text{C/cm}^2$ 였으며 양 게이트 전압을 반복적으로 인가하면서 측정한 결과이다. 초기상태의 전류 전

압특성으로부터 스트레스를 인가하고 난 후, 측정한 전류 전압의 특성에서 저레벨 누설전류가 증가함을 보여주고 있다. 이때 반복적인 스트레스가 증가할수록 저레벨 누설전류가 증가함을 보여주고 있다. 이와 같이 초기상태에서부터 스윕에 의한 반복적 스트레스 전류량에 의해 저레벨 누설전류는 증가함을 보여주고 있다.

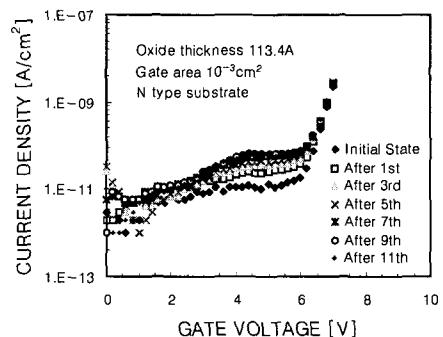


그림 1. 반복적인 양 게이트 전압에 대한 저레벨 전압 특성

Fig. 1. Successive low level current voltage characteristics for repetitive positive gate voltages.

스트레스 전압을 인가하고 난 후 양 게이트 전압에 대한 전압전류 특성을 측정한 결과는 그림 2와 같다.

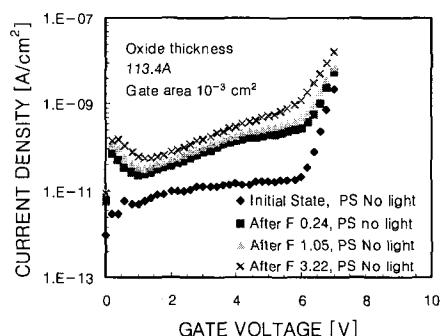


그림 2. 직류 스트레스 후 양 게이트 전압에 대한 전압전류 특성

Fig. 2. Current voltage characteristics for positive gate voltages after DC stress.

그림 2는 직류 스트레스 전압을 100초 동안 인가하여 각각의 전류량이 0.24, 1.06, 3.22 C/cm²일 때 빛을 조사하지 않고 양 게이트 전압에 대한 측정한 전압전류특성이다.

그림에서 알 수 있는 바와 같이 초기의 스트레스에

는 저레벨 누설전류의 증가율이 크게 증가하였으나 반복적인 스트레스가 계속적으로 인가되어도 저레벨 누설전류의 증가량이 작게 증가됨을 알 수 있다. 스트레스의 전류량이 증가할수록 터널링 온 전류의 변화율이 작아짐을 알 수 있다. 터널링 온 전압의 변화는 스트레스 전류량이 적을 때보다 스트레스 전류량이 클 때 증가함을 알 수 있다.

직류 스트레스 전류량에 따른 음 게이트 전압에 대한 전압전류 특성은 그림 3과 같다.

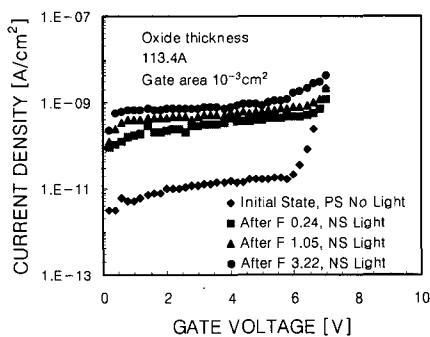


그림 3. 직류 스트레스 후 음 게이트 전압에 대한 전압전류 특성

Fig. 3. Current voltage characteristics for negative gate voltages after DC stress.

그림 3에서 알 수 있는 바와 같이 게이트 전압을 음 방향으로 스윕할 때는 소수캐리어를 발생시켜 터널링 전류를 만들기 위해서 빛을 조사하였다. 음 게이트 전압을 사용하여 측정한 전압전류는 각각의 연속적인 측정으로 스트레스 전류량을 변화시켜 가면서 측정하였다. 2V와 5V사이의 음 게이트 전압에 대한 저레벨 누설전류의 증가는 고전압 스트레스 전류량에 따라 증가하였다. 이때 스트레스 전류량은 각각 0.24 1.05 3.22C/cm²이었다.

전압과 전류밀도의 데이터는 HP4140B에 적분 시간을 사용하여 0.2초마다 0.2V의 스텝 전압을 인가하면서 측정하였다. n형 실리콘 기판에서 제작된 소자에 양음 게이트 전압을 인가하면서 측정한 전압 전류밀도 특성이 유사한 형태의 실험치를 얻었다. n형 기판에 빛을 조사하는 것은 소수 캐리어를 발생시켜 안정된 공간 전하층을 형성하기 위함이다.

스트레스를 인가하고 난 후 양음 게이트 전압을 인가하면서 측정한 전압 전류특성을 측정한 데이터는 그

림 4와 같다.

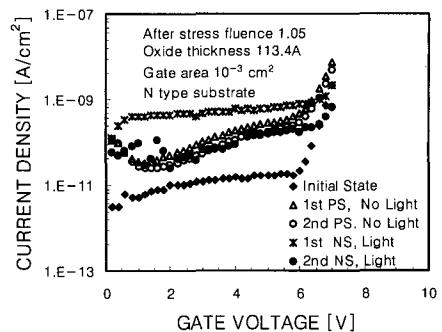


그림 4. 스트레스 전류량 1.06C/cm² 후 양음 게이트 전압에 대한 전압전류 특성

Fig. 4. Current voltage characteristics for negative and positive gate voltages after stress fluence 1.06C/cm².

그림 4는 초기상태에서 스윕 스트레스 전류량 1.06C/cm²를 인가하고 난 후 양음 게이트 전압에 대한 전압 전류밀도를 측정한 것이다. 초기상태에 대한 2V에서 5V사이의 저레벨 누설전류는 $1.00 \times 10^{-11} \sim 1.60 \times 10^{-11} A/cm^2$ 이고 스윕 스트레스 전류량 1.06C/cm²를 인가하고 난 후, 첫 번째 양 게이트 전압에 대한 전류량의 변화는 $5.00 \times 10^{-11} \sim 2.76 \times 10^{-12} A/cm^2$ 이고 두 번째 양 게이트 전압에 대한 전류량 변화는 $3.00 \times 10^{-11} \sim 1.76 \times 10^{-12} A/cm^2$ 였다. 스윕 스트레스 전류량 1.06C/cm²를 인가하고 난 후, 첫 번째 음 게이트 전압에 대한 전류량의 변화는 $4.50 \times 10^{-10} \sim 6.15 \times 10^{-10} A/cm^2$ 이고 두 번째 음 게이트 전압에 대한 전류량 변화는 $2.60 \times 10^{-11} \sim 1.52 \times 10^{-10} A/cm^2$ 였다. 고스트레스 전압을 인가한 후 양음 저레벨 전압 전류특성을 측정하고 다시 양음 저레벨 전압 전류특성을 측정하면 첫 번째 전류특성보다 같은 형태의 낮은 값을 나타낸다. 그리고 양 게이트 전압 전류보다 음 게이트 전압 전류의 감소가 더 큼을 알 수 있다.

스윕 단계전압을 변화시키면서 측정한 전압 전류특성은 그림 5와 같다.

그림 5는 스윕 전압을 0.2V, 0.4V, 0.6V, 0.8V, 1.0V로 변화시켜 전압 전류특성을 측정하였다. 스윕 전압의 변화율이 증가할수록 저레벨 누설전류의 변화율이 증가함을 알 수 있다.

고스트레스 전압에 의한 저레벨 누설전류는 산화막에 발생된 트랩에 관계된다. 저레벨 누설전류의 증가

는 스트레스에 의한 산화막 내의 발생된 트랩의 수에 비례한다. 트랩은 산화막 계면 및 산화막 전체에 분포되어 있다. 스트레스에 의해 발생된 양음 게이트 전압에 의한 저레벨 누설전류의 대칭성은 산화막에 발생된 트랩이 전체에 분포되었음을 나타낸다. 계면트랩과 벌크트랩은 스트레스 전류량에 비례한다.

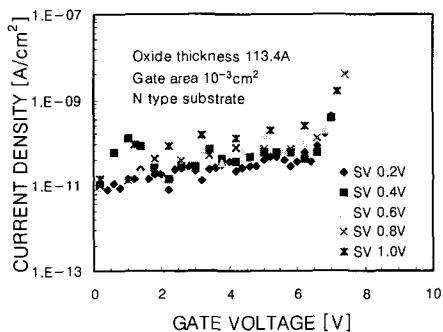


그림 5. 스텝 게이트 전압에 따른 전압전류 특성
Fig. 5. Current voltage characteristics according to the step gate voltages.

IV. 결 론

얇은 실리콘 산화막에서 고스트레스 전압에 의한 저레벨 누설전류를 측정하여 다음과 같은 결론을 얻었다.

1. 스트레스 전압이 증가할수록 누설전류는 증가하였으며 반복적인 스트레스에도 증가하였다.
2. 양음 게이트 전압에 의한 누설전류는 같은 형태의 전압 전류특성이 나타났다.
3. 스트레스를 인가하고 난 후, 반복적인 저레벨 누

설전류의 측정에서 누설전류가 감소하는 것으로 나타났다.

4. 스트레스 전압에 의한 저레벨 누설전류의 증가는 산화막에 발생된 트랩의 충전과 방전에 의해 발생함을 알았다.
5. 트랩의 변화상태는 스트레스와 저레벨 전류의 측정방법에 의해 저레벨 누설전류를 변화시켰다.

참 고 문 헌

- [1] J. R. Maddux, et al., "Correlation of stress leakage current in thin oxides with trap generation inside the oxides," IEEE Trans. Electron Devices, Vol. 40, No. 5, pp. 986-993, 1993.
- [2] D. P. Wong, et al., "Low level leakage currents in thin silicon oxide films," J. Appl. Phys., Vol. 76, No. 1, pp. 319-327, 1994.
- [3] D. J. Dumin, et al., "High field related thin oxide wearout and breakdown," J. Electrochem. Soc., Vol. 142, No. 2, pp. 586-590, 1995.
- [4] R. S. Scott, et al., "The charging and discharging of high voltage stress generated traps in thin silicon oxide," IEEE Electron Devices, Vol. 43, No. 1, pp. 130-136, 1996.
- [5] J. C. Mitros, et al., "Thickness dependence of stress induced leakage currents in silicon oxide," IEEE Trans. Electron Devices, Vol. 44, No. 6, pp. 993-1001, 1997.

저 자 소 개

姜昌秀(正會員)

1956년 10월 6일생. 1982년 2월 광운대학교 공학사. 1986년 2월 한양대학교 공학석사. 1992년 2월 광운대학교 대학원 전자재료공학과 공학박사. 1995년 12월 ~ 1996년 12월 Clemson University Post Doc. 1991년 3월 ~ 현재 유한대학 전자과 부교수



金東鎮(正會員)



1948년 5월 4일생. 1974년 2월 광운대학교 공학사. 1979년 2월 연세대학교 공학석사. 1997년 1월 ~ 1998년 12월 Clemson University 객원교수. 1982년 3월 ~ 현재 유

한대학 전자과 교수