

論文98-35T-6-2

Schottky 장벽 접합을 이용한 MOS형 소자의 소오스/드레인 구조의 특성

(The characteristics of source/drain structure for MOS typed device using Schottky barrier junction)

柳 章 烈 *

(Jang-Ryeol Ryu)

요 약

Submicron급의 고집적 소자에서는 종래의 긴 채널 소자에서 생기지 않던 짧은채널효과에 기인하는 2차원 적인 영향으로 고온전자(hot carrier) 등이 발생하여 소자의 신뢰성을 저하시키는 요인이 되고 있어 이들의 발생을 최소화할 수 있는 다양한 형상의 소오스/드레인 구조가 연구되고 있다. 본 논문에서는 제작공정의 간략화, 소자규모의 미세화, 응답속도의 고속화에 적합한 소오스/드레인에 Schottky장벽 접합을 채택한 MOS형 트랜지스터를 제안하고, p형 실리콘을 이용한 소자의 제작을 통하여 동작특성을 조사하였다. 이 소자의 출력특성은 포화특성이 나타나지 않는 트랜지스터의 작용이 나타났으며, 전계효과 방식의 동작에 비하여 높은 상호콘더턴스를 갖고 있는 것으로 나타났다. 여기서 고 농도의 채널층을 형성하여 구동 전압을 낮게하고 높은 저항의 기판을 사용하면서 드레인과 기판사이의 누설전류를 감소시키는 등의 개선점이 있어야 할 것으로 나타났다.

Abstract

The VLSI devices of submicron level trend to have a lowering of reliability because of hot carriers by two dimensional influences which are caused by short channel effects and which are not generated in a long channel devices. In order to minimize the two dimensional influences, much research has been made into various types of source/drain structures. MOS typed tunnel transistor with Schottky barrier junctions at source/drain, which has the advantages in fabrication process, downsizing and response speed, has been proposed. The experimental device was fabricated with p type silicon, and manifested the transistor action, showing the unsaturated output characteristics and the high transconductance comparing with that in field effect mode. The results of trial indicate for better performance as follows; high doped channel layer to lower the driving voltage, high resistivity substrate to reduce the leakage current from the substrate to drain.

I. 서 론

Sub-half micron급의 실효게이트 길이를 갖는 MOS소자는 2차원의 물리적 작용으로 소자의 특성에

악영향을 미쳐 항복전압 및 문턱전압의 천이는 물론 드레인 영역의 전계증대에 따른 신뢰성의 감소가 문제 되고 있다.^[1] 짧은채널효과(short channel effect)에 의해 나타나는 펀치-스로우(punch-through)에 의한

* 正會員, 天安工業大學 電子科

(Dept. of Elec. Eng., Cheonan Nat. Tech. College)

※ 본 논문은 '97 학술진흥재단의 연구비 지원에 의한

연구결과의 일부임.

接受日字: 1998년 4월 18일, 수정완료일: 1998년 6월 3일

항복전압 및 문턱전압의 감소, 고온전자(hot carrier)에 기인한 기판전류 및 게이트 전류의 발생과 그에 따른 소자의 신뢰성 저하, subthreshold 특성 저하 등이 고려의 대상이 된다.^[2] 이러한 문제점을 해결하기 위하여 여러 가지 형상의 소오스/드레인(source/drain)구조가 연구되고 있으며, 이들은 드레인 영역 근처의 전계를 감소시켜 충격이온화(impactionization)현상을 줄이는 방법을 채택한 것으로 LDD (lightly doped drain)와 변형된 LDD(MLDD, PLDD, ITLDD), DDD(double doped drain)^[3,4], CG (concaved gate)^[5]구조와 3차원적으로 채널을 확장한 Grooved Gate구조^[6]등 다양한 형상의 소자들이 제안되어 제작되고 있다. 여기서 LDD구조의 소자는 채널과 소오스/드레인 사이에 n-영역이 존재하여 드레인 영역의 전계를 감소시키는 장점이 있으나, 드레인이 직렬저항으로 작용하여 보통의 소자보다 드레인 전류가 적게 흐를 가능성, 공정상 측벽폭(sidewall spacer width)을 형성할 때, 식각(etching)에 의한 실리콘 표면손상, 이온주입에 따른 여러 가지 공정의 복잡성, 고집적화를 위한 얇은 접합깊이 등 많은 단점에 직면할 것으로 예측된다. CG구조는 게이트 영역을 음폭(paste)을 통하여 드레인 만곡부의 전계를 감소시켜 신뢰성이 향상되는 장점이 있으나, 많은 공정이 추가되는 단점이 있고 있다. 한편 Grooved Gate구조는 Gate의 Poly Silicon을 Concave한 모양으로 구성하여 채널이온주입한 영역으로부터 드레인이 분리되는 DSC(drain separated from channel region)가 존재하여 드레인 영역 근처의 전계를 크게 약화시켜 충격이온화를 줄일 수 있는 장점이 있으나, 게이트가 소오스/드레인과 중첩되는 영역이 소오스/드레인 접합 부분까지 확장되어 C_{gs} 또는 C_{gd} 값의 증가에 의한 지연시간이 커질 수 있고 트랜치(trench) 공정을 형성할 때, 실리콘의 표면 손상, 게이트 산화막의 불균일 등으로 인한 소자의 구동능력 저하가 예상된다.

본 연구에서는 소오스/드레인 구조의 형성을 이온주입방식이 아닌 실리사이드(silicide)를 이용한 Schottky장벽 접합을 통하여 구현하므로 이온주입공정에서 오는 여러 가지 문제점과 공정의 복잡성을 줄이면서 얇은채널효과의 제한을 최소화할 수 있는 SBT(Schottky Barrier Tunneling effect) MOS 소자로 명명된 소오스/드레인 구조의 소자를 제안하고, p형 실리콘을 이용한 소자의 제작을 수행하였으며, 여기서

얻은 전기적 특성의 측정에서 고집적 소자에의 응용 가능성을 조사하였다. 본 논문에서 제안하고자 하는 트랜지스터는 MOSFET와 같이 게이트 산화막을 이용한 절연 게이트 구조를 갖지만, Schottky장벽 접합을 채택한 구조에서 터널(tunnel)전류를 이용하여 동작하도록 하는 것이 종래의 FET와 다르다. 이 소자는 전계효과를 이용하는 것이 아니고 Schottky장벽으로의 터널효과를 이용하는 것이므로 새로운 미세화 기술에 대한 가치가 있을 것으로 생각된다.

II. 소자의 소오스/드레인 구조

그림 1에서 보여주고 있는 바와 같이 SBT 소자의 기본적인 구조는 보통구조의 MOSFET와 유사하나 MOSFET와는 두가지의 차이점을 들 수 있다. 첫째는 SBT 소자의 소오스/드레인(source/drain)접촉은 실리사이드(silicide)를 이용하여 채널층과 Schottky장벽을 이루게 되며, 두 번째는 채널층이 10^{17} cm^{-3} 정도로 도핑을 하게 되는 것이 다른데, 이 채널 층은 소오스/드레인 접합의 공핍층을 대단히 좁게 할 수 있어서 얇은채널효과를 줄일 수 있으므로 소자의 스케일링=scaling)에 유리하여 고집적 소자에의 응용이 가능하다.

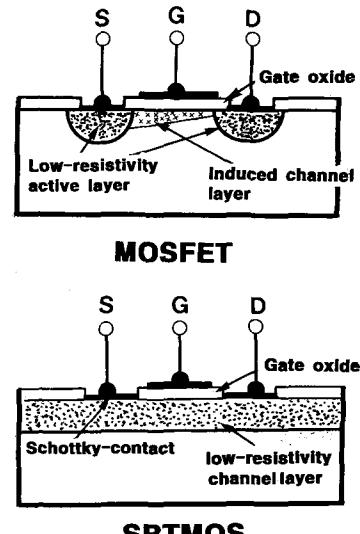


그림 1. MOSFET 와 SBT 소자의 비교
Fig. 1. Comparison of MOSFET and SBT devices

SBT 소자의 동작원리는 보통구조의 MOS 소자와는 아주 다르다. 그림 2(a)에서 보여준 구조를 생각하

여 보자. 그림 2(b)와 그림 2(c)는 그림 2(a)의 구조에 대하여 정(positive)의 드레인 전압을 공급할 때 에너지 밴드(energy band) 구조를 보여주고 있는데, 0 게이트 바이어스에서 전자들은 소오스 접촉의 Schottky장벽에 역 바이어스 영향으로 소오스 전극에서 채널 영역으로 주입할 수가 없다. 그림 2(c)에서 보여주는 바와 같이 충분한 정(positive)의 게이트 바이어스가 공급될 때 게이트 절연체에 가까운 Schottky장벽 접합에서의 전계가 장벽 폭을 줄이도록 충분히 증가하여 전자들은 터널효과(tunnel effect)로 얇아진 Schottky장벽을 통하여 채널 층으로 터널(tunnel)하여 방출하게 된다. 이 방출된 터널 전류는 게이트 전압에 의하여 변화된 Schottky장벽의 전계에 상당히 민감하기 때문에 높은 전달 특성을 갖을 것으로 기대된다. 더욱이 이 소자는 채널 길이가 짧아질 때 나타나는 짧은 채널효과의 제한없이 빠르게 동작할 수 있으므로 고속 소자에의 응용이 가능하며, 이 소자의 또다른 특징은 기본적으로 표면 반전층(inversion layer)이 게이트 전압에 의하여 제어되는 보통 구조의 MOSFET와 같으나 보통 구조의 소자가 갖는 반전층을 저 저항성 재료(n-)을 이용하여 채널 영역을 미리 확보하는 구조적 특징을 갖도록 설계하는 것이다.

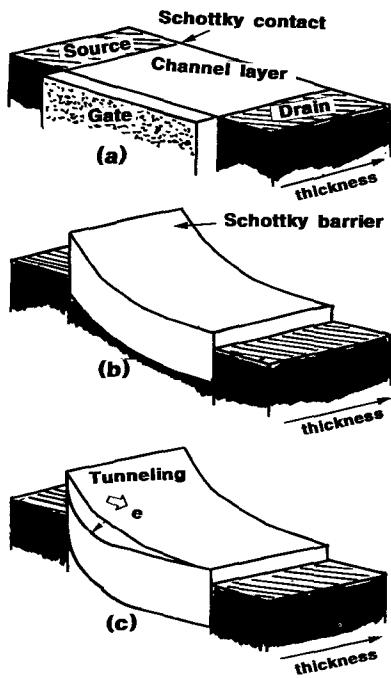


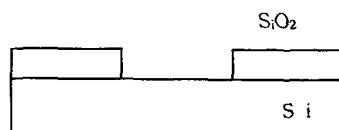
그림 2. SBT 소자의 동작원리
Fig. 2. The operating principle of a SBT device.

III. SBT pMOS 소자의 구조 및 제작

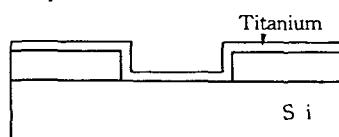
1. Ti 실리사이드의 형성

pMOS의 소오스/드레인 영역의 실리사이드(silicide) 공정을 위하여 Ti재료를 선택하여 실리사이드 다이오드를 제작하였으며, 여기서 증착율, 식각조건 및 열처리 조건 등을 얻고자 하였다. 우선 비저항이 $5\sim25 \Omega\text{-cm}$ 인 p형 (100)실리콘 기판을 준비하였다. 이 실리콘 기판에 4000 \AA 의 SiO_2 를 성장시킨 후, 마스크를 이용하여 창(window)를 뚫고 여기에 10^{-6} Torr 의 sputter의 압력에서 $200\text{ \AA}\sim650\text{ \AA}$ 두께로 Ti을 증착하였다. 비정질 상태인 Ti 실리사이드를 TiSi_2 로 결정화시키기 위하여 N_2 분위기에서 $400^\circ\text{C}\sim550^\circ\text{C}$ 의 온도로 20sec동안 급속열처리 공정을 수행하였다.

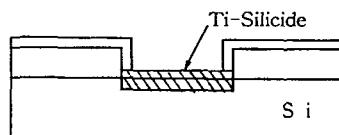
(a) Pattern Oxide Silicon



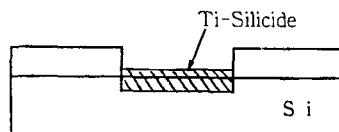
(b) Deposit Titanium



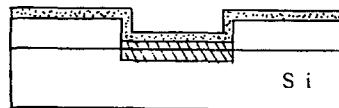
(c) Sintering



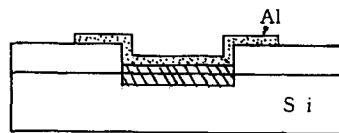
(d) Selective Etch Metal



(e) Al Deposition



(f) Selective Etch Aluminum



(a) Fabrication Process

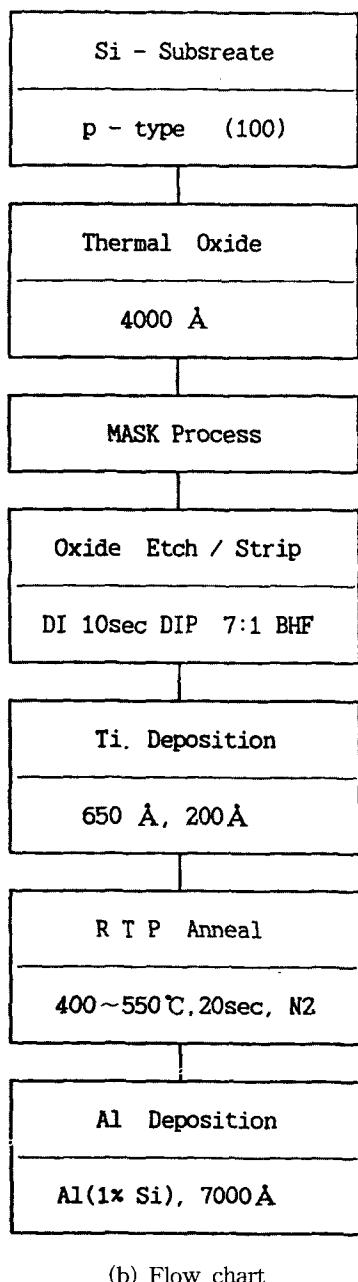


그림 3. Ti 실리사이드 다이오드의 제작공정 및 흐름도
Fig. 3. Flow chart and fabrication process for Ti-silicide diode.

그 후 반응하지 않는 Ti을 없애기 위하여 RIE-80장비를 이용하여 식각하였다. 이때 식각 조건은 가스혼합비 Ar : CCl₂F₂ = 15:18, RF 전력 140W~160W, 압력은 50mTorr~60mTorr에서 실시하였다. 식각 후 Al (1% Si)을 7000Å 증착하여 전극으로 이용하였다. 그 공정과정과 흐름도를 그림 3에서 나타내었다.

2. 소자의 제작 방법

그림 4에서는 Schottky터널 트랜지스터의 제작을 위한 일반적인 공정의 주요 단면을 보여주고 있으며, 그림 5에서는 제작된 SBT pMOS 소자의 구조를 나타내었다.

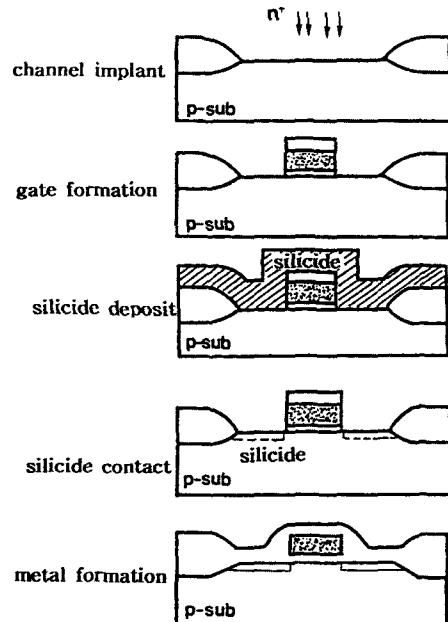


그림 4. SBT MOS 소자의 제작공정 단면도
Fig. 4. Cross section of fabrication process for SBT MOS devices.

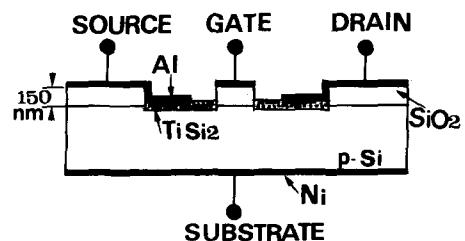


그림 5. SBT pMOS 소자의 구조
Fig. 5. Structure of SBT pMOS device

(1) 게이트 산화막의 형성

기판은 방향이 (100)이고 비저항이 5~25Ω·cm인 p형 Si을 열산화에 의해 게이트 산화막을 150nm정도 성장한 것을 이용하였다. 특성을 생각하면 가능한 한 얇은 산화막이 요구되지만 구조 상 게이트와 소오스/드레인 사이의 절연성을 충분히 유지하기 위하여 이와 같이 두꺼운 게이트 산화막을 이용하였다.

(2) 게이트 전극의 형성

우선, 산화막 위에 lift-off에 의해 Al 게이트 전극

을 형성하였다. 이 때의 게이트 전극의 폭은 실제의 게이트 길이보다 2~3배 넓게 하였다.

(3) 소오스/드레인 전극의 형성

다음에 소오스/드레인 전극을 위하여 패턴을 감광물질에 의하여 형성하였다. 이때의 소오스/드레인 패턴의 거리가 실제의 게이트 거리로 되고 처음에 중착한 게이트 전극의 일부와 겹친다. 이 겹쳐진 부분의 Al을 식각한 후, 탈 이온수로 세척하고 전조한 다음, 중착장치에 장착하였다. 소오스/드레인 전극 금속은 p형 실리콘과 Schottky 장벽 접합을 형성하는 Ti를 이용하여 약 450Å 정도 중착한 후, 그 위에 산화 방지를 위하여 Al을 약 300Å 정도 중착하였다.

(4) 기판전극형성

실리콘 기판 전위를 결정하기 위하여 기판 뒤편에 Ni을 이용하여 기판 전극을 형성하였다.

(5) 실리사이드의 형성

금속-반도체 계면의 안정화를 위하여 질소 분위기 중에서 450°C로 20sec동안 금속열처리 공정을 통하여 실리사이드를 형성하였다.

IV. 결과 및 고찰

1. 정류특성

소오스/드레인 영역에 이용하였던 Ti-Si Schottky 장벽 접합에 대한 정류 특성의 결과를 그림 6에 나타내었다. 여기서 소오스 전극은 접자를 하고 드레인 전극은 개방한 상태에서 소오스 전극과 그 뒤편의 기판 전극을 이용하여 측정하였다. 이 때 게이트 전극의 전위는 소오스를 기준하여 -4V, 0V, +4V로 변화시켰다. 기판 전극을 (+)로 한 순방향 특성에서 n형과 p형의 장벽 높이 ϕ_{BP} 는 각각 1.026eV과 0.69eV의 값이 얻어졌다. 이 때 정공에 대한 Richardson 상수 A^{**} 는 $30\text{Acm}^{-2}\text{k}^{-2}$ 을 이용하였다.^[10] 이 순방향 특성에서는 게이트 전압에 의한 변화가 나타나지 않았는데, 이것은 게이트 영역에 의한 전계 변화를 받는 부분은 극히 일부이고 이 부분의 전류변화가 그 밖의 다른 영역에 흐르는 순방향 전류를 없애기 때문인 것으로 생각된다.

한편, 역방향 특성에서는 게이트 전압에 대한 변화가 나타났는데, $V_G = -4V, 0V$ 에 있어서 역방향 전류는 역방향 전압이 1V 이하의 범위에서 순방향으로부터 구하였던 포화전류의 값 I_S 와 일치하나, 역방향 전압이

1V이상의 범위에서는 I_S 의 증가가 확인되었다. 이 증가는 게이트 바로 밑의 계면이 공핍화되는 것에 의해 거기에 많이 존재하는 계면 준위에서의 재결합 전류가 증가하기 때문이라고 생각된다. 즉, 역방향 전압이 4V 이상이 되면 후에 기술할 Schottky 장벽의 터널효과 방식으로 동작할 때의 출력특성과 같이 $V_G = -4V, 0V$ 에서 분명한 차이를 보였다. 또 $V_G = 4V$ 의 경우 포화상태는 균일하지만, 순방향에서 구한 I_S 보다 처음부터 값이 차이가 있음을 보였다. 이것은 게이트 계면이 반전하기 때문에 표면 공핍 영역, 즉 전계 유기형 접합의 공핍영역 내에서 발생한 전류에 기인하기 때문이라고 생각되어진다.

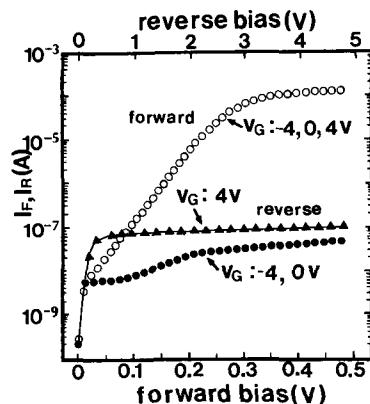


그림 6. Schottky 장벽 접합의 정류특성

Fig. 6. Rectification characteristics of the Schottky barrier junction.

2. 전계효과특성

SBT pMOS 소자의 터널효과 출력특성을 보기 전에 이 소자를 보통의 전계효과 방식으로 동작시켜 보았다. 즉, 제작한 p채널 SBT 소자는 n채널 MOSFET로도 충분히 동작을 하고 있었다. 이와 같은 트랜지스터는 SBT MOS 소자로 Latch-up이 억제되는 CMOS회로의 실현을 위한 가능성을 보여주는 것으로 생각된다. 그림 7에서는 기판 전극을 소오스와 같은 접지 전위로 하였을 때의 출력 특성을 나타내었다.

이 그림에서 FET와 같은 출력특성이 얻어지고는 있으나, OFF일때의 누설전류가 상당히 크게 나타났다. 이것은 정공에 대한 Schottky 장벽의 높이 0.69eV로는 아직 불충분하기 때문에 나타나는 것으로 생각된다. $V_D = 1V$ 에서의 $I_D^{1/2} - V_G$ 곡선에서 문턱전압 V_{TH} , 전계

효과의 이동도 μ_{EF} 는 각각 1.0V, $970\text{cm}^2/\text{V.s}$ 로 나타났으며, 또 $V_D=1\text{V}$ 에서의 상호 컨덕턴스 g_m 은 약 $29.5\mu\text{S}$ 이었다.

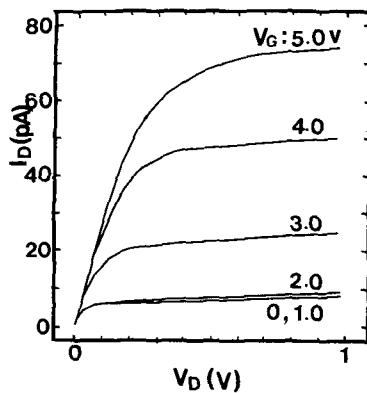


그림 7. SBT MOS 소자에 대한 전계효과 방식의 출력 특성

Fig. 7. Output characteristics of field effect mode for SBT MOS devices.

3. 터널효과특성

그림 8에서는 드레인 전압과 게이트 전압을 같이 (-)로 인가한 경우에 나타나는 터널 현상의 출력 특성을 보여주고 있다. 여기서 기판 전극은 드레인과 같은 전위로 하였는데, 이것은 기판 전극을 접지로 하면 드레인과 기판전극 사이에서 전압 방향이 순방향으로 되어 기판에서 드레인으로 전류가 흐르는 것을 막기 위함이다. 제작된 SBT MOS 소자는 게이트 전압에 의해 드레인 전류가 변화하므로 분명히 트랜지스터 동작을 수행하고 있음을 보여 주었다.

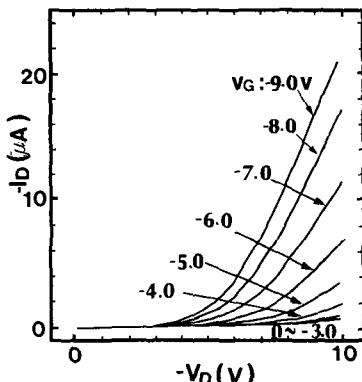


그림 8. SBT MOS 소자에 대한 터널효과 방식의 출력 특성

Fig. 8. Output characteristics of tunnel effect mode for SBT MOS devices.

또 드레인 전류는 포화하지 않고 3극 진공관적인 특성으로 나타났다. 이 특성은 소오스에 대하여 Schottky 장벽 접합이 항복하여 터널 전류가 흘러나와 드레인 전압이 게이트 전압에 의해서 변화되어 나타나는 현상으로 생각할 수 있다.

여기서 제작된 SBT MOS 소자의 Si기판은 $5\sim 25\Omega\text{-cm}$ 로 높은 저항값을 갖고 있고 Schottky 장벽에서 터널 전류가 흐르기 어려운 상황이 있을 수 있으나, 일반적으로 Schottky 장벽 접합과 pn접합에 게이트 영역이 주어지는 경우 게이트 끝에서의 전계가 강해져 그 역방향 항복 전계는 상당히 작게 되는 것으로 알려져 있다.^[12] 따라서 이 경우도 고 저항 기판에서의 터널 전류라고 생각되어 진다.

4. 전달특성

그림 9는 $V_D=9\text{V}$ 에서의 I_D-V_G 곡선이다. 게이트의 문턱전압 V_{TH} 와 드레인 전압은 전계효과 방식일 때에 비하여 상당히 큰 값을 나타내었으나, 상호컨덕턴스 g_m 은 $5.0\mu\text{S}$ 로 전계효과 방식의 특성보다 훨씬 큰 값을 보여 주었다.

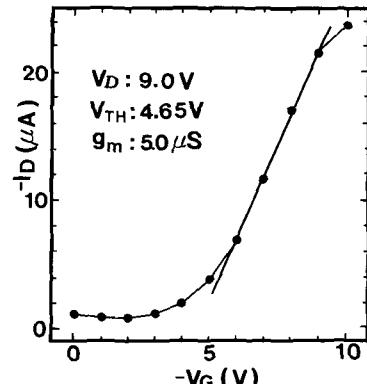


그림 9. SBT MOS 소자의 I_D-V_G 특성곡선

Fig. 9. I_D-V_G characteristics curve of SBT MOS devices.

V. 결 론

제작 공정의 간략화, 소자규모의 미세화, 응답속도의 고속화에 적합한 소오스/드레인에 Schottky 장벽 접합을 갖는 터널 트랜지스터의 제작을 수행하였다. 제작된 터널 트랜지스터는 비포화형의 소자 특성을 나타내고 높은 상호컨덕턴스를 갖고 있음을 확인하였다. 그러나 이러한 장점에도 불구하고 계속적인 특성의 개

선이 있어야 할 것으로 보인다. 첫째의 문제는 문턱전압이 4.6V로 높고 구동전압도 10V정도로 높다. 이것은 고 저항 기판을 이용하고 있기 때문이며, 앞절의 동작원리 부분에서 기술한 바와 같이 높은 불순물 농도를 갖는 채널층을 형성하는 것으로 이 두가지 전압값은 낮게할 수 있을 것이다. 불순물 농도는 약 10^{17} cm^{-3} 이 적당하다고 생각된다. 둘째는 OFF일때의 누설전류의 감소가 문제이다. 이 누설전류는 주로 불필요한 소오스 전극으로부터 흘러들어온다고 생각되기 때문에 소오스 전극은 가능한한 작게 하고 게이트와 접근하는 비율을 크게 하는 것이 요망된다. 또 계면준위에서의 재결합 전류도 누설의 원인이 되므로 양호한 계면 특성이 요구된다. 마지막은 기판 전위이나 제작된 SBT MOS 소자는 기판으로부터 드레인으로의 전류를 막기 때문에 기판 전위는 드레인 전위로 하였다. 그러나 접적화를 하는 경우 기판전위는 접지되는 것이 바람직하다. 따라서 기판을 접지하기 위하여는 p형 기판 위에 n형 채널층을 이용하는 구조로 하던가 혹은 SOI(silicon on insulator)구조로 하는 것이 좋다. 또 제작된 소자에서 게이트 절연막이 150nm로 상당히 두꺼운 것을 이용하였지만, 이것을 수십nm정도로 얇게 하므로 게이트 전압이 소오스 근처의 전계에 큰 영향을 미치도록 하여 특성의 향상을 기대할 수 있을 것이다. 이러한 조건에 부합할 수 있는 소자의 제작이 현재 진행 중에 있다.

참 고 문 헌

- [1] C.Hu, S.C.Tam, "Hot-Electron Induced MOSFET Degradation" IEEE Trans. Elec. Dev. ED-32, No.2, p.375, 1985.
- [2] C.Duvvry,*et al*, "Series resistance modeling for optimum design of LDD transistors" IEDM, p.388, 1983.
- [3] H.Mikoshiba,T.Horiuchi and K.Hamano, "Comparison of drain structure in n-channel MOSFETs" IEEE Trans. Elec. Dev. ED-33, No.1, p.140, 1986.
- [4] J.J.Sanchez, K.K.Hsueh, T.A. Demassa, "Drain-Engineered Hot-Electron-Resistant Device Structures: A Review IEEE Trans. Elec. Dev. Vol.36, No.6, p.1125, 1989.
- [5] P.Ratnam, A.Naem, "DRAIN ENGINEERING OF HOT-CARRIER-RESISTANT MOSFETS USING CONCAVE SILICON SURFACES FOR DEEP SUBMICRON VLSI TECHNOLOGY" Solid-State Electronics Vol.33, No.9, p.1163, 1990.
- [6] E.Takeda, H.kume, S.Asai, "New grooved gate MOSFET with drain separated from channel implanted region" IEEE Trans. Elec. Dev. ED-30, No.6, p.681, 1983.
- [7] K.Yamaguchi, IEEE Trans.Electron Devices ED-30, p.658, 1983.
- [8] T.Mochizuki and K.D.Wise, IEEE Trans. EDL-5, p.108, 1984.
- [9] R.Hattori,A.Nakae and J.shirafuji, Jpn.J. Appl.Phys. No.31, p.1467, 1992.
- [10] S.M.sze, "Physics of semiconductor Device" Wiley, New York, p.257, 1981.
- [11] J.R.Ryu, KITE, No.11, p.61, 1997.
- [12] R. HATTORI, A.Akihiro, J.SHIRAFFUJI, IEICE, SDM92-136, p.107, 1992.

저 자 소 개

柳 章 烈(正會員) 第11卷第1號參照
현재 천안공업대학 전자과 부교수