

論文 98-35D-12-7

Buried Channel 다결정 실리콘 박막 트랜지스터의 설계 및 제작 (Design and Fabrication of Buried Channel Polycrystalline Silicon Thin Film Transistor)

朴喆民*, 姜智勳*, 柳俊錫*, 韓民九*

(Cheol-Min Park, Ji-Hoon Kang, Juhn-Suk Yoo, and Min-Koo Han)

요 약

다결정 실리콘 박막 트랜지스터를 이용한 회로의 성능 향상을 위하여 새로운 구조의 4-terminal buried channel poly-Si TFT(BCTFT)를 설계하고 제작하였다. BCTFT는 moderate 도핑이 된 buried channel 을 이용하므로 기존의 다결정 실리콘 TFT보다 ON-전류와 전계 효과 이동도가 n-형과 p-형 소자 각각 5 배와 10배 향상되었다. BCTFT는 moderate 도핑된 buried 채널과 counter 도핑된 body 사이의 junction 공핍에 의하여 캐리어의 이동이 억제 되므로 OFF-전류가 증가하지 않았다.

Abstract

A buried channel poly-Si TFT (BCTFT) for application of high performance integrated circuits has been proposed and fabricated. BCTFT has unique features, such as the moderately-doped buried channel and counter-doped body region for conductivity modulation, and the fourth terminal entitled back bias for preventing kink effect. The n-type and p-type BCTFT exhibits superior performance to conventional poly-Si TFT in ON-current and field effect mobility due to moderate doping at the buried channel. The OFF-state leakage current is not increased because the carrier drift is suppressed by the p-n junction depletion between the moderately-doped buried channel and the counter-doped body region.

I. 서 론

최근 레이저 결정화에 의한 저온 다결정 실리콘 박막 트랜지스터 제작 기술이 발달함으로써, 저가의 유리 기판에 액정 평판 디스플레이(AMLCD)^[1], 광스캐너^[2] 등의 대면적 전자 장치 개발에 대한 연구가 활발히 진행되고 있다. 다결정 실리콘 TFT(Thin Film Transistor)의 이동도 특성이 매우 향상되어 유리 기판에 각종 구동회로를 집적함으로써 전자 장치의

성능 향상과 생산 단가를 감소시킬 수 있게 되었다. 기존의 다결정 실리콘 TFT는 누설전류가 큰 단점이 있어 채널과 드레인 사이에 오프셋을 형성하는 등^[3]의 구조적 보완이 요구된다. 그러나, 이러한 오프셋 구조는 소자의 구동전류를 억제 시키는 문제점이 있다^[4]. 또한 다결정 실리콘 TFT는 floating body 소자로서 구조적으로 kink 현상이 나타나서 구동 회로의 동작 속도 저하 및 동작 오류를 발생시킬 가능성이 크기 때문에^[5] 이에 대한 연구가 시급한 실정이다.

본 연구에서는 기존 다결정 실리콘 TFT의 구조적 개선을 통하여 소자의 구동전류를 향상시키고 누설전류를 억제 시키는 구조를 제안하였다. 새로운 소자는 MOSFET 구조에서만 적용되던 buried 채널^[6]을

* 正會員, 서울대학교 電氣工學部

(School of Electrical Engineering, Seoul National University)

接受日字:1998年7月20日, 수정완료일:1998年10月29日

다결정 실리콘 TFT에 적용하여, 이동도 특성과 전류 구동 특성을 향상시킨 구조이다. BCTFT(Buried Channel TFT)는 body 전극을 형성할 수 있는 구조로서 채널의 완전 공핍에 의해 kink 현상을 효과적으로 억제할 수 있다^[7]. 소자 시뮬레이션을 수행하여 구조적 특징 및 동작 특성을 설명하였고, 새로운 공정 방법으로 저온 다결정 실리콘 BCTFT를 제작하여 전달 및 출력 특성을 분석하였다.

II. 실험 및 결과

1. 소자 구조 및 시뮬레이션

본 연구에서는 새로운 공정 방법을 이용한 CMOS 다결정 실리콘 BCTFT를 제안하였다. Buried 채널은 이온 주입을 이용하여 counter 도핑을 한 하부 활성층 위에 상부 활성층을 증착하고 저농도 도핑을 수행하여 형성한다. BCTFT는 기존 TFT와 달리 4개의 단자로 구성되어 있다. 제안된 소자는 크게 두가지의 구조적 특징이 있는데 하나는 전도도 변조를 위한 buried 채널이고, 또 하나는 kink 현상 억제를 위해 back 바이어스를 인가할 수 있는 제4 단자이다. 제안된 BCTFT의 구조도를 그림 1에 제시하였다.

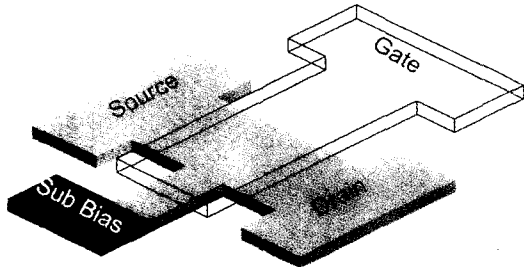


그림 1. 제안된 buried channel 다결정 실리콘 TFT (BCTFT)의 구조도. 저농도 도핑된 buried channel과 counter 도핑된 body로 구성되었으며, 게이트, 드레인, 소오스 외에 back 바이어스 단자가 추가되었다

Fig. 1. Schematic diagram of the proposed buried channel poly-Si TFT (BCTFT).

제안된 소자와 일반적으로 제작되는 다결정 실리콘 박막 트랜지스터의 반응자 분포로 소자의 동작 원리를 그림 2에서 설명하였다. 그림 2의 (a)는 일반적인 poly-Si TFT의 활성층 내부의 ON 상태의 전자 농도 분포를 나타낸 그림으로, 제안된 소자의 분포와 비

교해 보았을 때 채널의 분포가 더욱 실리콘 산화막과의 계면에 치우쳐 있음을 알 수 있다.

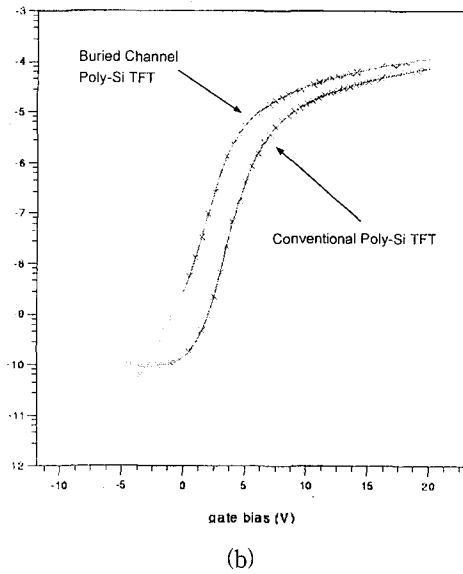
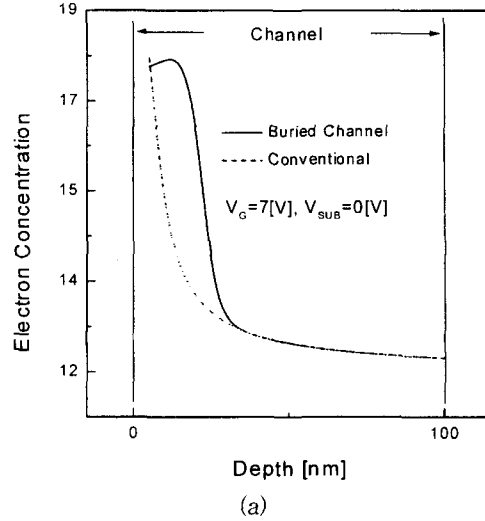


그림 2. BCTFT의 구동 시뮬레이션 결과
(a) 제안된 소자와 일반적인 구조를 갖는 다결정 실리콘 박막 트랜지스터의 ON 상태에서의 전자 농도 분포. $V_G=7[V]$, $V_{SUB}=0[V]$
(b) 제안된 소자와 일반적인 구조를 갖는 다결정 실리콘 박막 트랜지스터의 전달 특성 곡선

Fig. 2. Simulation results of BCTFT.
(a) Electron concentration profile of proposed & conventional poly-Si TFT. $V_G=7[V]$, $V_{SUB}=0[V]$ (b) Transfer characteristics of proposed & conventional poly-Si TFT

이는 채널 내의 전자 반응자가 게이트 전위에 영향을

받아서 활성층 내를 이동하여 전류가 흐를 때 poly-Si/Oxide 계면에 산란하여 이동도를 떨어뜨리는 것을 나타내는 것으로 제안된 구조의 소자는 전자의 이동 통로가 활성층의 내부로 내려와 있음(buried channel)으로 인하여 이동도의 손실이 없음을 예상할 수 있다^[8]. 또한 소자가 OFF 상태에서 동작할 때는 채널의 도핑 농도를 최저 설계하여 활성층 내부에 반송자의 공핍 영역이 존재하게 되므로 제안된 소자가 depletion mode가 아닌 enhanced mode로 동작하므로 누설전류를 차단하여 큰 ON/OFF 전류비를 얻을 수 있다. 그림 2(b)은 이에 따른 제안된 소자와 일반적인 구조를 갖는 poly-Si TFT의 전달 특성 곡선으로 설계된 소자가 우수한 전기적 특성을 보이는 것을 확인할 수 있다.

일반적으로 다결정 실리콘 박막 트랜지스터는 전자의 이동 통로인 활성층이 비교적 구조적으로 취약한 다결정 실리콘으로 제작되어 있어서 주변회로 소자로 제작될 때 심각한 kink 효과를 유발하게 된다고 알려져 있다^[7]. 제안된 소자는 일반적인 박막 트랜지스터와는 달리 4개의 전극을 갖고 있어서 다결정 실리콘 박막 트랜지스터가 ON 영역에서 동작할 때 활성층에서 발생하는 정공을 기판 전극으로 유출 시켜서 활성층의 기생 바이폴라 트랜지스터 동작을 방지하여 약점으로 지적되는 kink 효과를 억제시키는 구조로 설계되었다.

2. 소자 제작

n-형 BCFTFT의 공정 순서는 그림 3와 같다. 500 Å 두께의 비정질 실리콘을 증착한 후 BF_2^+ 이온을 ($1 \times 10^{12} cm^{-2}$, 30KeV) 주입하여 p-형 하부 전도도 변조층을 형성한다. 그 위에 500 Å 두께의 도핑되지 않은 비정질 실리콘을 다시 증착한 후 1000 Å 두께의 TEOS 희생층 산화막을 증착한다. 저농도 도핑된 buried 채널을 형성하기 위해 As^+ 이온을 ($1 \times 10^{14} cm^{-2}$, 70KeV) 주입한다. 그리고 비정질 실리콘 활성 박막을 XeCl 엑시머 레이저 열처리(ELA)하여 다결정 실리콘 재결정을 수행한다. 레이저 열처리 과정에서 하부 활성층의 BF_2^+ 이온이 상부로 확산하고, 상부 활성층의 As^+ 이온이 활성화되어 목표했던 p-n 접합의 수직 도핑 분포가 형성된다. 희생층 산화막을 제거한 후 게이트 산화막과 게이트 전극을 형성한다. 자기 정렬 이온 주입으로 소오스 및 드레인 전극을 형성한다.

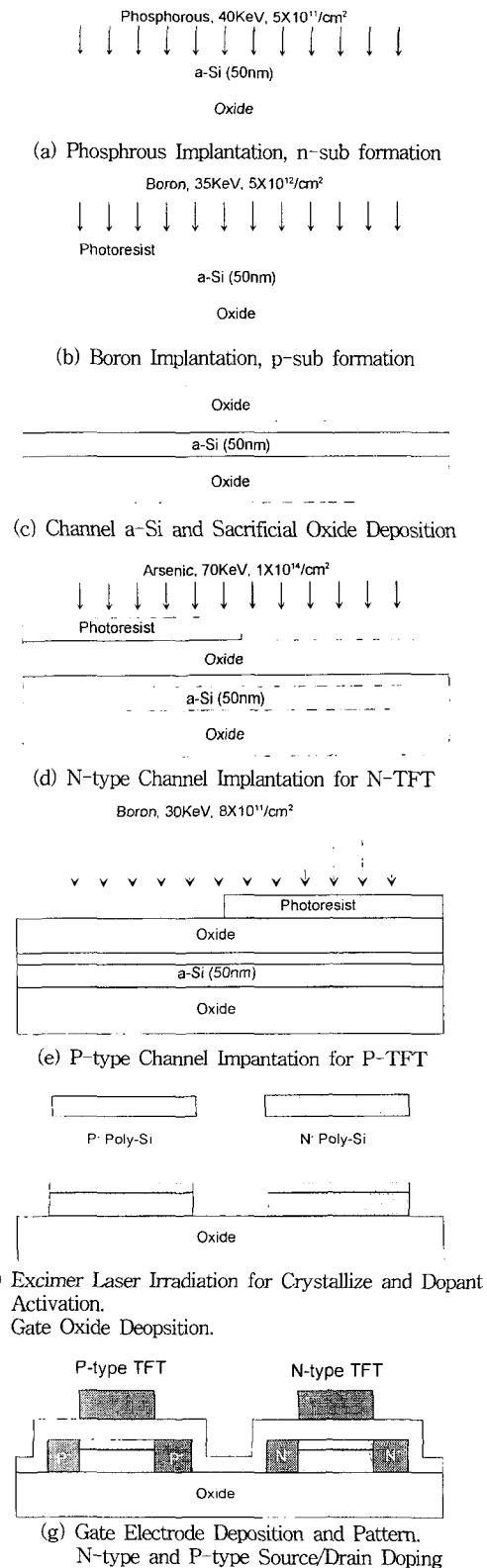


그림 3. 제안된 BCTFT의 공정 순서도
Fig. 3. Fabrication step of proposed BCTFT.

제안된 방법으로 제작한 이중 활성층의 단면 도핑 분포를 그림 4와 같이 SIMS로 확인하였다. n-형 BCTFT의 활성층 상부 표면에는 boron의 농도보다 arsenic 농도가 높다. 활성층의 하부로 갈수록 arsenic 농도가 급격히 감소하는데 이는 arsenic 이온의 확산 속도가 boron에 비해 낮기 때문이다. Buried 채널은 활성층 상부 표면에서 약 250Å 깊이에 형성됨을 알 수 있다. p-형 BCTFT의 경우 활성층 상부 표면의 boron 농도가 phosphor 농도보다 약 4배 높으며, buried 채널의 깊이는 약 220Å이다. 각각의 활성 하부 표면에는 전도도 변조를 위한 back 바이어스 전극을 형성한다.

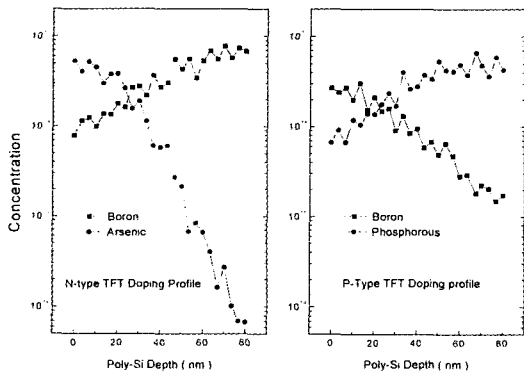


그림 4. 제작된 n-형과 p-형 BCTFT 활성층의 도핑 분포 (SIMS)

Fig. 4. SIMS profile of n-type and p-type BCTFT active channel.

3. BCTFT의 소자 특성

새로운 구조의 BCTFT와 기존 구조의 다결정 실리콘 TFT를 각각 제작하여 소자 특성을 분석하였다. BCTFT의 경우 소오스와 back 전극을 단락 시켜 전달 특성과 출력 특성을 측정하였다. 그림 5는 채널 길이 2 μ m, 채널 넓이 10 μ m인 n-형과 p-형 소자의 전달 특성 곡선이다. BCTFT의 ON-전류는 기존 TFT에 비해 n-형의 경우 약 5배, p-형의 경우 약 10배 증가하였음을 알 수 있다. 이는 저농도 도핑된 buried 채널의 이동도가 도핑되지 않은 채널에 비해 월등히 높기 때문이다^[8]. 게이트 전압이 0V인 OFF 상태일 때, 활성층 상부와 하부 사이에 p-n 접합 공핍 영역의 확장으로 캐리어의 이동을 억제하여 누설전류가 매우 낮다. 그러나, 게이트 전압이 5V 이하의 OFF 상태일 때, 채널에 소수 캐리어가 발생하여 기존 구조의

TFT보다 누설전류가 다소 높다.

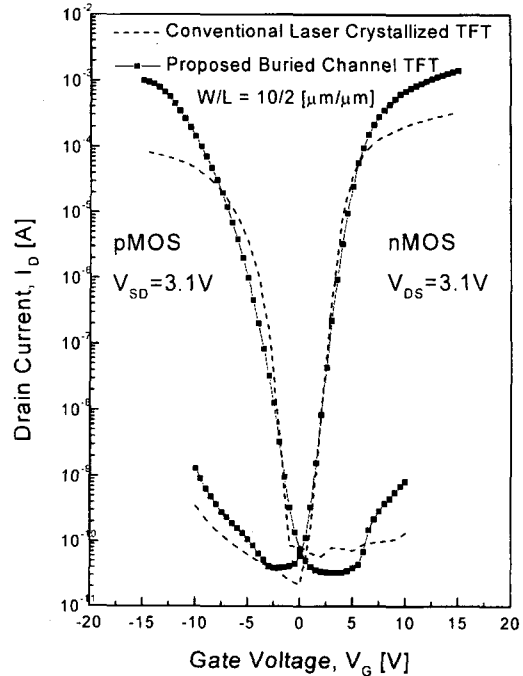


그림 5. 제작된 기존 구조의 다결정 실리콘 TFT와 BCTFT의 전달 특성 측정 곡선. BCTFT는 저농도 도핑된 buried channel의 이동도 증가로 ON-전류가 기존 TFT에 비해 n-형의 경우 약 5배, p-형의 경우 약 10배 증가하였다. OFF 상태일 때, 활성층 상부와 하부 사이에 p-n 접합 공핍 영역의 확장으로 캐리어의 이동을 억제하여 누설전류가 매우 낮으나, 게이트 전압이 5V 이하일 때, 채널에 소수 캐리어가 발생하여 기존 구조의 TFT보다 누설전류가 다소 높다

Fig. 5. Transfer characteristics of fabricated BCTFT and conventional poly-Si TFT.

Buried 채널과 body 사이의 접합 공핍 영역의 확장 현상은 소자의 출력 특성에 중요한 영향을 미친다. 그림 6에 제시된 n-형 TFT의 출력 특성 곡선을 보면 기존 구조의 TFT는 드레인 전압이 증가함에 따라 전류가 급격히 증가하는 kink현상이 나타남에 비해, BCTFT는 이러한 현상이 관찰되지 않는다. Kink 현상은 기존의 TFT 구조나 SOI(Silicon on insulator)와 같은 floating body 소자에서 나타나는 현상으로 드레인 전압이 증가할 때 전자와 정공 쌍이 생성되는데, 전자는 활성층 상부 표면을 따라 드레인으로 흐르고, 정공은 활성층 하부에 쌓여 전위를 증가시킨다. 활

성층 하부의 전위가 높아짐에 따라 기생 바이폴라 트랜지스터 액션에 의해 채널과 드레인 사이에 p-n 순방향 바이어스가 인가됨으로써 드레인 전류가 급격히 증가된다^[9]. BCTFT는 4단자 소자로서 활성층의 수직 p-n 접합 공핍 영역의 강한 전계에 의해 생성된 정공이 p-형으로 도핑된 body 전극으로 제거될 수 있기 때문에 기생 바이폴라 트랜지스터 액션이 일어나지 않는다. 따라서, 트랜지스터의 게인을 감소시키는 kink 현상을 효과적으로 제거함으로써 구동 회로의 속도를 증가시킬 수 있다.

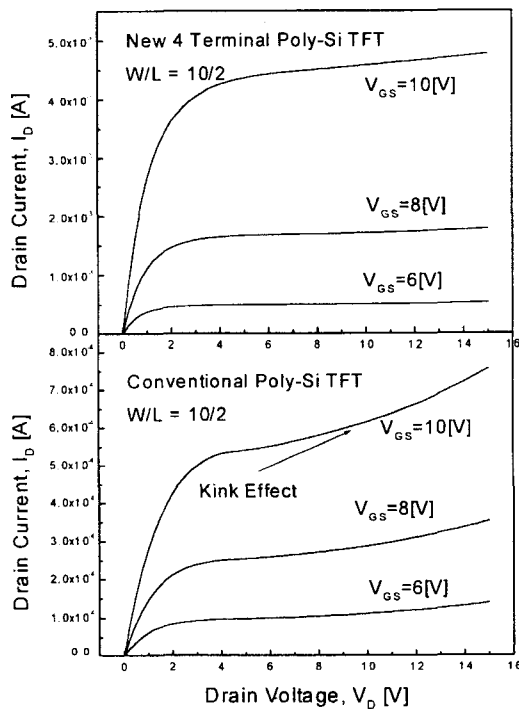


그림 6. 제작된 기존 구조의 다결정 실리콘 TFT와 BCTFT의 출력 특성 측정 곡선. 활성층의 수직 p-n 접합 공핍 영역의 강한 전계에 의해 생성된 정공이 p-형으로 도핑된 body 전극으로 제거될 수 있기 때문에 기생 바이폴라 트랜지스터 액션이 일어나지 않아 kink 현상이 효과적으로 억제되었다

Fig. 6. Output characteristics of fabricated BCTFT and conventional poly-Si TFT.

III. 결 론

본 연구에서는 다결정 실리콘 박막 트랜지스터의 이동도 특성을 개선하여 구동 회로의 성능을 향상시키기 위한 새로운 구조를 제안하였다. 제안된 소자는 활

성층 상부에 저농도 도핑된 buried 채널과 하부에 counter 도핑된 body를 형성하여 전류 구동 능력을 향상시킨 구조이다. BCTFT는 기존의 다결정 실리콘 TFT에 비해 ON-전류가 n-형과 p-형 각각 5배와 10배로 증가하였으며 누설전류도 매우 낮게 나타났다. BCTFT는 4단자 소자로서 활성층의 수직 p-n 접합 공핍 영역의 강한 전계에 의해 생성된 정공이 p-형으로 도핑된 body 전극으로 제거될 수 있기 때문에 기생 바이폴라 트랜지스터 도통 현상이 일어나지 않아 kink 현상을 효과적으로 억제하였다.

제작된 소자는 다결정 실리콘 박막 트랜지스터의 특성에 절대적인 영향을 미치는 게이트 산화막과 활성층과의 계면 문제에 그다지 영향을 받지 않을 것으로 분석되어서 다양한 증착 방법과 소재로 제작된 게이트 산화막을 이용한 실험이 진행 중이다.

참 고 문 헌

- [1] J. Ohwada et al, "Peripheral circuit integrated poly-Si TFT-LCD with gray scale presentation", *IEEE Trans. Electron Device*, vol. 36, p. 1923, 1989.
- [2] S. Morozumi et al, "Completely integrated contact-type linear image sensor", *IEEE Trans. Electron Devices*, ED-32, no. 8, p. 1546-1550, 1985.
- [3] K. Tanaka, H. Arai, and S. Kohda, "Characteristics of offset-structure poly-crystalline silicon thin film transistors", *IEEE Electron Device Lett.*, vol. 9, p. 23, 1988.
- [4] T.Y. Huang, I.-W. Wu, A.G. Lewis, A. Chiang, and R.H. Bruce : *IEEE Electron Dev. Lett.*, vol. 11, p. 541, 1991.
- [5] B.H. Min, C.M. Park and M.K. Han, "In-Situ Doped CMOS Polysilicon Thin Film Transistor", 1995, *SSDM*. Osaka Japan, 1995. 8.
- [6] M.J. Van der Tol and S. G. Chamberlain, "Drain-induced barrier lowering in buried-channel MOSFETs", *IEEE Electron Device Lett.*, vol. 40, p. 741, 1993.
- [7] B.H. Min, and M.K Han "A Novel Self-aligned Offset Gated (SOG) Poly-

silicon Thin Film Transistor without an Additional Offset Mask”, *IEEE Electron Device Lett.*, vol. 16, no. 5, 1995.

- [8] A. L. Fripp et al, “Dependence of resistivity on the doping level of polycrystalline silicon”, *J. Appl. Phys.*, vol. 46, p. 1240-1244, March, 1975.

- [9] K. Kato, T. Wada, and K. Taniguchi, “Analysis of kink characteristics in Silicon-On-Insulator MOSFETs using two-carrier modeling”, *IEEE Trans. on Electron Device*, vol. ED-32, no. 2, p. 458, Feb., 1985.

 저 자 소 개

朴 喆 民(正會員) 第 33卷 9號 參照



姜 智 勳(正會員)

1993년 서울대학교 전기공학부 입학.
1997년 동 대학원 졸업(학사). 1997
년 ~ 현재 서울대학교 대학원 전기
공학부 석사 과정



柳 俊 錫(正會員)

1991년 서울대학교 전기공학과 입학.
1995년 동 대학교 졸업(학사). 1995
년 서울대학교 전기공학부 대학원 입
학. 1997년 동 대학원 졸업(석사).
1997년 ~ 현재 서울대학교 대학원
전기공학부 박사 과정

韓 民 九(正會員) 第 33卷 9號 參照