

論文98-35D-10-11

## 불순물 활성화 열처리가 MOS 캐패시터의 게이트 전극과 산화막의 특성에 미치는 효과

### (Impacts of Dopant Activation Anneal on Characteristics of Gate Electrode and Thin Gate Oxide of MOS Capacitor)

趙元珠\*, 金應秀\*\*

(Won-Ju Cho and Eung-Soo Kim)

#### 요 약

MOS 캐패시터의 게이트 전극을 비정질 상태의 실리콘으로 형성하여 GOI(Gate Oxide Integrity)특성에 미치는 불순물 활성화 열처리의 효과를 조사하였다. LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 증착한 비정질 실리콘 게이트 전극은 활성화 열처리에 의하여 다결정 실리콘 상태로 구조가 변화하며, 불순물 원자의 활성화가 충분히 이루어졌다. 또한, 비정질 상태의 게이트 전극은 커다란 압축 응력(compressive stress)을 가지지만, 활성화 열처리 온도가 700°C에서 900°C로 증가함에 따라서 응력이 완화되었고 게이트 전극의 저항도 감소하는 특성을 보였다. 또한 얇은 게이트 산화막의 신뢰성 및 산화막의 계면 특성은 활성화 열처리 온도에 크게 의존하고 있었다. 900°C에서 활성화 열처리를 한 경우가 700°C에서 열처리한 경우보다 산화막내에서의 전하 포획 특성이 개선되었으며, 산화막의 신뢰성이 향상되었다. 특히, TDDB 방법으로 예측한 게이트 산화막의 수명은 700°C의 열처리에서는  $3 \times 10^{10}$ 초였지만, 900°C에서의 열처리에서는  $2 \times 10^{12}$ 초로 현저하게 개선되었다. 그리고, 산화막 계면에서의 계면 전하 밀도는 게이트의 응력 완화에 따라서 개선되었다.

#### Abstract

The effects of dopant activation anneal on GOI (Gate Oxide Integrity) of MOS capacitor with amorphous silicon gate electrode were investigated. It was found that the amorphous silicon gate electrode was crystallized and the dopant atoms were sufficiently activated by activation anneal. The mechanical stress of gate electrode that reveals large compressive stress in amorphous state, was released with increase of anneal temperature from 700°C to 900°C. The resistivity of gate electrode polycrystalline silicon film is decreased by the increase of anneal temperature. The reliability of thin gate oxide and interface properties between oxide and silicon substrate greatly depends on the activation anneal temperature. The charge trapping characteristics as well as oxide reliability are improved by the anneal of 900°C compare to that of 700°C or 800°C. Especially, the lifetimes of the thin gate oxide estimated by TDDB method is  $3 \times 10^{10}$ sec for the case of 700°C anneal, is significantly increased to  $2 \times 10^{12}$ sec for the case of 900°C anneal. Finally, the interface trap density is reduced with relaxation of mechanical stress of gate electrode.

\* 正會員, LG半導體 株式會社 메모리 事業 本部, 工程  
開發팀  
(Process Development Team, Memory Business HQ,  
LG Semicon Co., Ltd.)

\*\* 正會員, 釜山外國語大學校 電子工學科  
(Department of Electronic Engineering, Pusan  
University of Foreign Studies)  
接受日字:1998年1月22日, 수정완료일:1998年9月2日

## I. 서론

GOI특성은 DRAM이나 Flash memory와 같은 MOS device에서는 심각한 문제로 부상하고 있다. 소자의 집적도 높아짐에 따라서 산화막의 두께는 감소하는 반면, 칩 전체에서 게이트가 차지하는 면적은 보다 증가하고 있기 때문에 게이트 산화막의 신뢰성에 대한 요구는 이전보다 한층 더 심각한 문제로 대두되고 있다. 이 게이트 산화막의 신뢰성은 소자 구조, 공정 조건, 기판 실리콘 웨이퍼의 결정성 및 표면 상태와 같은 다양한 요인에 의하여 복잡하게 영향을 받고 있다.

지금까지 연구되어진 게이트 산화막의 신뢰성 향상의 수단으로는 습식 산화나 건식 산화와 같은 산화 분위기의 제어,<sup>[1,2]</sup> 산화막과 실리콘 기판 간의 계면 특성의 개선을 위한 전세정 조건의 제어,<sup>[3]</sup> 그리고 박막화에 따른 산화막의 Hot carrier개선을 위한 산화막의 질화 방법<sup>[4-6]</sup> 등이 제안되었다.

그러나, 이와 같은 방법들은 산화막과 실리콘 기판 간의 계면 특성을 개선하는 것이 주요 목적이었고, 게이트 산화막의 상부전극, 특히 다결정 실리콘 박막의 기계적인 응력이 산화막의 전기적인 특성에 미치는 영향에 대해서는 아직 정확하게 알려지지 않았다. 최근의 MOSFET 형성 기술에서는 소자가 미세화 됨에 따라서 보다 균일한 두께 분포와 우수한 step coverage 특성, 그리고 큰 전도도의 게이트 전극을 필요로 하고 있다. 이러한 요구에 대해서 저온에서 비정질 상태의 도핑된 실리콘 박막을 증착한 후에 후속 열처리로 불순물을 활성화시키는 방법이 이용되고 있다.<sup>[7-9]</sup>

비정질 상태로 증착된 실리콘 게이트 전극은 후속 열처리 과정에서 결정화와 함께 기계적인 응력의 변화가 일어나지만<sup>[7]</sup>, 결정화와 응력의 변화가 게이트 전극의 저항이나 게이트 산화막의 신뢰성에 미치는 영향에 대해서는 정확하게 알려져 있지 않다.

따라서, 본 연구에서는 비정질 상태로 증착한 게이트 실리콘 전극을 이용하여 불순물 활성화 열처리가 전극의 결정 구조와 MOS 캐패시터의 전기적인 특성에 미치는 효과를 조사하였고, 열처리에 따른 게이트 전극의 결정성과 기계적인 응력의 변화가 ULSI급 소자의 얇은 산화막 특성에 미치는 영향에 대하여 조사하였다.

## II. 실험 방법

저항이 9 ~ 12 ohm-cm의 8인치, p-type (100) CZ-Si기판을 이용하여 SC-1 chemical ( $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ )에서 600초, 99HF에서 60초간의 전세정을 실시하여 기판 표면의 자연 산화막 및 오염을 제거하였다. 850°C에서 습식 산화방법으로 10nm의 게이트 산화막을 성장시킨 후, 동일 장비 내에서 연속적으로 850°C의  $\text{N}_2$ 분위기에서 post oxidation anneal (POA)을 실시하여 산화막과 기판 실리콘의 계면 특성을 안정시켰다. MOS 캐패시터의 전극을 형성하기 위하여 600°C, 80Torr 에서 200nm의 비정질 실리콘 박막을 증착하였다. 실리콘 기판의 세정부터 게이트 산화 및 POA처리, 그리고 전극용 비정질 실리콘 박막의 증착에 이르기까지의 모든 공정은 연속적으로 진행되어 불필요한 자연 산화막 및 표면 오염에 의한 캐패시터의 특성의 변화를 억제하였다. 게이트 전극의 불순물은 비정질 실리콘 박막 증착 시에  $\text{PH}_3$  가스를 이용하여 인을 in-situ로 도핑하였다. 이 실리콘 박막을 XRF로 측정된 결과,  $2 \times 10^{20} \text{cm}^{-3}$ 의 인이 도핑된 것을 알 수 있었다. 각각의 시료는 700°C ~ 900°C의 온도에서 30분간 열처리하여 불순물을 활성화시켰고, 이때 비정질 실리콘 전극이 결정화되는 것을 XRD로 확인하였다. 스트레스 게이지를 이용하여 열처리 조건에 따른 비정질 실리콘 전극의 스트레스변화를 측정하였고, TEM을 사용하여 전극 내부의 결정 구조를 평가하였다. 전기적인 특성은  $1 \times 10^4 \sim 1 \times 10^8 \text{um}^2$ 의 면적을 가지는 전극을 형성하여 MOS구조의 캐패시터를 제작한 다음, HP-4155 System을 이용하여 게이트 산화막의 TZDB (time zero dielectric breakdown) 특성과 정전류를 이용한 TDDB (time dependence dielectric breakdown) 특성을 평가하였다. Keithley 590 C-V analyzer와 595 quasi-static C-V meter를 이용하여 High frequency (1MHz)와 Quasi-static C-V 특성을 동시에 측정할 수 있는 simultaneous C-V system으로 게이트 산화막의 특성 및 실효 산화막 두께, 그리고 계면 포획 밀도를 구하였다.

## III. 결과 및 고찰

그림 1은 Si기판과 게이트 절연막을 제거한 후에

각각의 전극을 평면 상태에서 관찰한 TEM사진을 나타낸다. 600°C에서 200nm의 두께로 증착한 비정질 실리콘 막은 700~900°C의 열처리에 의하여 결정화가 이루어졌다. 결정의 형태는 (a)~(c)에서 보는 바와 같이 매우 불규칙한 형태를 가지고 있고, 그 크기는 수백nm~수um의 분포를 가지며, 열처리 온도가 상승할수록 결정립의 크기가 조금씩 감소하는 것을 알 수 있다. 한편, 열처리 온도가 상승함에 따라서 다결정 실리콘 전극 내의 실리콘 결정립의 결정성 및 결정립 간의 경계면이 더욱 선명해지는 것을 볼 수 있으며, 결정립 계면의 특성 개선이 이루어졌다.

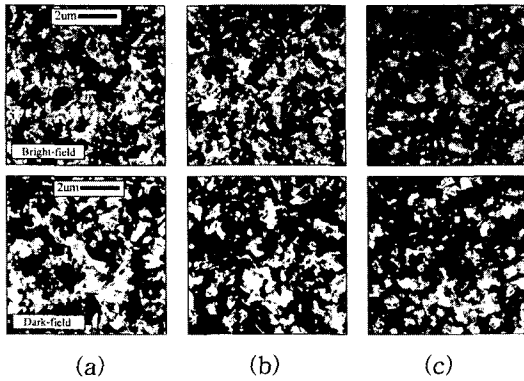


그림 1. (a)700°C, (b)800°C, (c)900°C에서 열처리한 다결정 실리콘 박막의 TEM 사진  
Fig. 1. TEM micrographs of polysilicon films annealed at (a)700°C, (b)800°C, (c)900°C.

다결정 실리콘 박막의 전기적인 특성은 박막의 저항으로 평가하였다. 열처리 온도가 700°C에서 900°C로 증가함에 따라서 박막의 저항률은 그림 2와 같이 감소하였다. 일반적으로 다결정 실리콘의 경우, 동일한 불순물 농도를 가지면 결정립(grain)이 클수록 저항이 낮다<sup>[10]</sup>. 그러나 본 실험의 결과, 실리콘 결정립은 700°C에서 열처리 한 경우가 800°C 또는 900°C에서 열처리한 경우보다 약간 더 크지만, 저항은 오히려 900°C에서 열처리한 경우가 가장 낮았다. 이와 같이, 결정립은 작지만 저항이 낮은 것은 상대적으로 고온 열처리에 의하여 다결정 실리콘 내에서 활성화된 불순물 농도가 증가하였음을 나타내고 있다. 이에 대한 이유는 인이나 비소와 같은 N형 불순물의 경우에는 다결정 실리콘 막의 결정립계(grain-boundary)에 편석되는 경향을 가지기 때문이며<sup>[11,12]</sup>, 열처리 온도가 높을수록 결정립계에 편석되는 불순물의 농도가 감소

하고 결정 내부에 활성화되는 불순물의 농도가 증가한다<sup>[13]</sup>. 따라서, 본 실험에서는 열처리에 의한 결정립의 크기에 의한 저항의 감소보다 불순물의 활성화에 의한 저항의 감소 효과가 더 크다고 판단된다.

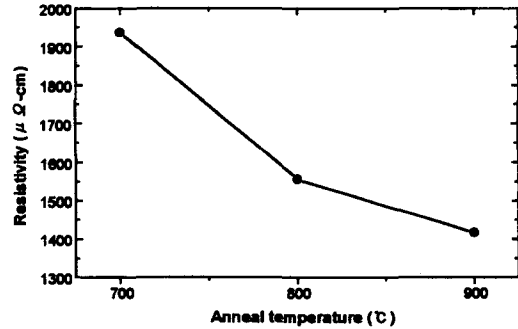


그림 2. 활성화 열처리 온도에 따른 다결정 실리콘 박막의 저항률 변화  
Fig. 2. Variation of resistivity of polysilicon films as a function of activation anneal temperature.

한편, 실리콘 기판을 열 산화시키면 산화막이 형성됨에 따라서 체적의 팽창이 있다. 이때, 산화막과 기판 실리콘 사이의 계면에서는 약  $10^9$  dyne/cm<sup>2</sup> 정도의 압축 응력이 발생되며, 이에 따라서 계면 전하 밀도가 영향을 받는다고 알려져 있다<sup>[14]</sup>. 그리고, LPCVD방법으로 증착한 비정질 실리콘 박막도 기판에 큰 압축 응력을 가하여<sup>[15]</sup>, 산화막의 압축 응력과 함께 게이트 산화막과 기판 실리콘의 계면에 집중되게 된다. 한편, 게이트 후속 열처리는 게이트 전극의 구조를 비정질 상태에서 다결정 상태로 변화 시킴에 따라 기계적인 응력의 변화가 생기며, 계면 전하 밀도와 게이트 산화막의 전기적 특성에도 영향을 미칠 것으로 판단된다.

게이트 전극의 열처리 조건에 따른 응력의 변화를 그림 3에 나타내었다. 증착 직후의 비정질 실리콘 전극은  $2.3 \times 10^9$  dyne/cm<sup>2</sup>의 큰 압축 응력이 작용하고 있으며, 700°C에서 열처리를 하면  $2 \times 10^9$  dyne/cm<sup>2</sup>, 800°C에서는  $1.6 \times 10^9$  dyne/cm<sup>2</sup>, 900°C에서는  $1.2 \times 10^9$  dyne/cm<sup>2</sup>으로 열처리 온도가 상승함에 따라서 응력이 단조 감소한다는 것을 알 수 있다.

한편, 이와 같이 열처리 온도에 따른 게이트 전극의 응력 변화가 게이트 산화막과 기판 실리콘과의 계면 특성에 어떤 영향을 미치는가를 살펴보기 위하여 MOS 캐패시터 구조를 이용하여 C-V특성을 측정하

였다. 그림 4에서 C-V특성은 열처리 온도에 따라 약간의 차이를 보이고 있으며, 열처리 온도가 낮을수록 전체적으로 음의 전압 방향으로 차츰 이동하고, quasi-static 특성과 고주파 특성과의 차이도 증가하고 있다. 이것은 게이트 산화막과 기판 실리콘의 계면 특성이 열처리 온도에 따라서 변화하였음을 나타내고 있으며, 게이트 산화막 내의 실효 전하량(effective oxide charge:  $Q_{eff}$ ) 및 기판과의 계면에 존재하는 전하 포획 준위 밀도(interface trap density:  $D_{it}$ )가 다르다는 것을 나타낸다.

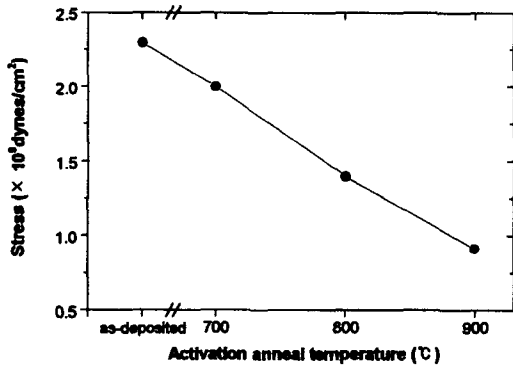


그림 3. 활성화 열처리 온도에 따른 다결정 실리콘 박막의 응력 변화  
 Fig. 3. Variation of mechanical stress for polysilicon films as a function of activation anneal temperature.

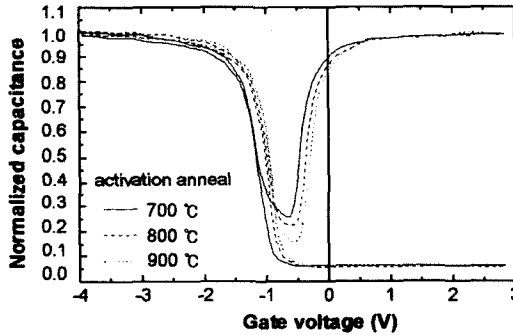


그림 4. 활성화 열처리 온도에 따른 MOS 캐패시터의 C-V특성  
 Fig. 4. C-V characteristics of MOS capacitor as a function of activation anneal temperature.

표 1은 그림 4의 C-V 특성 곡선을 이용하여 계산한 산화막의 flatband voltage( $V_{FB}$ )와 threshold voltage( $V_{th}$ ), 그리고 실효 전하량( $Q_{eff}$ )을 나타내었다.  $V_{FB}$ 는 flatband capacitance( $C_{FB}$ )로부터 구할 수 있

고,  $C_{FB}$ 는 다음과 같이 계산된다<sup>[16]</sup>

$$C_{FB} = \frac{C_{ox}\epsilon_s}{C_{ox}L_D + \epsilon_s} \quad (1)$$

여기서,  $C_{ox}$ 는 산화막 용량,  $\epsilon_s$ 는 실리콘 기판의 유전율을 나타낸다.  $L_D$ 는 extrinsic Debye length로 다음과 같은 관계식으로 나타낼 수 있다.

$$L_D = \left[ \frac{\epsilon_s k T}{q^2 N_B} \right]^{1/2} \quad (2)$$

여기서  $N_B$ 는 실리콘 기판 농도를 나타내며, 본 실험에서는 Boron이  $1 \times 10^{15} \text{ cm}^{-3}$ 을 도핑된 시료를 이용하였다. 한편,  $V_{th}$ 는 다음과 같다.

$$V_{th} = \frac{\sqrt{4\epsilon_s q |N_B| \psi_B}}{C_{ox}} + 2|\psi_B| + V_{FB} \quad (3)$$

여기서  $\psi_B$ 는 실리콘 기판의 bulk potential을 나타낸다.

표 1에서 각각의 물리량은 열처리 온도에 따라서 감소하고 있으며, 특히 산화막 내의 실효 전하량의 감소는 주로 고정 전하의 감소에 의한 것이라고 추정된다. 한편, 열처리 온도가 낮을 경우에는 게이트 전극내의 불순물 원자가 전기적으로 충분히 활성화되지 않으며, 이에 따라서 게이트 전극의 전하 공핍 효과(depletion effect)가 일어나는 경우가 있다<sup>[17]</sup>. 그러나, 본 실험에서는 그림 4의 반전 상태에서의 CV특성에서 알 수 있듯이, 게이트 전압이 증가함에 따라서 quasi-static capacitance가 감소하지 않고 축적 상태에서의 quasi-static capacitance와 거의 동일한 값을 가지고 있으므로, 게이트 전극의 공핍 효과는 거의 없다고 판단된다.

표 1. 활성화 열처리 온도에 따른  $V_{FB}$ ,  $V_{th}$ ,  $Q_{eff}$ 의 변화

Table 1. The values of  $V_{FB}$ ,  $V_{th}$  and  $Q_{eff}$  for activation anneal temperature.

열처리 온도(°C)	$V_{FB}$ (V)	$V_{th}$ (V)	$Q_{eff}$ (C/cm <sup>2</sup> )
700	-0.98	-0.37	$4.2 \times 10^{-7}$
800	-0.86	-0.25	$3.8 \times 10^{-7}$
900	-0.80	-0.20	$3.6 \times 10^{-7}$

그림 5는 1MHz의 고주파와 quasi-static C-V특성을 이용하여 계산한 게이트 산화막과 실리콘 기판 계면에서의 전하 포획 밀도 분포를 나타낸다. 실리콘

의 에너지 대역 내에서  $D_{it}$ 는 U자형의 분포를 가지고 있으며, 에너지 대역의 중앙에서 구한  $D_{it}$ 는 700°C의 열처리에서  $6.9 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ , 800°C의 열처리에서  $4.6 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ , 900°C의 열처리에서  $1.5 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 로 열처리 온도가 높아짐에 따라서 점차 감소하고 있다.

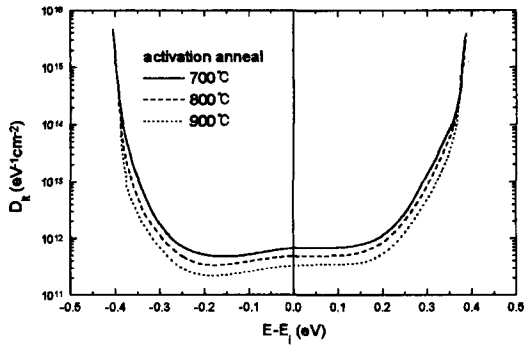


그림 5. 활성화 열처리 온도에 따른 계면 준위 분포 특성

Fig. 5. Distribution of interface trap states as a function of activation anneal temperature.

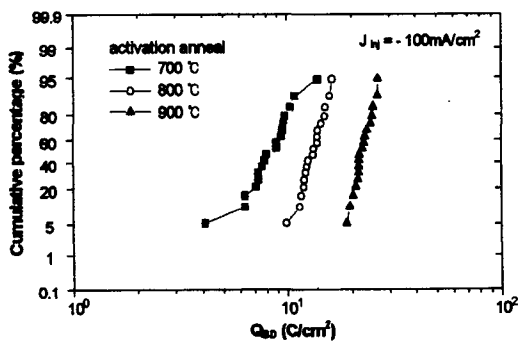


그림 6. 활성화 열처리 온도에 따른 게이트 산화막의  $Q_{BD}$  특성

Fig. 6.  $Q_{BD}$  characteristics of gate oxide as a function of activation anneal temperature.

그림 6는 정전류 인가법에 의하여 측정된 산화막의 TDDB 특성을 절연 파괴 시간에 따른 누적 고장율 (cumulative percentage failure)의 대수 정규 그래프 나타낸 것이다. 여기서 TDDB 측정은  $-100 \text{mA/cm}^2$ 의 정전류를  $150 \mu\text{m} \times 150 \mu\text{m}$  크기의 MOS 캐패시터에 인가하여 게이트로부터 전자를 주입하는 조건으로 실시하였다. 절연 파괴가 일어나는 주입 전하량 ( $Q_{BD}$ )은 열처리 온도가 상승할수록 증가하고 있으며, 900°C에서 열처리한 경우에는 700°C에서 열처리한 경

우보다 약 3배 정도의  $Q_{BD}$  특성의 개선이 보인다. 따라서, 게이트 산화막의 장기적 신뢰성은 전극의 열처리 온도에 의해서 크게 영향을 받는다는 것을 알 수 있다.

그림 7은 게이트로부터 주입된 정전류 밀도에 따른 산화막의  $Q_{BD}$  특성을 측정된 결과로부터 예측되는 절연 파괴 수명을 나타낸다. 여기서, 절연 파괴 시간은 누적 고장율이 50%가 되는 시간으로 정의하였으며, 게이트 전극에 인가되는 정전류의 밀도는  $10 \text{mA/cm}^2 \sim 1 \text{A/cm}^2$ 의 범위에서 측정하였다. 또한, 본 실험에서는 MOS Transistor 동작 시에 게이트 산화막에 흐르는 누설 전류 밀도를  $10^{-8} \text{A/cm}^2$ 이라고 가정하고, 그림 7에서 외삽하는 방법으로 산화막의 수명을 예측하였다. 그 결과, 900°C에서 열처리한 경우 게이트 산화막의 수명은  $2 \times 10^{12}$  초로, 700°C에서 열처리한 경우의  $3 \times 10^{10}$  초보다 크게 증가됨을 알 수 있다.

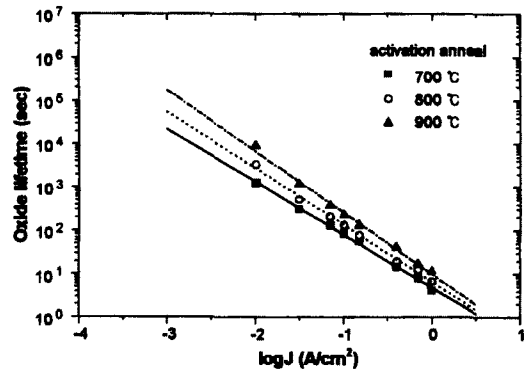


그림 7. 활성화 열처리 온도에 따른 박막 게이트 산화막의 절연 파괴 수명

Fig. 7. Lifetime of thin gate oxide as a function of activation anneal temperature.

그림 7과 같은 TDDB 특성 및 산화막의 수명은 정전류 스트레스 인가 시, 산화막 벌크의 성질 및 산화막 계면의 특성 차이에 크게 의존한다. 게이트 전극에서 F-N(Fowler-Nordeheim) 터널링에 의하여 전자가 기판측으로 주입될 때, 전계에 의하여 가속되어진 뜨거운 전자(Hot electron)는 산화막 벌크 또는 실리콘 기판과의 계면에서 전리 충돌에 의하여 에너지를 잃고 전자-정공 쌍을 발생시킨다. 이때, 열 산화막과 실리콘 기판과의 계면에 존재하는 친이 영역은 발생된 전자-정공 쌍의 발생 뿐만 아니라, 전하의 포획 특성에도 심각한 영향을 미친다. 즉, 계면 구조가 불안정할

경우에는 F-N 터널 전자가 산화막 계면에 보다 많은 손상을 주고, 전하의 포획량이 증가하여 TDDB 특성의 열화 및 게이트 산화막 수명의 저하를 초래한다.

그림 8은 정전류 스트레스 인가 전후의 전류-전압 특성으로, 활성화 열처리 온도에 따른 게이트 산화막에서의 전하 포획 특성을 나타낸다. 게이트 전극에  $-20\text{mA}/\text{cm}^2$ 의 정전류 스트레스 조건으로  $-0.1\text{C}/\text{cm}^2$ 의 전하를 산화막에 주입하였을 경우, 낮은 전계에서 ( $E < 8\text{MV}/\text{cm}$ ) 누설 전류는 전자 주입 전의 산화막보다 많이 흐르는 것을 알 수 있다. 그러나, 높은 전계 ( $E > 8\text{MV}/\text{cm}$ ), 즉 F-N 터널링 전계 영역에서는 누설 전류가 주입 전보다 감소하는 특성을 보이고 있다. 이와 같이 정전류 스트레스를 인가한 산화막에서, 낮은 전계 영역에서 누설전류(SILC: stress induced leakage current)가 흐르는 원인은 산화막 내부에서 전하의 포획이 일어났기 때문이며, 포획된 전하는 동시에 낮은 전계에서도 전자가 hopping할 수 있는 stepping stone site를 제공하여 쉽게 누설 전류가 흐른다<sup>[18,19]</sup>. 따라서, 상대적으로 많은 전하의 포획이 일어나는 경우에는 낮은 전계에서도 큰 누설 전류가 흐른다고 할 수 있다. 한편, F-N 터널링 전계 (높은 전계) 영역에서는 포획 전자가 산화막에 인가되면 전자가 주입되는 전극과 게이트 산화막 계면의 전계가 완화된다. 따라서 누설 전류가 감소하는 특성을 나타낸다<sup>[20]</sup>. 그림 8에서 전자 주입 후의 산화막 누설 전류는 낮은 전계에서는 활성화 열처리 온도가 높을수록, 그리고 F-N 터널링 전계 영역에서는 열처리 온도가 낮을수록 감소하는 특성을 보이고 있다. 이와 같이, 활성화 열처리 온도에 따른 낮은 전계 및 높은 전계 영역에서의 누설 전류 특성으로부터, 열처리 온도가 낮은 경우에는 상대적으로 많은 전하가 포획되고 있음을 알 수 있다. 또한, 그림 8의 좌측 상단에는  $-20\text{mA}/\text{cm}^2$ 의 정전류 스트레스를 인가한 후,  $-10\text{MV}/\text{cm}$ 의 전계에서 측정된 게이트 누설 전류의 스트레스 시간 의존성도 함께 나타내었는데, 시간에 따른 산화막에서의 전자 포획 특성을 볼 수 있다. 즉, 스트레스 시간이 증가함에 따라서 누설 전류는 감소하고 있으며, 또한 열처리 온도가 높을수록 스트레스에 따른 누설 전류의 감소 폭이 작다. 이상의 결과들로부터 높은 온도에서 활성화 열처리를 받은 게이트 산화막은 스트레스 인가에 의한 전하의 포획 특성이 낮은 온도에서 열처리한 것보다도 우수하며, 그림 4, 5의 C-V 특성과 같

이 산화막 내의 실효 전하량 및 계면 포획 준위 밀도의 열처리 온도에 대한 의존성과도 좋은 일치를 보여 주고 있다.

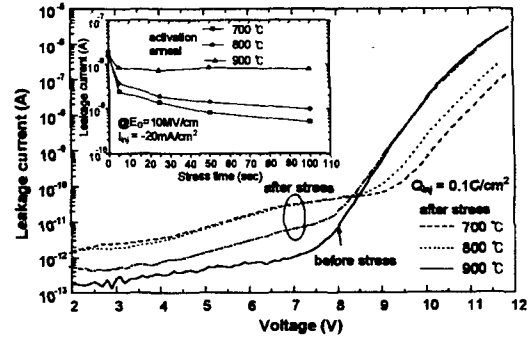


그림 8. 정전류 스트레스에 따른 게이트 산화막의 전하 포획 특성

Fig. 8. Charge trapping characteristics of gate oxide for constant current stress.

#### IV. 결론

MOS 캐패시터의 게이트 전극을 비정질 상태의 실리콘으로 형성하여 GOI 특성에 미치는 불순물 활성화 열처리 효과를 조사하여 다음과 같은 결론을 얻었다. LPCVD 방법으로 증착한 비정질 실리콘 게이트 전극은 활성화 열처리에 의하여 다결정 실리콘 상태로 구조가 변화하였고, 불순물 원자의 활성화가 이루어졌다. 또한, 비정질 상태의 게이트 전극은 커다란 압축 응력을 가지지만, 활성화 열처리 온도가 700°C에서 900°C로 증가함에 따라서 응력이 완화되었고 게이트 전극의 저항도 감소하였다. 활성화 열처리 온도는 게이트 산화막의 신뢰성 및 산화막의 계면 특성에 크게 영향을 주며, 900°C에서 활성화 열처리를 한 경우가 700°C에서 열처리한 경우보다 전하 포획 특성이 개선되었다. TDDB 방법을 이용하여 산화막의 신뢰성을 측정하였고, 예측 게이트 산화막 수명은 700°C의 열처리에서는  $3 \times 10^{10}$  초였지만, 900°C에서의 열처리에서는  $2 \times 10^{12}$  초로 크게 개선되는 것을 알았다. 또한 산화막 계면에서의 전하 포획 밀도는 게이트의 응력 완화에 따라서 개선되었다.

따라서 비정질 실리콘 박막을 이용하여 게이트 전극을 형성하는 경우에는 산화막의 압축 응력과 비정질 실리콘 막의 압축 응력이 산화막 계면에 집중되어서 전하 포획 특성이 열화 되므로, 높은 온도에서 불순물

활성화 열처리를 실시하는 것이 계면에서의 응력을 완화 시킬 수 있고 게이트의 저항 감소에 유리하며, MOSFET의 GOI특성 및 신뢰성 향상에 적합하다.

#### 참 고 문 헌

- [1] Jonghan Kim and Sungtae Ahn, "Improvement of the tunnel oxide quality by a low thermal budget oxidation for flash memories", *IEEE Electron device letters*, vol. 18, no. 8, pp. 385-387, Aug. 1997.
- [2] Y.Murakami, T.Shiota, and T.Shingyouji, "Effect of oxidation ambient on the dielectric breakdown characteristics of thermal oxide films of silicon", *J. Appl. Phys.* vol. 75, no. 10, pp. 5302-5305, May. 1994.
- [3] T.Ohmi, M.Miyashita, M.Itano, T.Imaoka, and I.Kawanabe, "Dependence of thin-oxide films quality on surface micro-roughness", *IEEE Trans Electron Devices*, vol. 39, no. 3, pp. 537-544, Mar. 1992.
- [4] T.Ito, T.Nakamura and H.Ishikawa, "Advantages of thermal nitride and nitroxide gate films in VLSI process", *IEEE Trans Electron Devices*, vol. ED-29, pp. 498-502. 1982.
- [5] S.K.Lai, J.Lee and V.K.Dham, "Electrical properties of nitrated-oxide systems for use in gate dielectrics and EEPROM", *IEDM 83*, pp. 190-194, 1983.
- [6] M.Severi, L.Dori, M.Impronta, and S.Guerri, "Process dependence of hole trapping in thin nitrated SiO<sub>2</sub> films", *IEEE Trans Electron Devices*, vol. ED-36, no. 11, pp. 2447-2451. Nov. 1989.
- [7] R.Kakkad, S.J.Fonash and P.R.Howell, "Dopant enhanced grain growth during crystallization of amorphous silicon using rapid thermal annealing", *Mat. Res. Soc. Symp. Proc.* vol. 182, pp. 115-119, 1990.
- [8] H.Miura, and N.Okamoto, "Crystallization-induced stress in phosphorus-doped amorphous silicon thin films", *J. Appl. Phys.* vol. 75, no. 9, pp. 4747-4749, May. 1994.
- [9] H.Miura, S.Ikeda, and N.Suzuki "Effects of mechanical stress on reliability of gate oxide film in MOS transistors", *IEDM 96*, pp. 743-746, 1996.
- [10] M.M.Mandurah, K.C.Sarawat and T.I.Kamins, "Phosphorus doping of low pressure chemically vapor deposited silicon films", *J. Electrochem. Soc.* vol. 126, no. 6, pp. 1019-1023, Jun. 1973.
- [11] M.M. Mandurah, K.C. Saraswat, C.R. Helms, and T.I.Kamins, "Dopant segregation in polycrystalline silicon", *J. Appl. Phys.* vol. 51, no. 11, pp. 5755-5763, Nov., 1980.
- [12] Won-ju Cho, Yuji Takeuchi, and Hiroshi Kuwano, "Energy distribution of grain boundary traps in semi-insulating polycrystalline silicon films doped with oxygen", *Solid-state Electron.* vol. 37, no. 9, pp. 1573-1577, Sep. 1994.
- [13] Ichiro Yamamoto, Yoshiaki Koizumi and Hiroshi Kuwano, "Annealing temperature dependence of grain boundary trap density in polycrystalline silicon films", *J. Mater. Sci. Soc. Jpn.* vol. 30, no. 1, pp. 33-39, Jan. 1993.
- [14] N.Yamamoto, "Degradation of MOS characteristics caused by internal stresses in gate electrode", *SSDM*, pp. 415-418, 1987.
- [15] J.Adamczewska and T.F.Retajczyk, "Stress in chemically vapor deposited silicon films", *Thin solid films*, vol. 113, pp. 271-285, Mar. 1984.
- [16] E.H.Nicollian, J.R.Brews "MOS (Meta Oxide Semiconductor) physics and technology", pp. 413-491, 1982.
- [17] K.Park, S.Batra, J.Lin, S.Yoganathan, S.Banerjee, and J.Lee, S.Sun, and J.Yeagain, G.Lux "Anomalous capacitance-voltage behavior due to dopant segregation and carrier trapping in As-implanted polycrystalline silicon and

silicided polycrystalline gates”, *Appl. Phys.Lett.* vol. 56, no. 23, pp. 2325-2327, Jun. 1990.

- [ 18 ] 岡田健治, 谷口研二, “B-모드誘起리-크電流의傳導機構についての考察”, 第44回春季應用物理學關係連合講演會講演豫告集, pp. 657, 1997.

- [ 19 ] H.Satake and A.Toriumi, “Common origin of stress-induced leakage current and electron trap generation”, *SSDM*, pp. 562-654, 1994.

- [ 20 ] 小柳光正, “サブミクロンデバイスII 電子材料シリーズ”, 丸善株式會社, pp. 25-114, 1988.

---

저 자 소 개

---



趙元珠(正會員)

1967년 7월 13일생. 1989년 2월 경북대학교 전자공학과(공학사). 1991년 3월 일본 게이오 대학원 전자전기공학과(공학석사). 1994년 3월 일본 게이오 대학원 전자전기공학과(공학박사). 1994년 2월 ~ 현재 LG반도체

주식회사 반도체 연구소 선임 연구원. 주관심분야는 절연막 형성 및 평가 기술, 박막 CVD형성 및 평가 기술. DRAM 소자 제조 기술 및 공정 기술 개발, Wafer material 평가 및 개발 등임

金應秀(正會員) 第35卷 D編 第8號 參照

현재 부산외국어 대학교 전자공학과 교수