

Deep Submicron급 CMOS 디바이스에서 Triple Well 형성과 래치업 면역 향상에 관한 연구

(A Study on Improvement Latch-up immunity and Triple Well formation in Deep Submicron CMOS devices)

洪成杓*, 全賢成*, 姜孝榮*, 尹錫範**, 吳煥述*

(Sung-Pyo Hong, Hyeon-Sung Jeon, Hyo-Young Kang, Suk-Bum Yoon, and Hwan-Sool Oh)

요 약

Deep submicron급 CMOS디바이스에서 래치업 면역특성을 향상시키기 위한 새로운 Triple well 구조를 제안하였다. Triple well에서 이온주입 에너지와 도즈량 변화에 따른 최적인 래치업 면역을 위한 공정조건을 확립하고 이것을 기존의 Twin well구조와 비교분석하였다. 공정은 공정시뮬레이터인 ATHENA로 소자를 제작하여 도핑프로파일과 구조를 해석하고 래치업 특성은 소자시뮬레이터인 ATLAS를 사용하였다. Triple well과 Twin well의 구조에서 공정상의 차이가 도핑프로파일에 미치는 영향과 프로파일 형태가 래치업 특성에 미치는 영향을 규명하였다. Triple well구조에서 p-well이온주입에너지 2.5 MeV, 도즈량 1×10^{14} [cm^{-2}]일 때 트리거 전류가 2.5 [$\text{mA}/\mu\text{m}$]로 매우 큰 래치업 면역특성을 얻었다.

Abstract

A new Triple well structure is proposed for improved latch-up immunity at deep submicron CMOS device. Optimum latch-up immunity process condition is established and analyzed with varying ion implantation energy and amount of dose and also compared conventional twin well structure. Doping profile and structure are investigated using ATHENA which is process simulator, and then latch-up current is calculated using ATLAS which is device simulator. Two types of different process are affected by latch-up characteristics and shape of doping profiles. Finally, we obtained the best latch-up immunity with 2.5 [$\text{mA}/\mu\text{m}$] trigger current using 2.5 MeV implantation energy and 1×10^{14} [cm^{-2}] dose at p-well

I. 서 론

* 正會員, 建國大學校 電子·情報通信工學科

(Dept. of Electronics, Information and Communication Engineering Konkuk Univ.)

** 正會員, 公州文化大學 電子通信科

(Kong-Ju National Junior College Dept. of Electro communication)

※ 본 연구는 1997년도 교육부 학술연구 조성비(반도체 97-7)에 의하여 연구되었음.

接受日字:1998年5月21日, 수정완료일:1998年7月11日

CMOS 소자가 축소되고, 복잡한 기능을 요구함에 따라 새로운 공정 기술 및 신구조의 필요성이 대두되고 있다. 소자 특성을 독립적으로 제어하기 위한 도핑 프로파일 형성 기술과 장시간의 열적 스트레스에 대한 해결책으로 대두되고 있는 것이 고에너지 이온주입 기술이다.^[1] 특히 고에너지 이온주입 기술은 래치업 저감을 위한 retrograde well공정을 위해 많은 발전이 이루어 졌고, 원하는 도핑프로파일을 정확하게, 또 웨

이피에 열적스트레스를 감소시킬 수 있는 공정이었기 때문에 여러 분야에서 응용되어 왔다. [2] [3] [4]

최근 새로운 구조로 각광 받고 있는 Triple well 구조는 n-well을 기존의 Twin well공정과 같은 방법으로 공정후, n-well 마스크를 스트립하지 않고 수 MeV의 고에너지로 이온주입하여 p-well을 형성한다. 여기서 n-well영역 아래에 매몰층(buried layer)인 deep p-well이 형성되며 매몰층형성은 메모리 소자에서 소프트 에러(soft error)를 방지 할 수 있고 또 고농도의 결함밀집 지역이 형성되기 때문에 소자 동작에 나쁜 영향을 주는 중금속을 게터링(gettering)하기 때문에 에피(epi)웨이퍼에 필적하는 양질의 실리콘웨이퍼를 얻을 수 있다. [5] [6]

따라서 본 논문은 새로운 Triple well CMOS구조를 제안하여 매몰층이 래치업 특성에 미치는 영향을 먼저 분석한 후, 공정 방법, 이온주입 에너지, 도즈량 변화에 따른 최적인 래치업 면역 조건을 얻기 위하여 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS를 사용하여 모의실험을 수행하였다.

II. Triple well 구조 및 래치업 등가회로 해석

1. 구조

본 논문에서 제안한 Triple well구조의 래치업 특성을 시뮬레이션 하기 위하여 그림 1과 같은 방법으로 공정을 수행하였고 N+/P+ 간의 간격은 deep submicron급 공정에 응용될 수 있도록 2 μ m로 설계하였다.

Triple well 공정에 의한 래치업특성을 해석하기 위하여 이온주입 에너지는 1.8MeV에서 3.5MeV로 변화를 주어 주행거리인 R_p값을 조절하였고, 또 도즈량 변화에 따른 래치업 특성을 해석하기 위하여 각각의 에너지 값에 대해 도즈량을 5 $\times 10^{12}$ [cm⁻²]에서 1 $\times 10^{14}$ [cm⁻²]으로 변화를 주었다. 박막의 두께가 3 μ m인 두꺼운 마스크를 사용하여 n-well을 정의하고, p-well 형성시 별도의 마스크를 씌우지 않고 보론(boron)을 고에너지로 이온주입하여 마스크를 뚫고 들어가서 p-well을 형성하도록 하였다. 이때 p-well과 함께 형성된 n-well 아래의 매몰층은 소자의 전기적 특성에 거의 영향을 주지 않음을 입증한 후, Triple well 구조를 모의실험 하였다. 그리고 n-well 마스크

와 p-well 마스크를 모두 사용한 기존의 Twin well 구조에서 주입에너지와 도즈량의 변화에 따른 래치업 특성을 Triple well 공정의 래치업 특성과 비교 분석하였다.

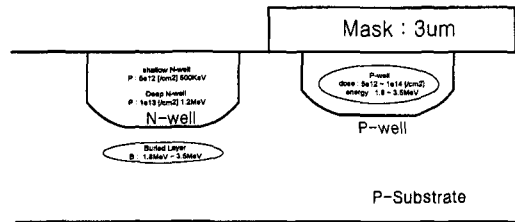


그림 1. CMOS Triple well의 개념도
Fig. 1. Structure of CMOS Triple well.

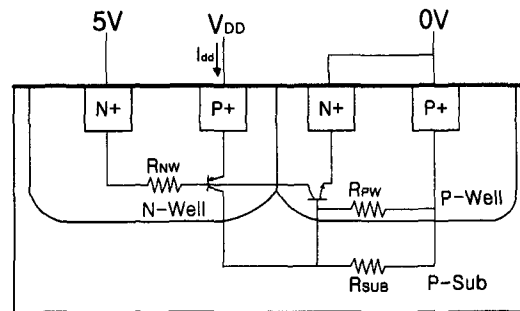


그림 2. 래치업 구조의 등가회로
Fig. 2. Schematic of latch-up structure.

2. 래치업 등가회로 해석

그림 2는 본 모의실험에 사용된 Triple well에서의 래치업 구조의 등가회로이다. Triple well 구조는 p-well 영역의 저항 R_{PW}를 기판저항인 R_S와 병렬로 연결되어있다. 이것을 그림 3와 같은 등가회로로 나타내었다.

n-well의 깊이와 도즈량에 영향을 받는 저항값인 R_{NW}의 한쪽 단자를 개방한 후, 입력전압인 V_{DD}를 인가하면 두 개의 트랜지스터가 동작하기 전까지 인가전압은 대부분 두 트랜지스터의 C-B 접합에 역바이어스 상태로 걸리게 된다. V_{DD}를 증가시키면 n-well과 기판사이의 역바이어스가 증가하게 되어 avalanche breakdown이 일어나며 이때 수직 PNP트랜지스터가 동작되고 C-B 접합사이에서 I_J 전류가 R_S' (=R_{PW}와 R_{SUB}의 병렬 저항값)로 흐르게 된다. V_{DD}를 계속 증가시키면 I_J의 증가로 R_S' 양단에 걸리는 전압이 증가하여 수평 NPN트랜지스터가 동작하게 된다. 이때 NPN 트랜지스터의 베이스로 흘러 들어가는 전류변화는 수직 PNP트랜지스터의 컬렉터전류를 변화시킨다.

이때 수직 PNP트랜지스터의 컬렉터 전류의 변화율인 ΔI_{CP} 는 다음 식과 같이 나타낼 수 있다.

$$\Delta I_{CP} = \beta_p(\Delta I_J + \beta_n \Delta I_{BN}) \quad (1)$$

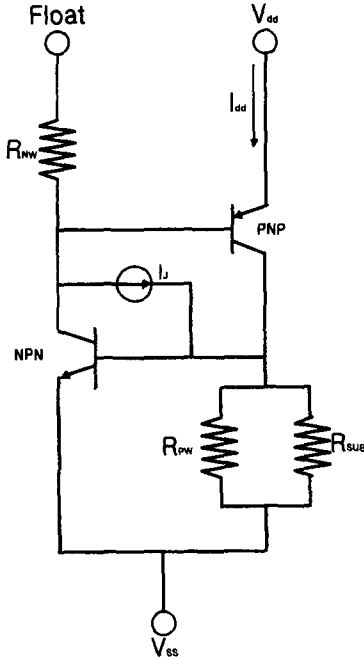


그림 3. Triple well의 래치업 등가회로
Fig. 3. Equivalent circuit for simulation.

여기서 I_{BN} 은 수평 NPN트랜지스터로 들어가는 베이스 전류이며, β_n 과 β_p 는 각각 수평 NPN트랜지스터와 수직 PNP트랜지스터의 공통 에미터 전류 증폭률이다.

그리고 수직 PNP트랜지스터의 컬렉터 전류 I_{CP} 의 변화는 다시 수평 NPN트랜지스터의 베이스 전류를 변화시키며 이때 변화된 수평 NPN트랜지스터의 베이스 전류를 $\Delta I_{BN}'$ 라고 하고, p-well 영역의 저항을 $R_s' = 1/(1/R_{PW} + 1/R_{SUB})$ 이라 하면 식(2)와 같이 나타낼 수 있다.

$$\Delta I_{BN}' = k(\Delta I_J + \Delta I_{CP}) \quad (2)$$

여기서 $k = \frac{G_{BN}}{G_{BN} + 1/R_s'}$ 이고, G_{BN} 은 수평 NPN트랜지스터의 베이스 에미터간 컨덕턴스를 나타낸다. 따라서 그림 4의 루프이득(loop gain)은 식 (3)과 같이 나타낼 수 있다.

$$\frac{\Delta I_{BN}'}{I_{BN}} = k(1 + \beta_p) \frac{\Delta I_J}{\Delta I_{BN}} + \beta_n \beta_p \quad (3)$$

식 (3)에서 회로의 루프이득이 1보다 커질 경우 회로는 불안정하여 래치업을 일으키게 된다. 즉 회로가 정상 동작을 하기 위해서는 루프이득이 1보다 작아야 한다. 식 (4)는 래치업이 일어나지 않을 조건을 수식으로 표현한 것이다.

$$\frac{1}{k} \leq \beta_n \beta_p + (1 + \beta_p) \frac{\Delta I_J}{\Delta I_{BN}} \quad (4)$$

식 (4)에서 실제의 래치업 상태에서는 ΔI_J 항은 매우 작은 양이므로 무시할 수 있다. 즉 래치업이 일어나지 않기 위해서는 다음과 같은 조건을 만족하여야 된다.

$$\frac{1}{k} \leq \beta_n \beta_p \quad (5)$$

여기서 R_s' 값이 클 경우 식 (5)는 $\beta_n \beta_p$ 의 곱이 1보다 크게되어 래치업 현상이 일어나게 되며, R_s' 값이 작을 경우 k 값이 0에 근접하므로 두 기생 트랜지스터의 곱이 크다고 할 지라도 래치업 현상은 나타나지 않는다. 또 n-well저항인 R_{NW} 에 대한 영향을 고려하기 위해 R_s' 쪽으로 흐르는 전류가 없다고 가정하면 앞에서 유도한 R_s' 값에 대한 영향과 동일한 결과를 얻게된다. 따라서 R_{NW} 와 R_s' 값이 작아질수록 래치업 면역효과가 뛰어남을 알 수 있다.

본 논문은 래치업 면역효과를 최적화하기 위하여 n-well 공정조건 변수값들을 미리 고정시킨후, p-well영역의 이온주입 에너지와 도즈량을 변화시켜 모의 실험하였다. 모의실험은 R_s' 값에 영향을 줄 수 있는 각각의 공정조건에 대해 R_p 값과 도핑프로파일의 최대값을 유사하게 일치시킨 후 래치업 특성을 비교 분석하였다.

Triple well구조는 공정 시뮬레이터인 ATHENA로 형성하였으며, Twin well은 기존의 공정방법으로 소자를 구성하고 소자 시뮬레이터인 ATLAS로 래치업특성을 시뮬레이션 하였다.

III. 모의실험 및 결과고찰

그림 4는 n-well과 p-well 마스크를 각각 사용한 Twin well구조의 래치업 특성을 나타낸 결과이다. p-well의 이온주입 에너지는 1 MeV로 설정하였고, 도즈량을 증가시켜서 래치업 특성을 살펴보았다. 도즈량 변화에 따른 래치업 특성은 거의 변화가 없는 것으

로 나타났다.

이것은 마스크가 없는 n-well 영역에 보론을 고에너지로 이온주입할 때 형성되는 deep p-well 영역인 매몰층은 CMOS 소자에서 래치업 면역특성에는 거의 영향을 주지 않는다는 사실을 확인하였다. 즉 그림 3의 등가회로에서 표시된 R_{SUB} 에 의한 래치업 영향은 거의 없을 것으로 사료된다.

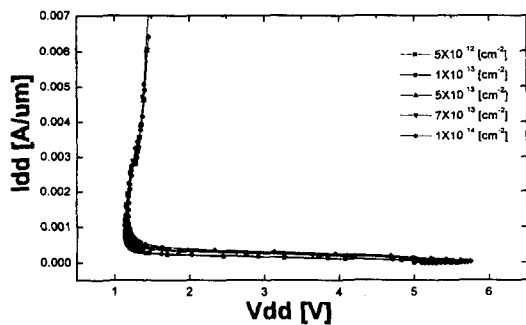


그림 4. 1 MeV로 p-well을 형성하였을 때 도즈량에 따른 래치업 특성

Fig. 4. Calculated latch-up current vs. p-well dose. (1 MeV boron Ion Implantation)

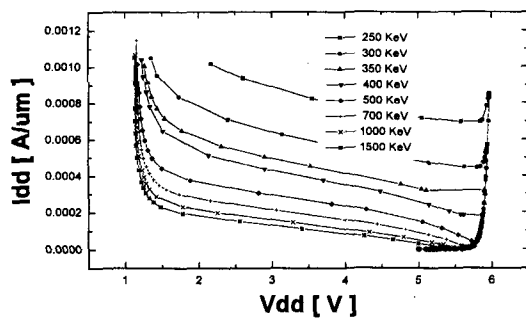


그림 5. 이온주입 에너지 변화에 따른 래치업 특성
Fig. 5. Calculated latch-up current vs. implantation energy.

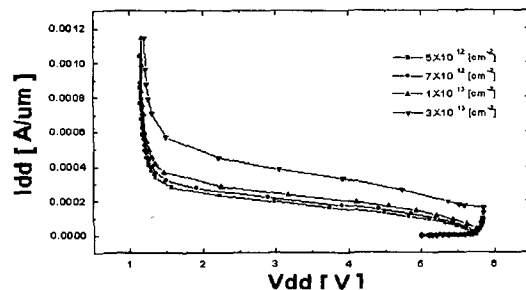


그림 6. 330 KeV로 이온주입 하였을 때 도즈량 변화에 따른 래치업 특성

Fig. 6. Calculated latch-up current vs. p-well dose. (330 KeV boron Ion Implantation)

그림 5, 6, 7은 모두 Twin well 구조에서 n-well 공정조건은 256MB DRAM급에서 사용되는 도핑 농도와 이온주입 에너지로 설정한후, p-well에 보론을 이온주입하고 이때 에너지와 도즈량을 변화시킬 때 래치업 면역특성을 나타낸다. 그림 5는 도즈량이 $5 \times 10^{13} [cm^{-2}]$ 일때 에너지가 낮을수록 좋은 래치업 면역특성을 나타내고 있고 그림 6은 에너지가 330 KeV에서 도즈량이 높을수록 래치업 면역특성이 향상됨을 알 수 있다. 그림 7은 에너지가 200 KeV인 경우이며 그림 6과 같은 현상을 볼 수 있다. 따라서 Twin well CMOS 소자 제작을 할 경우 p-well의 이온주입 에너지가 낮을수록 그리고 도즈량이 증가할수록 좋은 래치업 면역효과를 얻을 수 있었다. 또 이온주입 에너지가 MeV로 높아지면 래치업 특성이 도즈량에 거의 영향을 받지 않음을 알 수 있으며 트리거 전류값도 거의 영향이 없는 것을 확인하였다.

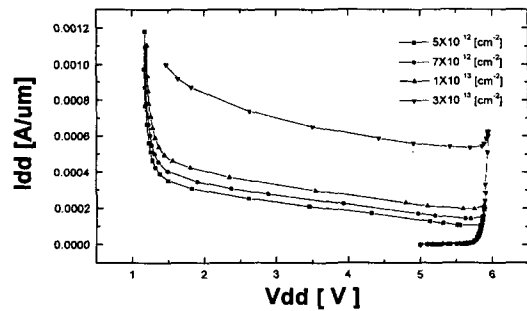


그림 7. 200 KeV로 이온주입 하였을 때 도즈량 변화에 따른 래치업 특성

Fig. 7. Calculated latch-up current vs. p-well dose. (200 KeV boron Ion Implantation)

Triple well 공정은 n-well 마스크를 사용하지 않고, p-well은 $3\mu m$ 두께의 마스크를 만들어서 고에너지로 이온주입할 수 있도록 설계하였고 이때 함께 형성되는 n-well 영역 아래의 매몰층은 래치업 특성에 전혀 영향을 주지 않음을 그림 4, 5에서 확인할바 있다.

n-well 공정조건은 Twin well 공정과 마찬가지로 256MB DRAM급에서 사용되는 도핑 농도와 이온주입 에너지로 설정하였고, p-well에 보론을 이온주입 에너지와 도즈량에 변화를 주어 래치업 전류 특성을 시뮬레이션 하여 결과를 그림 8, 9, 10, 11에 나타내었다.

그림 8은 에너지를 2.5 MeV로 고정하고 도즈량을 변화시킬 경우 래치업 특성 곡선이다. 도즈량이 증가

할수록 트리거전류와 유지전류(holding current)가 증가하는 것을 볼 수 있다. 도즈량이 $1 \times 10^{14} [\text{cm}^{-2}]$ 일 때 트리거전류가 2.5 [mA/ μm] 까지 증가하는 것을 볼 수 있으며 유지전류도 상당히 높아짐을 모의실험 결과로부터 알 수 있었다. 이것은 도즈량에 따른 도핑농도의 프로파일과 밀접한 관계가 있음을 알 수 있었다.

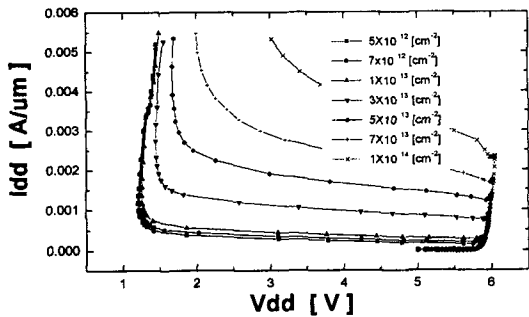


그림 8. p-well을 2.5 MeV로 이온주입 했을 때 도즈량에 따른 래치업 특성
Fig. 8. Calculated latch-up current vs. p-well dose.(2.5 MeV boron I²)

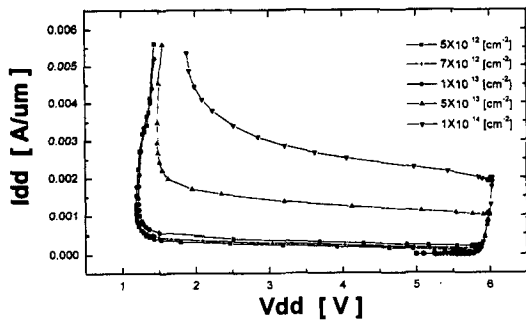


그림 9. p-well을 2.7 MeV로 이온주입 했을 때 도즈량에 따른 래치업 특성
Fig. 9. Calculated latch-up current vs. p-well dose.(2.7 MeV boron I²)

그림 9는 에너지를 2.7 MeV로 하였을 때 도즈량에 따른 래치업 특성이며 그림 9와 함께 도즈량이 증가할수록 래치업 면적특성이 향상됨을 알 수 있다. 그러나 이온주입 에너지가 너무 높아지면 래치업 면적특성이 저하되는 것을 볼 수 있으며 이는 well 깊이가 증가되기 때문이라고 사료된다. 따라서 래치업 면적특성이 가장 좋은 공정조건은 이온주입 에너지가 2.5 MeV에서 도즈량이 $1 \times 10^{14} [\text{cm}^{-2}]$ 인 경우이며 이 때 트리거 전류는 2.5 [mA/ μm] 이다.

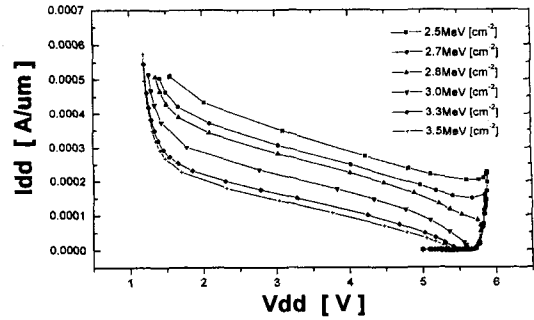


그림 10. $7 \times 10^{12} [\text{cm}^{-2}]$ 도즈로 이온주입 하였을 때 이온주입 에너지에 따른 래치업 특성
Fig. 10. Calculated latch-up current vs. p-well I² energy.($7 \times 10^{12} [\text{cm}^{-2}]$ boron dose)

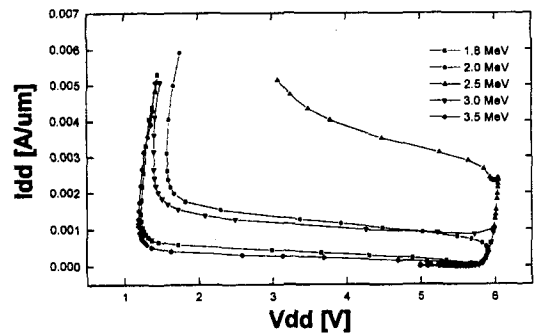


그림 11. $1 \times 10^{14} [\text{cm}^{-2}]$ 도즈로 이온주입하였을 때 이온주입 에너지에 따른 래치업 특성 변화
Fig. 11. Calculated latch-up current vs. p-well I² energy.($1 \times 10^{14} [\text{cm}^{-2}]$ boron dose)

그림 10, 11은 도즈량이 각각 $7 \times 10^{12} [\text{cm}^{-2}]$ 과 $1 \times 10^{14} [\text{cm}^{-2}]$ 일 때 이온주입 에너지를 변화시키면서 well공정을 수행할 때 well 깊이에 따른 래치업 특성 곡선이다. 그림 10에서 에너지가 2.5 MeV일 때 트리거전류가 0.25 [mA/ μm] 로 가장 큰 값이지만, 그림 11처럼 도즈량을 증가한 경우 트리거전류가 2.5 [mA/ μm] 로 더욱 향상된 래치업 면적 특성을 얻었다.

본 연구에서 제시한 Triple well 구조는 Wesley Morris가 제안한 BL/CL 구조보다 우수한 래치업 특성을 나타낸다.^[2] BL/CL 구조에서는 최적의 공정 조건에서 trigger current가 0.50 [mA/ μm] 를 나타내고 있으나 본 연구의 Triple well에서는 2.5 [mA/ μm] 의 우수한 trigger current를 나타내었다.

표 1과 표 2는 각각 Twin well과 Triple well공정시 p-well의 이온주입 도즈량에 따른 최대 도핑농도값을 나타내며 이것을 이용하여 유사한 Rp값과 최대 도핑농도값을 갖는 공정조건을 설계하였다. Twin

well과 Triple well구조는 Rp값이 0.8 μm가 되도록 이온주입 에너지를 각각 200 KeV, 2.5 MeV로 설정하였고 도즈량도 최대 도핑농도값이 유사한 3×10^{13} [cm^{-2}]와 5×10^{13} [cm^{-2}]으로 각각 설정하였다.

표 1. Twin well구조의 도즈량에 따른 최대 도핑농도

Table 1. Peak doping Concentration vs. dose of Twin well structure.

도즈량/ cm^{-2}	5×10^{12}	7×10^{12}	1×10^{13}	3×10^{13}
최대도핑농도/ cm^{-3}	2.42×10^{17}	3.39×10^{17}	4.85×10^{17}	1.45×10^{18}

표 2. Triple well구조의 도즈량에 따른 도핑농도 최대값

Table 2. Peak doping concentration vs. dose of Triple well structure.

도즈량/ cm^{-2}	5×10^{12}	7×10^{12}	1×10^{13}	3×10^{13}	5×10^{13}	1×10^{14}
최대도핑농도/ cm^{-3}	1.26×10^{17}	1.77×10^{17}	2.52×10^{17}	7.53×10^{17}	1.25×10^{18}	2.51×10^{18}

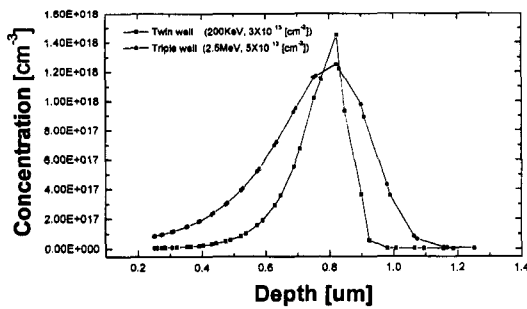


그림 12. Twin well과 Triple well의 도핑프로파일
Fig. 12. Doping profile of Twin well and Triple well.

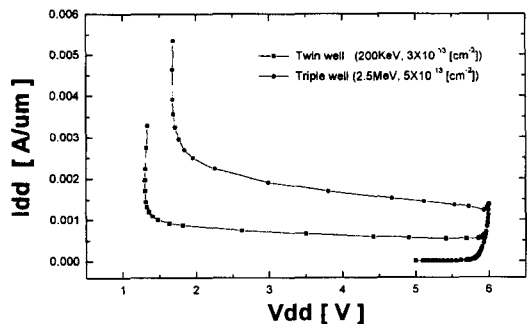


그림 13. Twin well과 Triple well의 래치업 특성
Fig. 13. Latch-up current of Twin well and Triple well.

그림 12는 앞에서 설정한 공정 변수값들을 이용하

여 Triple well과 Twin well구조에 모의실험하여 구한 도핑프로파일이며, Triple well구조가 표면근처에서 도핑농도 분포가 보다 많고 도핑프로파일 형태도 Rp를 중심으로 넓어짐을 볼 수 있다. 만약 도즈량을 동일한 조건으로 이온주입하면 두 구조의 최대 도핑농도값들이 서로 달라지게 되고 또 도핑프로파일 형태도 차이가 났었다. 이러한 도핑프로파일 형태 변화가 래치업 면역특성에 영향을 끼침을 그림 13를 통해 알 수 있다. 여기서 2.5 MeV, 5×10^{13} [cm^{-2}]로 이온주입한 Triple well구조가 더욱 양호한 래치업 면역특성이 나타남을 볼 수 있으며 이것은 3 μm 두께의 마스크 위에 이온주입시 마스크에 의한 충돌로 Rp보다 표면에서 가까운 거리에 정지하는 이온의 갯수가 많지 않으므로 표면 근처에 정지하는 이온갯수가 증가하였기 때문이라 사료된다. 따라서 전체적인 well 저항값이 감소하여 래치업 면역효과가 향상되었다. 이것은 기존의 Twin well공정에서 수행하는 저농도의 shallow well 형성 효과와 유사한 결과를 나타낸다고 판단된다.

본 논문에서 제안한 Triple well구조는 well 형성 후 후속공정시 고온에서 장시간의 열처리 공정이 필요 없기 때문에 이러한 도핑농도 프로파일의 형태는 공정이 완전히 끝난 후에도 유지 되므로 마스크 공정은 이온주입 후 프로파일의 형태를 넓히기 위한 최종 열처리 과정을 생략해도 문제가 없다고 판단된다. 또 고에너지 이온주입시 결정내 결함이 적고 self heating효과 때문에 여기서 제시한 도즈량이 1×10^{14} [cm^{-2}]까지는 충분히 활성화 될 것으로 기대된다. 즉 마스크로 인해 감소되는 양을 고려하면 1×10^{14} [cm^{-2}]까지는 낮은 도즈량이기 때문에 마스크를 뚫고 들어간 도펀트들을 충분히 활성화 시킬 수 있다고 사료된다.

IV. 결론

Deep submicron급 CMOS디바이스에서 래치업 면역특성을 향상시키기 위한 새로운 Triple well 구조를 제안하였다. 기존의 Twin well구조에선 well 형성을 위해 이온주입시 도펀트가 대부분 Rp값 근처에 존재하는데 비해 Triple well구조에선 마스크에 의한 충돌횟수의 증가로 표면근처에 분포하는 도펀트의 양이 많아지는 현상을 발견하였다. 이것은 이온주입시 충돌횟수가 많아져 주행거리 이전에 멈추는 확률이 많아졌기 때문이라 사료된다. 이 때문에 국부적인 well 저항 감

소가 아닌 전체적인 well 저항 감소효과를 초래하여, 2.5 MeV, 도즈량이 1×10^{14} [cm^{-2}] 일 때 트리거 전류가 2.5 [$\text{mA}/\mu\text{m}$] 로 가장 좋은 래치업 면역특성을 얻었다. 즉 주행거리가 0.8 μm 일 때 가장 우수한 래치업 특성을 나타내며, 도즈량은 증가할수록 우수한 래치업 특성을 나타내는 것을 알 수 있었다.

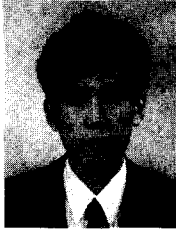
또 Triple well 구조는 well 형성후 생긴 프로파일 형태가 넓은 형태로 분포하기 때문에 이온주입후 well 확산을 위한 열처리 공정이 단축되거나 생략되어도 무방할 것으로 사료된다.

위에서 언급한 바와 같이 Triple well 공정은 열처리 시간 단축과 래치업 향상, 마스크의 감소로 인한 많은 공정 단계의 감축 등의 효과를 얻을 수 있을 것으로 기대된다.

참 고 문 헌

- [1] J. Mitani, K. Itabashi, M. Kawano and T. Ema, "A New Triple-Well Process to Accomplish a Lower V_{th} and a Low Cost for Low Power-Supply Voltage VLSI", Extended Abstracts of the 1995 International Conference on Solid State Devices and Materials, pp. 216-218, 1995.
- [2] Wesley Morries, "Buried Layer/Connecting Layer High Energy Implantation for Improved CMOS Latch-up", Ion Implantation Technology - Proceeding of the Eleventh International Conference on Ion Implantation Technology, pp. 796-799, Jun, 1996.
- [3] C. Auricchio, R. Bez, A. Losavio, A. Maurelli, C. Sala and P. Zabberoni, "A Triple well Architecture for Low-voltage Operation in Submicron CMOS Devices", Proceedings of the 26th European Solid State Device Research Conference, pp. 613-615, 1996.
- [4] K. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka, "High-energy ion implantation for ULSI", Nuclear Instruments and Methods in Physics Research, vol. B59/60, pp. 584-591, 1991.
- [5] John O. Borland, "Epi replacement in manufacturing using MeV implantation", Solid State technology, pp. 89-92, Jun, 1996.
- [6] J. L. Benton, p. A. Stolk, "Iron gettering mechanisms in Silicon", J. Appl. Phys., vol. 9, pp. 3275-3284, Sep. 1996.

저 자 소 개



洪 成 杓(正會員)

1971年 2月 25日生. 1996年 2月 건국대학교 전자공학과(학사). 1998年 3月 건국대학교 전자공학과(석사).
주관심분야는 반도체 메모리 공정기술 및 소자 시뮬레이션



全 賢 成(正會員)

1964年 6月 27日生. 1988年 2月 건국대학교 전자공학과(학사). 1988年 2月 건국대학교 전자공학과(석사). 1996년 3월 ~ 현재 건국대학교 전자공학과 박사과정 재학중. 1997年 3월 ~ 현재 춘천기능대학 전자과 교수. 주관심분야는 MQW LD 소자 모델링 및 해석



姜 孝 榮(正會員)

1972年 1月 14日生. 1998年 2月 건국대학교 전자·정보통신공학과(학사). 1998年 3월 ~ 현재 건국대학교 전자·정보통신공학과 석사과정 재학중. 주관심분야는 반도체 메모리 공정기술 및 소자 시뮬레이션



尹 錫 範(正會員)

1963年 10月 21日生. 1993年 2月 건국대학교 전자공학과 공학박사. 1996年 8월 ~ 1997年 8월 (미) 코넬대학교 객원 연구원. 1994年 3월~현재 공주문화대학 전자통신학과 교수. 주관심분야는 SOI MOSFET 및 Organic LED



吳 煥 述(正會員)

1951年 10月 18日生. 1975年 2月 연세대학교 전자공학과(학사). 1984年 연세대학교 전자공학과(공학박사). 1975年 3월 ~ 1977年 6월 보병 제 25사단 통신지원대 가설소대장. 1977年 7월 ~ 1979年 8월 한국과학기술정보센터 연구원. 1979年 9월 ~ 현재 건국대학교 전자공학과 정교수. 주관심분야는 반도체 메모리 소자 및 시뮬레이션 해석, Organic LED