

論文98-35D-9-3

## 패턴 피치크기 및 밀도에 따른 Cu CMP 공정의 AFM 분석에 관한 연구

(Studies on the AFM analysis of Cu CMP processes for  
pattern pitch size and density after global planarization)

金東一\*, 蔡然植\*, 尹寬基\*, 李逸炯\*, 趙章衍\*\*,  
李鎭九\*

(Dong-il Kim, Yeon-sik Chae, Kwan-ki Youn, Il-hyeong Lee,  
Jang-yeon Cho, and Jin-koo Rhee)

### 요 약

대면적 평탄화 및 미세패턴형성기술로 각광받고 있는 CMP(chemical mechanical polishing) 공정을 이용하여 SiO<sub>2</sub> trench 패턴의 피치크기와 밀도에 따른 Cu의 평탄화 과정과 평탄화 이후의 표면 profile을 AFM(atomic forced microscopy)으로 측정하고 분석하였다. 실험결과, 평탄화 초기 연마율은 패턴밀도가 높고 피치크기가 작을수록 연마율이 증가하였으며, 초기평탄화 이후 연마율이 급속히 감소함을 알 수 있었다. 말기 평탄화 이후, 전체 패턴의 평균 rms roughness는 120Å이었다. 그러나, 패턴피치 크기가 2 $\mu$ m 이하이고, 50% 패턴밀도를 갖는 패턴의 경우에는 Cu의 일부가 120~330Å 정도의 깊이로 떨어져 나가는 현상과 SiO<sub>2</sub>와 Cu의 경계면에 oxide erosion 현상이 나타났으며, 패턴 피치 크기가 10 $\mu$ m 및 15 $\mu$ m에서는 Cu와 SiO<sub>2</sub> 경계면 부분에 Cu가 260~340Å 정도로 trench 되어 있는 것을 볼 수 있었다. 또한, SiO<sub>2</sub>와 Cu의 패턴내부 및 접합면에서 생기는 수백 Å 이하의 peeling 및 deeping 현상의 원인과 해결방안에 대해 논의하였다.

### Abstract

Cu removal rates for various SiO<sub>2</sub> trench pitch sizes and densities and AFM images of surface profiles after global planarization using Cu CMP technology are investigated. In the experimental results, Cu removal rates are increasing as the pattern densities and pattern pitches are getting high and low, respectively, and then decreasing after local planarization. The rms roughness after global planarization are about 120Å. AFM images with a 50% pattern density for 1 $\mu$ m and 2 $\mu$ m pitches show that thicknesses of 120~330Å Cu interconnects have been peeled off and oxide erosion of Cu/SiO<sub>2</sub> sidewall is observed. However, AFM images with a 50% pattern density for 10 $\mu$ m and 15 $\mu$ m pitches show that 260~340Å thick Cu interconnects have been trenched at the boundaries of Cu/SiO<sub>2</sub> sidewall.

\* 正會員, 東國大學校 電子工學科  
(Dept. of Elec. Eng., Dongguk Univ.)

\*\* 正會員, 모토로라 코리아 주식회사  
(Motorola Korea Ltd.)

※ 본 연구는 한국전자통신연구원의 차세대 반도체 선  
행기초연구사업의 지원으로 수행되었음

接受日字: 1998年5月26日, 수정완료일: 1998年8月10日

I. 서론

차세대 초고집적회로 제작을 위한 핵심공정으로 부상되고 있는 CMP 공정은 etch back, spin on glass 등의 다른 평탄화 공정에 비해 대구경 wafer 평탄화에 유리할 뿐만 아니라, step coverage를 향상시킬 수 있으며, 잔여금속에 의한 단락 등의 문제를 해결할 수 있다.<sup>[1]</sup> 또한 배선금속재료 중 Cu는 기존의 Al 보다 비저항이 작으며 electromigration 저항이 커서 고집적회로의 배선금속으로 사용하기 위한 연구가 활발하게 진행되고 있다.<sup>[2]</sup> CMP를 이용한 Damascene 공정은 적층된 절연층에 패턴을 형성한 후 RIE를 이용하여 절연층을 식각한다. 형성된 절연층위에 금속막을 두껍게 적층한 후 적층된 금속을 연마하여 격리된 금속패턴을 형성하는 공정이다. 이러한 Damascene 공정은 상호금속연결선과 평탄한 표면을 동시에 얻을 수 있다. 따라서, 다층금속배선 공정시 DOF(depth of focus) 감소에 따른 패턴정렬 문제를 해결할 수 있어 submicron 금속배선 제작에 유용한 공정기술이다.<sup>[3]</sup> 한편, 복잡하고 미세한 패턴에 따른 광역평탄화 기술은 dishing 효과 및 oxide erosion을 제어하기 어렵기 때문에 반복된 실험을 통하여 최적의 공정조건을 확립해야 한다.<sup>[4]</sup>

따라서 본 논문에서는 복잡하고 미세한 패턴에 대한 CMP 공정의 최적화를 위하여 다양한 피치크기와 패턴밀도를 trench 패턴을 형성하여 Cu를 두껍게 적층한 후 CMP 시간에 따른 Cu의 연마특성을 연구하였다. 패턴밀도는 식 1과 같이 정의하였다.<sup>[5]</sup>

$$Pattern\ density = \frac{Line\ width}{Pitch} \quad (1)$$

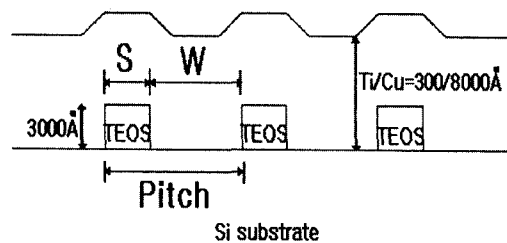
여기서, pitch는 Line width와 Space width의 합이다.

II. 실험방법 및 실험조건

4인치 Si 웨이퍼 위에 SiO<sub>2</sub> trench 패턴의 단면도를 그림 1(a)에 보였다. 또한 피치크기가 1, 2, 5, 10 및 15 $\mu$ m에 대하여 각각 20, 30, 50, 70 및 90%의 패턴밀도를 갖는 2mm $\times$ 2mm 패턴의 표면 사진을 그림 1(b)에 보였다. 그림 1(b)의 2mm $\times$ 2mm 패턴을 5 $\times$ 5회 반복시켜 1cm $\times$ 1cm 크기의 패턴을 웨이퍼의 상하좌우 및 중심에 각각 형성하였다. 형성된 SiO<sub>2</sub> trench 패턴 위에 Ti/Cu를 300/8000Å을 적층한 후, CMP로 연

마하였다. Cu CMP 공정은 Lapmater사의 LGP-512 CMP 장비를 사용하여 QCTT1010 슬러리 및 hard/soft의 더블구조인 IC1000/SubaIV 연마패드를 사용하여 얻어진 최적의 단위공정 조건으로 실시하였다. 최적의 단위공정 조건은 head 압력 4psi, head 및 table 속도 25rpm 그리고 진동폭 4cm이다. 이때의 Cu:SiO<sub>2</sub>의 선택율은 150:1, Cu의 연마율은 4,675Å/min 및 평탄도는 4%이다.<sup>[6]</sup>

상기의 패턴 및 CMP 공정 조건을 이용하여  $\alpha$ -step 및 AFM 측정을 통해 패턴피치 및 밀도에 따른 연마특성을 분석하였으며, 말기 평탄화 이후의 미세패턴내에서 발생하는 문제점을 AFM 영상을 통해 관찰하고 해결책에 대해 논의하였다.



S = Space width, W = line width

(a)

Pitch( $\mu$ m)	Density (%)				
	20	30	50	70	90
1					
2					
5					
10					
15					

(b)

그림 1. 실험에 이용된 설계패턴  
(a) 설계 단면도 (b) 설계된 패턴의 표면 사진  
Fig. 1. Designed patterns for this experiment.  
(a) A cross-section of designed pattern  
(b) A Photography of designed patterns

III. 피치크기 및 패턴밀도에 따른 CMP 특성

CMP 공정 후 표면 상태를 확인하기 위하여 패턴

이 없는 표면을 1분간 CMP 공정 후 AFM 영상으로 확인하였다. CMP 공정 후 표면  $20 \times 20 \mu\text{m}^2$ 의 AFM 영상을 그림 2에 보였다. AFM 영상으로부터 얻어진 rms roughness는  $22.1 \text{ \AA}$ 으로써 CMP 공정이 최적화되었음을 확인하였다.

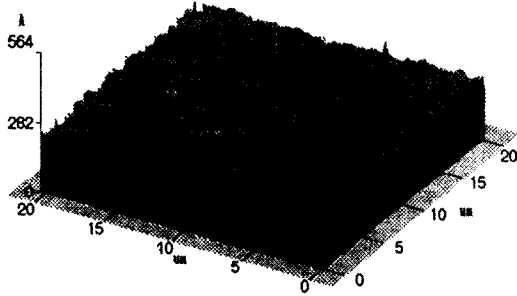
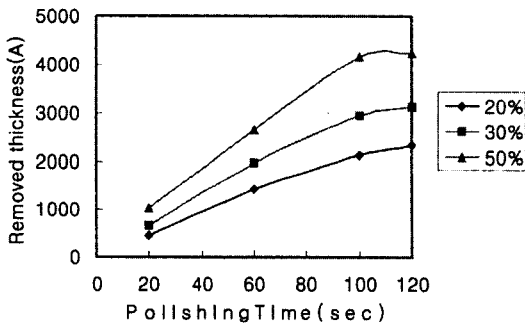
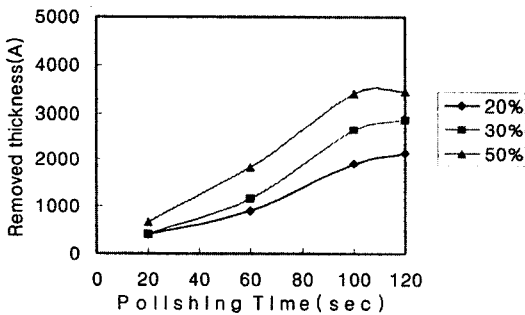


그림 2. 패턴이 없는 표면의 AFM 영상  
Fig. 2. AFM image of surface without trench patterns.



(a)



(b)

그림 3. 피치, 밀도 및 연마시간에 따른 연마두께  
(a)  $2 \mu\text{m}$  피치(패턴밀도 20, 30, 50%) (b)  $5 \mu\text{m}$  피치(패턴밀도 20, 30, 50%)

Fig. 3. Removed thickness vs. pattern pitches and densities.

(a)  $2 \mu\text{m}$  pitch(pattern density 20, 30, 50%)  
(b)  $5 \mu\text{m}$  pitch(pattern density 20, 30, 50%)

피치크기  $2 \mu\text{m}$  및  $5 \mu\text{m}$ 에 대하여 패턴밀도 및 CMP 시간에 따른 연마두께를 측정된 결과를 그림 3에 보였다. 그림 3에서 피치가 작을 수록 또한, 패턴밀도가 클수록 초기 연마율은 증가하는 경향을 보였으나 연마 시간이 증가할수록 연마율이 급속하게 감소됨을 알 수 있었다. 이러한 결과는 Cu 적층 후 CMP 공정 초기에는 Cu의 요철에 의해 연마가 빠르게 진행되다가 Cu의 요철이 줄어들어 표면이 매끄러워지고 평탄해지면서 연마율이 낮아지는 것으로 사료된다.

#### IV. 말기평탄화 이후의 패턴 profile

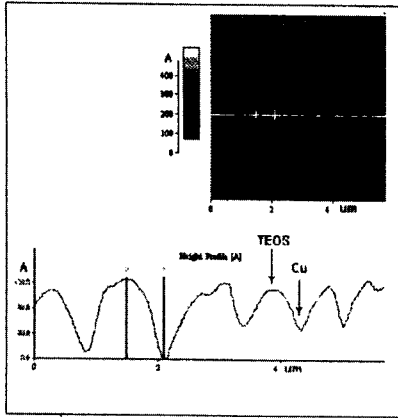
표 1은 상기의 단위공정을 이용하여 말기평탄화와 금속간의 isolation이 완료된 후, 피치크기 및 패턴밀도에 따른 측정결과이다. 표 1에서 rms roughness는  $20 \times 20 \mu\text{m}^2$ 의 동일 면적에 대한 값으로 최소  $58 \text{ \AA}$ 에서 최대  $230 \text{ \AA}$  범위이며, 전체 평균값은  $120 \text{ \AA}$ 이다.

표 1. 측정된 패턴의 피치와 밀도에 따른 rms roughness

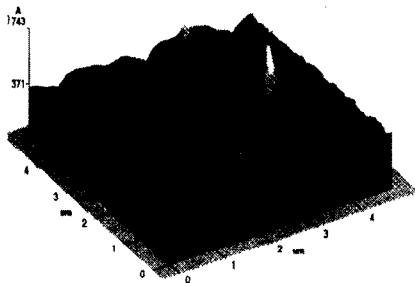
Table 1. Measured rms roughness vs. pattern pitches and densities.

Pitch ( $\mu\text{m}$ )	Designed pattern density(%)	Measured Cu Line width( $\mu\text{m}$ )	Measured Pattern density(%)	rms roughness ( $\text{ \AA}$ )
1	30	0.31	31	58
	50	0.51	51	94.5
2	20	0.42	21	117
	30	0.64	32	132
	50	1.02	51	103
	70	1.42	71	230
5	20	1.13	23	110
	30	1.65	33	170
10	20	2.35	24	175
	30	3.34	33	132
	50	4.67	47	80.5
	70	7.44	74	102
15	20	3.1	21	113
	30	4.24	28	80
	50	8.1	54	76.5
	70	11.25	75	69.7

$1 \mu\text{m}$  피치크기와 50% 패턴밀도를 갖는 샘플의 표면 profile 및 AFM 3D 영상을 그림 4에 보였다.



(a)



(b)

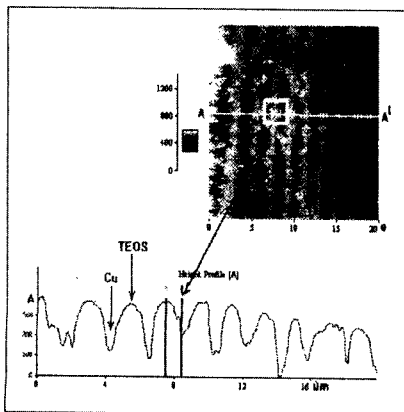
그림 4. 피치 1 $\mu$ m 및 패턴밀도 50%의 표면 profile 및 AFM영상

(a) 패턴 표면 profiles (b) 3D AFM 영상

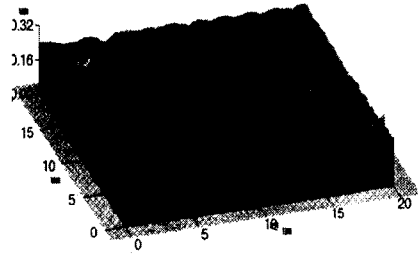
Fig. 4. Surface profiles and AFM image of pitch 1  $\mu$ m with pattern density 50%.

(a) Surface profiles (b) The 3D AFM image

그림 4에서 AA'의 rms roughness는 52.8Å이며 trench 패턴내에 Cu가 떨어져 나간 것을 확인하였다. 이 때 떨어져 나간 최고 깊이는 약 120Å이었다.



(a)



(b)

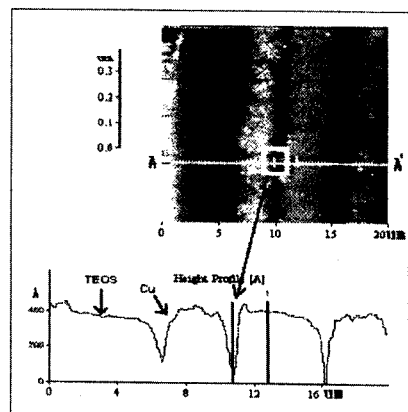
그림 5. 피치 2 $\mu$ m 및 패턴밀도 50%의 표면 profile 및 AFM영상

(a) 패턴 표면 profiles (b) 3D AFM 영상

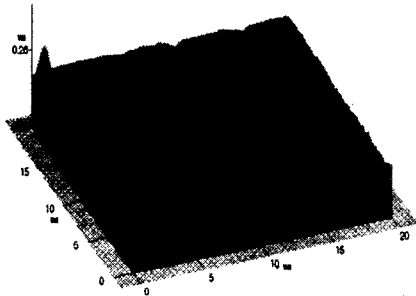
Fig. 5. Surface profiles and AFM image of pitch 2  $\mu$ m with pattern density 50%.

(a) Surface profiles (b) The 3D AFM image

2 $\mu$ m 피치크기와 50% 패턴밀도를 갖는 샘플의 표면 profile 및 AFM 3D 영상을 그림 5에 보였다. 그림 5에서 AA'의 rms roughness는 80.5Å이며, Cu가 떨어져 나간 부분의 최고 깊이는 약 330Å이다. 그림 4와 5의 Cu가 떨어져 나가는 현상은 Cu와 SiO<sub>2</sub>간의 adhesion특성 불량 및 sub-micron trench 패턴 내에 Cu가 부분적으로 채워져 있는 상태에서의 polishing진행과 Cu 막질 불량으로 인한 것으로 사료된다. 그림 6과 7는 10 $\mu$ m 및 15 $\mu$ m 피치크기와 50% 패턴밀도를 갖는 샘플의 표면 profile 및 AFM 3D 영상이다. 그림 6과 7에서 AA'의 rms roughness는 각각 80.3Å 및 97.3Å이며 SiO<sub>2</sub>와 Cu의 경계층에 약 200Å 깊이로 deeping된 trench 영상을 볼 수 있었다. 이러한 deeping 현상은 Cu와 SiO<sub>2</sub> 경계면의 기계적 연마 및 슬러리에 의한 화학적 침투에 의한 것으로 사료된다.



(a)



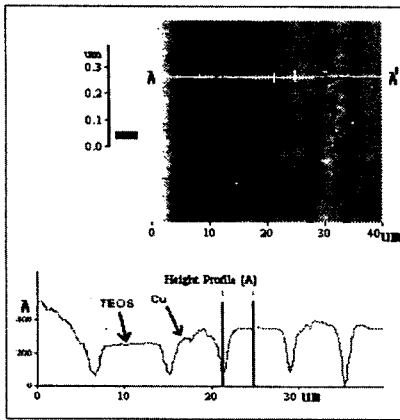
(b)

그림 6. 피치 10µm 및 패턴밀도 50%의 표면 profile 및 AFM영상

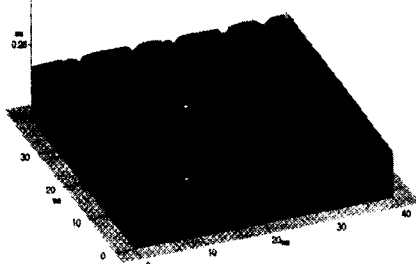
(a) 패턴 표면 profiles (b) 3D AFM 영상

Fig. 6. Surface profiles and AFM image of pitch 10 µm with pattern density 50%.

(a) Surface profiles (b) The 3D AFM image



(a)



(b)

그림 7. 피치 15µm 및 패턴밀도 50%의 표면 profile 및 AFM영상

(a) 패턴 표면 profiles (b) 3D AFM 영상

Fig. 7. Surface profiles and AFM image of pitch 15 µm with pattern density 50%.

(a) Surface profiles (b) The 3D AFM image

이러한 현상은 Cu의 막질 및 Cu와 SiO<sub>2</sub>와의 접촉특성을 개선하기 위하여 초기에 적층되는 Cu의 grain

크기를 줄이거나, 접착층의 접착특성 연구 등을 통하여 개선될 수 있을 것으로 사료된다.

#### IV. 결론

본 논문에서는 차세대 고집적회로의 sub-micron 금속배선 및 via-hole 형성에 응용 가능한 Cu Damascene 공정을 이용하여 패턴 피치크기 및 밀도와 CMP 시간에 따른 연마특성을 연구하였으며, 말기 평탄화 이후 AFM 영상으로 패턴 profile 및 3D 영상을 관찰한 후 문제점을 연구하였다. 실험결과, 패턴 피치 크기가 작고 패턴밀도가 클수록 초기 연마율이 증가하는 경향을 보였으나, 연마시간이 증가할수록 연마율이 감소하는 것을 확인하였다. 이는 초기연마율이 표면요철에 의해 빠른 연마가 진행되다가 요철이 평탄해질 수록 연마율이 둔화되는 것으로 사료된다. 또한, 1분간 연마한 후의 SiO<sub>2</sub> trench 패턴이 없는 부분의 rms roughness는 22.1Å으로 양호한 결과를 얻을 수 있었다. 말기평탄화가 완료된 패턴의 표면을 패턴 피치 크기 및 밀도에 따라 AFM 영상으로 분석한 결과, 평균 rms roughness는 120Å으로 양호하였다. 그러나 패턴 피치크기가 2µm 이하이고 50%의 패턴밀도를 갖는 패턴의 경우에는 Cu의 일부분이 120Å ~ 330Å 정도의 깊이로 떨어져 나가면서 연마가 진행되어 SiO<sub>2</sub>와 Cu경계면에 oxide가 erosion된 것을 확인할 수 있었다. 이런 Cu의 peeling 현상은 Cu의 막질과 SiO<sub>2</sub>와의 접착력이 문제인 것으로 사료된다. 또한, 패턴 피치 크기가 10µm 및 15µm에서는 Cu가 떨어져 나가는 것은 볼 수 없었지만 Cu와 SiO<sub>2</sub> 경계면 부분에 Cu가 264~338Å 정도로 에칭된 것을 볼 수 있었다. 이는 Cu와 SiO<sub>2</sub>간의 접착력 문제로 인한 경계면의 화학적인 슬러리 침투 및 에칭 및 경계면의 oxide erosion에 의한 것으로 사료된다. 이러한 문제를 개선하기 위해서는 Cu의 막질 개선과, Cu와 선택도가 비슷한 접착층의 연구 등이 선행되어야 할 것으로 사료된다.

#### 참고 문헌

[1] Cater W. Kaanta et al. "Dual Damascene : A ULSI Wiring Technology", IEEE VLSI Multilevel Interconnection Conference,

- VMIC, 1991, pp. 144-152
- [2] Nobuyoshi aways et al. "Evaluation of a Copper Metallization Process and the Electrical Characteristics of Copper Inter-connected Quarter-Micron CMOS", IEEE Trans. Electron Devices, vol.43, no. 8, pp. 1206-1212, 1996.
  - [3] Linda Gerppert. "Copper forges deeper submicron ICs" IEEE Spectrum, 1998, pp. 23-28.
  - [4] H. van Kranenburg and P. H. Woerlee. "Influence of overpolish time on the performance of W-Damascene technology", Chemical Mechanical Polish for ULSI Multilevel Interconnection Conference (CMP-MIC), pp. 91-98, 1997.
  - [5] Milind Weiling et al. "Pattern Density Evaluation For Oxide CMP Processes", Chemical Mechanical Polish for ULSI Multilevel Interconnection Conference(CMP-MIC), pp. 65-68, 1997.
  - [6] 윤관기, 이진구 외, "CMP를 이용한 최적화 Cu Damascene 공정 연구", 대한전자공학회 추계 학술대회 논문집, 제 20권, 2호, 11. 1997

저 자 소 개



**金 東 一(正會員)**  
 1973년 7월 28일생. 1996년 동국대학교 전자공학과 학사. 1998년 8월 동국대학교 전자공학과 공학석사. 주관심분야는 CMP를 이용한 다층배선 공정 및 반도체 소자 제작 등임



**蔡 然 植(正會員)**  
 1967년 11월 18일생. 1997년 동국대학교 전자공학과 석사. 1997년 ~ 현재 동국대학교 전자공학과 박사과정 재학중. 주관심분야는 초고주파 회로 설계 및 Cu 배선분야 등임

**尹 寬 基(正會員)** 第 33卷 A編 第 9號 參照  
 현재 동국대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 화합물 반도체 소자 및 MMIC 설계·제작등임

**李 逸 炯(正會員)** 第 31卷 A編 第 1號 參照  
 현재 동국대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 화합물 반도체 소자 및 MMIC 설계·제작등임



**趙 章 衍(正會員)**  
 1971년생. 1997년 2월 동국대학교 전자공학과 공학석사. 1997년 ~ 현재 모토로라 코리아(주) 연구원. 주관심분야는 화합물 반도체 소자 및 RF 회로 설계 등임

**李 鎮 九(正會員)** 第 33卷 A編 第 12號 參照  
 현재 동국대학교 전자공학과 교수