

論文98-35C-12-9

## 전압제어형 카오스회로의 집적회로 설계 및 구현

## (Integrated Circuit Design and Implementation of the Voltage Controlled Chaotic Circuit)

宋 漢 廷 \* , 郭 桂 達 \*\*

(Han Jung Song and Kae Dal Kwack)

## 요 약

0.8 $\mu$ m single poly CMOS 공정을 이용하여 집적화 된 전압제어형 카오스 발생회로를 설계, 제작하였다. 제작된 카오스 집적회로는 비선형함수 발생회로와 op-amp, 2상 클럭발생회로, 2개의 샘플&홀드 회로 등으로 이루어진다. 측정결과  $\pm 2.5V$  전원, 20kHz의 클럭 인가시 입력제어전압에 따라 주기상태, 준주기 상태, 카오스 상태 등 다양한 형태의 분기현상 및 시계열 파형을 관측할 수 있었다. 또한 이 회로의 직렬, 병렬 연결에 의한 2차원 카오스 패턴도 관측하였다.

## Abstract

A voltage controlled chaotic circuit has been designed in integrated circuit and fabricated by using 0.8 $\mu$ m single poly CMOS technology. The fabricated chaotic circuit consist of sample and hold circuits, op-amps, nonlinear function generator and two phase clock generator. The test results of the chaotic circuit show that periodic state, quasi-periodic state and chaotic state can be obtained according to the input control voltage with the  $\pm 2.5V$  power supply and clock rate of 20kHz. In addition, two dimensional chaotic patterns have been observed by connecting this circuit in parallel or series

## I. 서 론

프랑스의 수학자이며, 천체 물리학자인 앙리 푸앵카레가 외부의 영향으로부터 단절된 상태에서만 풀리는 고전 물리학에 이의를 제기한 이래 카오스 현상에 대한 연구는 각 분야에서 꾸준히 연구되어 왔다<sup>[1]</sup>. 자연계의 보편적 현상이기도 한 카오스 현상은, 외부 입력의 작은 섭동이 비선형적인 되먹임 과정을 통하여 특이한 해를 발생시켜 예측이 불가능한 무작위한 특성을

나타내는 것으로 정의할 수 있다. 비선형 동력계는 외부 입력값에 따라 평형상태, 주기상태, 준주기 상태, 카오스 상태 등의 다양한 응답 특성을 보일 수 있으며 다음과 같은 간단한 차분 방정식을 통해서도 카오스 상태를 도출해 낼 수 있다.<sup>[2]</sup>

$$X(t+1) = a \cdot X(t)(1 - X(t)) \quad (1)$$

이 시스템의 정상상태  $X(t)$ 의 분기도에 대한 모의실험 결과를 그림 1에 보이고 있다. 계수값  $a$ 가 증가함에 따라 평형상태에서 주기상태로, 주기상태에서 카오스 상태로 변화됨을 알 수 있다. 한편 이러한 비선형 동력계의 복잡한 카오스 현상을 전자회로로 구현해 보려는 시도는 그동안 계속되어 왔다.<sup>[3]</sup> 그 결과 비선형 저항, 다이오드, 인덕터 등의 이산소자로 혼성회로를

\* 正會員, 忠淸大學校 電子工學科

(Dept. of Electronic Eng., Chungcheong College)

\*\* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng., Hanyang Univ.)

接受日字:1998年9月8日, 수정완료일:1998年11月3日

구성하여 구현된 카오스 회로에 대한 여러가지 연구결과가 발표된 바 있고, Chua회로가 그 대표적인 예라 할 수 있다.<sup>[3,4]</sup>

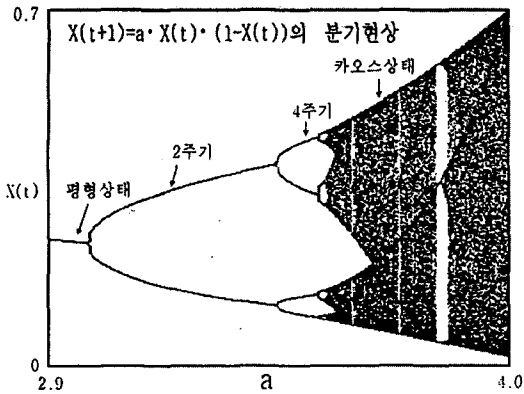


그림 1. 식 (1)의 분기도  
Fig. 1. Bifurcation diagram of the equation (1).

한편으로 이를 여러 분야에 응용하려는 시도가, 이를 테면 대형컴퓨터의 시험에 사용될 랜덤벡터 발생기를 비롯하여 암호시스템, 다치논리 시스템, 지진과 기상에 관한 예측시스템, 혼돈선풍기와 세탁기, 신경 컴퓨터가 받은 물론 디지털 필터, PLL 내부의 혼돈현상에 대한 분석에<sup>[5]</sup> 이르기까지, 관심있게 이루어지고 있는 형편이다. 최근에는 이러한 응용에 힘입어 카오스회로를 집적회로로 구현해 보려는 많은 시도들이 이루어지고 있다.<sup>[6,7]</sup> 이에 transconductance 증폭기를 이용한 집적화된 Chua회로의 분석결과도<sup>[8]</sup> 나오고는 있으나 연구의 여지가 많다 할 수 있고 국내의 경우는 아직까지 발표된 예가 없다. 본 논문에서는 연속방식의 Chua회로와는 달리, 전압제어에 따라 자유로운 카오스패턴 생성이 가능한 이산화된 카오스회로를 설계하였고 0.8 $\mu$ m single poly CMOS 공정에 의하여 이를 집적회로로 제작하였다.

II. CMOS 카오스 집적회로 설계

본 논문에서 구현하는 카오스회로의 차분방정식은 아래와 같다.

$$X(t+1) = a \cdot f(X(t)) + \beta X(t) + \gamma Va(t) \tag{2}$$

이 시스템은 시각 t에서의 값 X(t)가 비선형 함수 f(·)의 계수  $\alpha$ , 선형회로 계수  $\beta$ 와 외부입력 계수  $\gamma$ 에 의하여 다음 시각 t+1에서의 값 X(t+1)을 결정

하고 이 출력 X(t+1)은 지연회로를 거치면서 이산화된 데이터 형태로 시스템의 입력 X(t)로 귀환되어 다음 시각의 출력 X(t+1)를 결정하게 된다. 이때 외부입력 Va나 함수 f(·)의 비선형성 정도에 따라 X(t)는 평형상태, 주기상태 또는 카오스상태가 되기도 한다. 함수 f(·)가 충분한 비선형성을 갖고 있다면 상태 X(t)는 일정범위 내에서 끝없이 다른 값을 갖게 되는 카오스 상태에 이를 수 있다.<sup>[6]</sup> 식 (2)를 구현하는 1차원 카오스 시스템의 블록도를 그림 2에 나타내었다. 그림으로부터 식 (2)는 비선형함수 회로와 선형회로, 가산회로 및 출력 X(t+1)의 X(t)로의 되먹임을 위한 지연회로로 이루어짐을 알 수 있다. 한편으로 식 (2)의 차분 방정식을 만족하는 비선형 시스템 2개(①,②)를 직렬 혹은 병렬 연결함으로써 두 출력 상태 X(t), Y(t)의 2차원 카오스회로를 구현할 수가 있다. 병렬연결의 경우,

$$X(t+1) = a \cdot f(X(t)) + \beta X(t) + \gamma Y(t) \tag{3}$$

$$Y(t+1) = X(t) = a \cdot f(Y(t)) + \beta Y(t) + \gamma Va(t) \tag{4}$$

으로 표현 할 수 있다. 즉, 카오스회로 ①의 외부입력에 카오스회로 ②의 출력 Y(t)를 연결하고 회로①의 X(t)와 회로②의 Y(t+1)를 플러플롭 형태로 연결하고 두 출력상태 X(t)와 Y(t)의 관계를 보면 된다. 본 논문에서는 위 차분방정식을 만족하는 카오스회로의 구현을 위하여 sample and hold 회로, 비선형함수발생회로 (Nonlinear Function Generator), 가산회로, 2상 클럭발생회로, op-amp 등을 사용하였다.

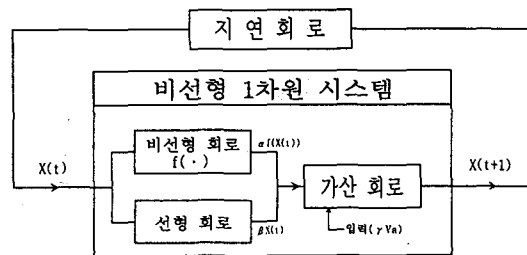
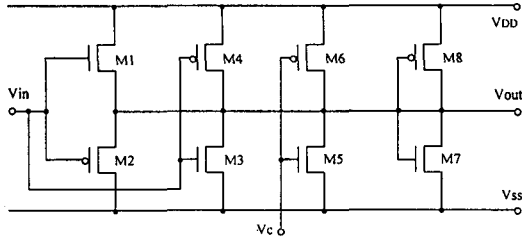


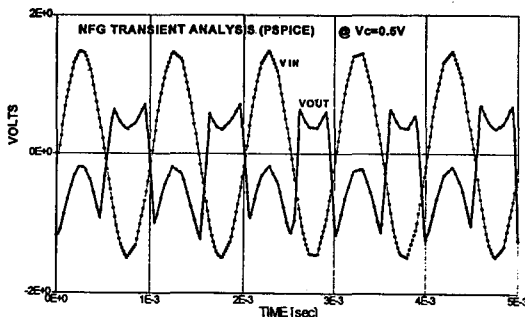
그림 2. 1차원 카오스회로의 블록도  
Fig. 2. Block diagram of the 1-dim. chaotic circuit.

비선형함수발생회로 (NFG)는 함수 f(·)를 구현한다. 카오스 상태를 발생시키기엔 충분하도록 입,출력특성이 N자형의 비선형성을 갖도록 회로구성을 하였고 두번째 인버터의 게이트 Vc를 통하여 이 비선형성의 조절이 가능하도록 하였다. 그림 3(b)는 NFG 모의실험

결과로 입력에 1kHz, 3Vpp의 정현파를 인가했을 때의 비선형적인 출력 시간파형을 보이고 있다.



(a) transistor schematic



(b) SPICE simulation result

그림 3. 비선형 함수 발생회로(NFG)  
Fig. 3. Nonlinear Function Generator circuit.

카오스회로에서 op-amp는 sample and hold 회로와 가산회로, 선형회로의 구성요소로서 사용된다. 본 논문에서는 그림 4에서 보듯이 전형적인 2단 CMOS 구조를 택하였으며 주파수 특성 보상을 위해서 2.5pF의 보상 캐패시터 Cc를 달았다. 캐패시터는 single poly CMOS공정 사용을 고려하여 poly와 metal간의 6500Å oxide층을 사용하였다. op-amp가 카오스회로의 내부 구동용임을 감안 output driver를 달지 않았고 부하 10pF 설정시 단위이득 주파수 7.6MHz, DC gain 83dB로, 수십 kHz대의 신호를 다루는 본 카오스 회로에는 적절하다고 볼 수 있다.

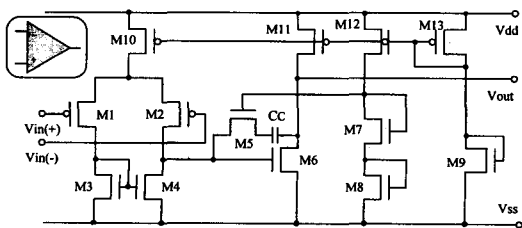


그림 4. 2단 CMOS op-amp 회로도  
Fig. 4. Two-stage CMOS op-amp for a chaotic circuit.

S/H(sample and hold) 회로는 입력과 출력을 연결시키는 지연회로 구성에 필요하며 2개의 op-amp와 아날로그 스위치로 이루어진다.(그림 5) 2개의 op-amp는 단위이득의 voltage follower로 작용하며 입력신호와 용량성 부하 C(2.5pF)를 격리시키고 출력회로 사이의 버퍼기능을 한다. 본 논문에서 제안한 1차원 카오스회로를 그림 5에 나타내었다. 2상클럭에 따라 동작되는 2개의 S/H에 의한 지연회로와 비선형함수의 비선형성을 높이기 위한 가변저항 R1, R2와 그리고 op-amp 2개의 가산회로 등으로 이루어진다. 그림으로부터 이산 차분방정식을 유도해 보면 아래와 같다.

$$X(t+1) = \left(\frac{-R_6}{R_4}\right) \cdot \left(\left(\frac{-R_3}{R_1}\right) \cdot f(X(t)) + \left(\frac{-R_3}{R_2}\right) \cdot X(t)\right) - \left(\frac{R_6}{R_5}\right) \cdot Va(t) \quad (5)$$

R1과 R2를 제외하고는 모든 저항을 100kΩ의 n-well 저항으로 고정시켰으므로 위 식은 다시 다음과 같이 정리된다.

$$X(t+1) = \left(\frac{R_3}{R_1}\right) \cdot f(X(t)) + \left(\frac{R_3}{R_2}\right) \cdot X(t) - Va(t) \quad (6)$$

그러므로  $\alpha = R3/R1$ ,  $\beta = R3/R2$ ,  $\gamma = -1$  인 1차원 카오스 회로를 구성하게 되며 R1과 R2의 저항 가변에 의해  $\alpha$ ,  $\beta$  조정이 가능하도록 하였다. 이때 R1과 R2의 저항 가변은 n-well내 p+접합 구조의 pinch저항 구조를 사용한다. 또한 NFG에 제어단자 Vc를 두어 f(X(t))의 비선형성 조정도 가능하도록 하였다. 결과적으로 본 논문에서는 카오스 차분방정식의 모든 계수와 비선형함수를 조정 가능토록 하여 각 변수가 카오스 상태에 미치는 영향을 분석할 수 있도록 하였다. 외부 입력단자 Va(t)는 op-amp로 구성된 가산회로에 직접 연결하였다.

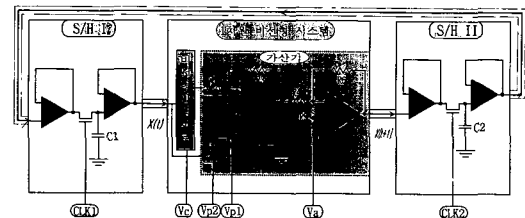


그림 5. 본 논문에서 제안한 1차원 카오스 회로도  
Fig. 5. Proposed 1-dimensional chaotic circuit.

이 시스템의 동작은 구형파와 2상 클럭에 의해 동작

하는 S/H 회로로 이루어진 지연소자의 이산적인 귀환을 통하여 가능하게 된다. 그림 6에  $\pm 2.5V$  전원, 10 kHz의 클럭 주파수,  $V_a$ 는 0V에서, 함수  $f(\cdot)$ 의 제어 단자  $V_c$ 의 조건에 따른 회로의 내부상태  $X(t)$ 를 10 msec까지 SPICE 과도분석 하였다.

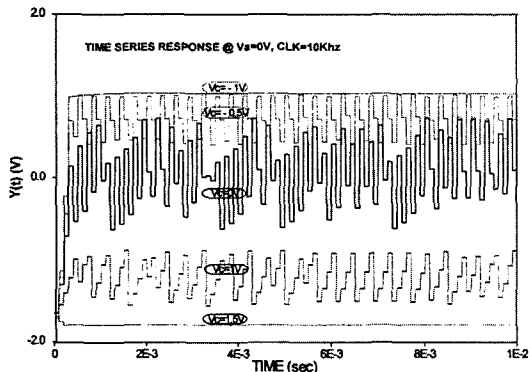


그림 6. 1차원 카오스회로의 SPICE 모의 실험 결과  
Fig. 6. SPICE simulation results of the 1-dim chaotic circuit.

$-0.5V < V_c < 1V$ 의 구간에서는 카오스 상태, 그 외 구간에서는 주기 상태 내지 안정한 평형 상태를 보이고 있다.  $V_c = -0.5V$ 일 경우 3주기 상태,  $V_c = -1V, 1.5V$ 일 경우는 1주기 상태의 평형점,  $V_c = 1V$ 일 경우는 근사 4주기 상태,  $V_c = 0V$ 일 경우는 불규칙한 카오스 상태를 보인다. 이로써 본 논문에서 제안한 카오스 회로는 특정한 조건에서 불규칙한 카오스 상태를 발생시킬 수 있음을 예측할 수가 있다.

### III. 제작 및 측정결과

본 논문의 카오스 집적회로 구현을 위하여  $0.8\mu m$  single poly double metal CMOS 공정을 사용하였고 그림 7과 같은 1차원 카오스회로 4종을 삽입하여 직렬 또는 병렬에 의한 2차원 카오스 회로 구성은 물론 여러 제어변수에 따른 특성분석도 가능하도록 100 QFP package chip으로 제작하였다.

그림 8에 카오스 상태를 유도하는 비선형함수 발생 회로의 측정결과를 보이고 있다. 그림 8(a)에서 1kHz, 1.5Vpp의 정현파 입력 인가시,  $V_c = 0.5V$  조건하에서 비선형적으로 꺾여 나타나는 시계열 출력특성으로 모의실험에서 본 바와 같다. 그림 8(b)는 오실로스코프로 측정된 입력과 출력간 DC 전달특성곡선으로 N자

형의 비선형성을 나타내고 있다.

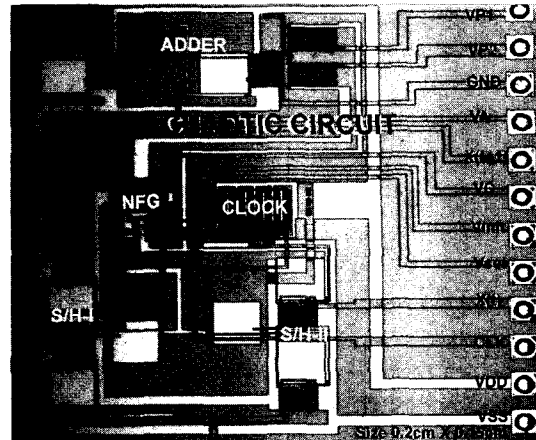
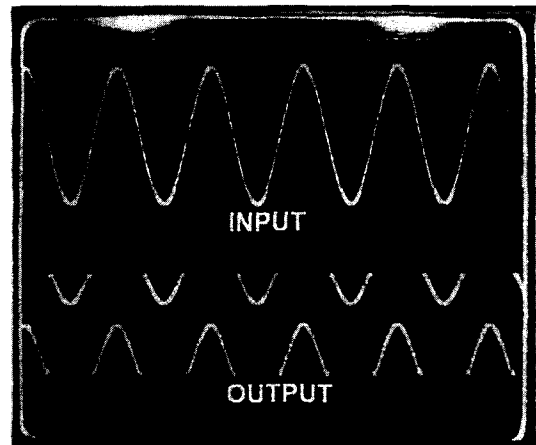
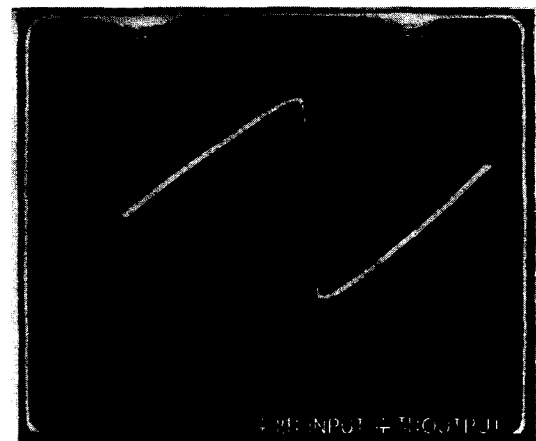


그림 7. 제작된 카오스회로의 현미경 사진  
Fig. 7. Microphotograph of the fabricated chaotic circuit.



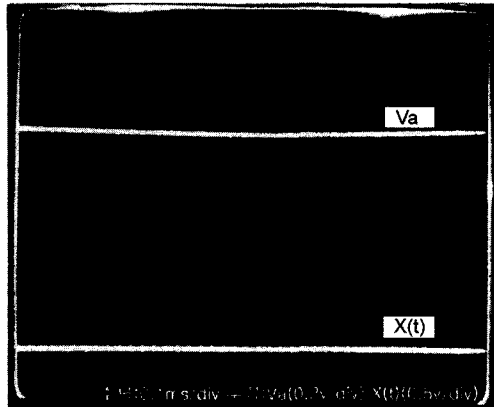
(a)



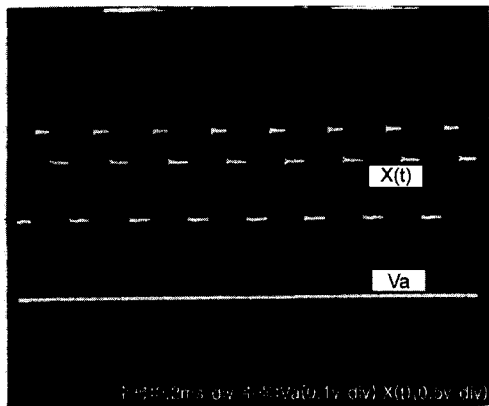
(b)

그림 8. NFG (a) 시계열 특성 (b) 입출력 전달특성  
Fig. 8. (a) Time waveform and (b) Transfer curve of the NFG.

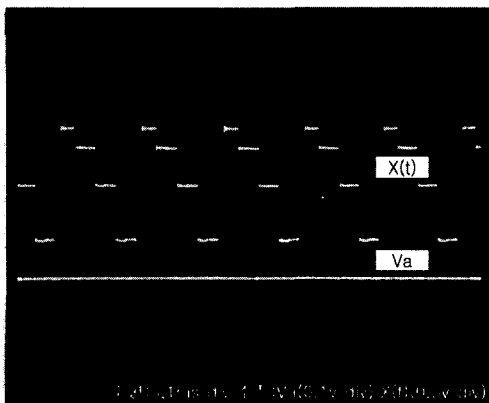
제작된 카오스 집적회로의 측정을 위하여 20kHz의 클럭을 인가하고 두 제어변수  $V_c$ 와  $V_a$ 의 변화에 따른 상태  $X(t)$ 의 시간파형과 분기도를 오실로스코프로 확인하였다. 그림 9는  $V_c$ 는 0.4V로 하고  $V_a$ 의 DC 값에 따라 각기 다르게 나타나는 상태  $X(t)$ 의 시계열 출력특성을 보이고 있다.



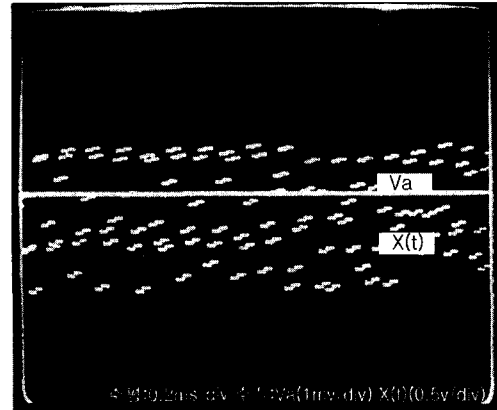
(a) equilibrium state ( $V_a=0.23V$ )



(b) period 3 ( $V_a=-0.2V$ )



(c) period 4 ( $V_a=-0.16V$ )



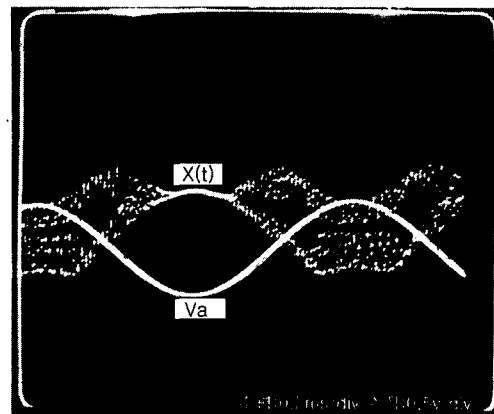
(d) Chaotic state ( $V_a=0.01V$ )

그림 9. 1차원 카오스회로의 측정결과(I)

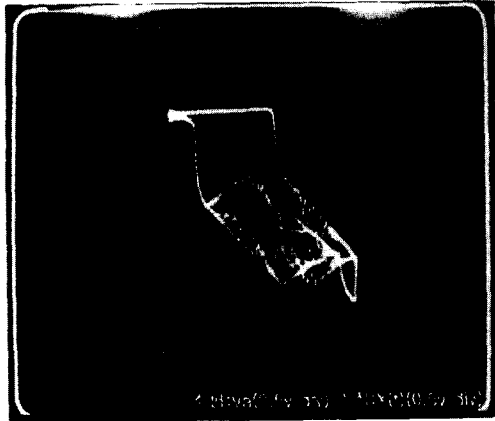
Fig. 9. Measurements(I) of the 1-dim. chaotic circuit.

그림 9(a)는  $V_a$ 에 0.23V 인가시  $X(t)$ 가 -1.6V의 평형상태에 머무르게 되고 (b)는  $V_a$ 에 -0.2V 인가시  $X(t)$ 가 3주기 상태에 있게 됨을 보이고 있으며 (c)는  $V_a$ 에 -0.16V 인가시  $X(t)$ 가 4주기 상태, (d)는  $V_a$ 에 0.01V의 전압 인가시  $X(t)$ 가 불규칙한 카오스 상태에 있음을 보이고 있다.

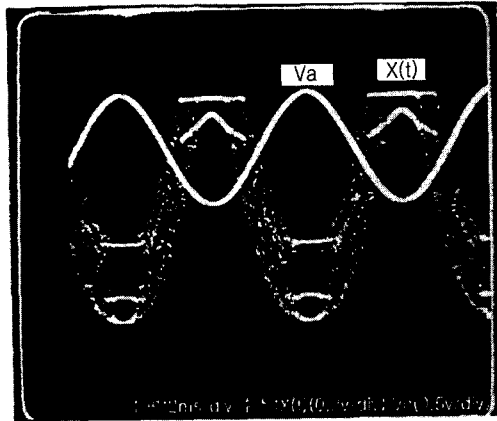
그림 10(a), (b)는 20kHz의 클럭 주파수,  $V_c=0V$ 에서  $V_a$ 에 1Vpp(-0.4V offset), 즉 -0.9V ~ 0.1V에서 변하는 100Hz의 정현파 인가시 나타나는  $X(t)$ 의 시계열특성 및 분기도를 보이고 있다.  $V_a$ 의 전압레벨에 따라 상태  $X(t)$ 는 다양한 모습을 보이고 있는데, 예를들어,  $V_a$ 의 정현파 입력이 -0.9V의 (-)peak 부근에서는  $X(t)$ 는 0.2V 정도의 일정한 전압, 즉 평형 상태에 머무르는 반면  $V_a$  값이 서서히 (+) 값으로 증가함에 따라 상태  $X(t)$ 는 두 전압 레벨, 즉 두 주기 상태로 갈라지고 더 나아가서는 일정한 범위, 즉  $X(t)$



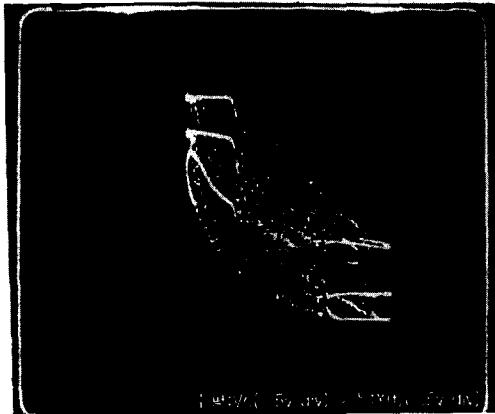
(a) time series ( $V_a=100Hz$ )



(b) bifurcation (Va=100Hz)



(c) time series (Vc=300Hz)



(d) bifurcation (Vc=300Hz)

그림 10. 1차원 카오스회로의 측정결과(II)  
Fig. 10. Measurements(II) of the 1-dim. chaotic circuit.

가  $-0.7V \sim -0.2V$ ,  $-0.1V \sim 0.2V$  영역에서 무수히 많은 전압레벨로 분기(bifurcation) 된다. 이 영역에서는 상태  $X(t)$ 가 계속적으로 불규칙한 상태, 즉 카

오스 상태에 있게됨을 뜻한다. 그림 10(b)는 그림10(a)의 입력  $V_a$ 와 출력  $X(t)$ 간의 전압분기 관계를 보는 오실로스코프의 리사주 파형이다.  $V_a$  값이  $-0.5V \sim 0.1V$ ,  $0.3V \sim 1.0V$ 에서 출력  $X(t)$ 가 카오스 상태로 분기되고 그 사이에  $0.1V \sim 0.3V$ 에서 2주기 상태를 보이고 있다.  $V_a$ 가  $-0.5V$  이하에서는  $X(t)$  값이  $1.1V$  정도의 평형점으로,  $1V$  이상에서는  $X(t)$ 가  $-1V$  정도의 평형점에 있음을 알 수 있다. 그림 10(c), (d)는  $V_a$ 는  $0V$ 에서 NFG 제어전압  $V_c$ 에  $100Hz$ ,  $1V_{pp}(0.8V \text{ offset})$ 의 정현파를 인가했을 때의 각각  $X(t)$ 의 시계열 및 분기도 측정결과이다.  $X(t)$ 의 시간파형은  $V_c$ 의 (+)피크( $1.3V$ ) 부분에서 3전압레벨 ( $-0.1V$ ,  $-0.35V$ ,  $-0.45V$ )로 나뉘는 3주기 상태를 보이며 (-)피크( $+0.3V$ )에서는 두 전압레벨( $-1V$ ,  $1.3V$ )의 2 주기 상태로, 또 그 사이에서는 무수한 전압레벨로 나뉘는 또 다른 카오스 패턴을 보이고 있다. 그림 10(d)는 그 분기도이다.

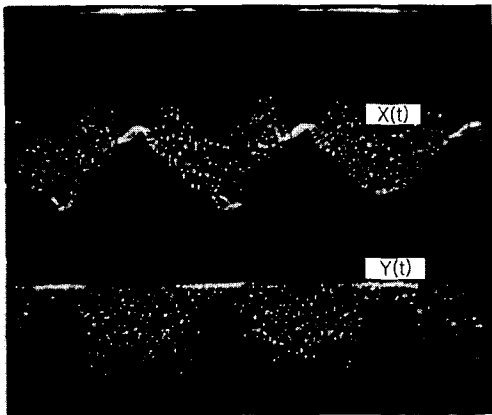
표 1에 1차원 카오스회로의 측정결과를 요약 하였다.  $X(t)$ 의 카오스 발생범위는  $V_a(-0.63V \sim 0.24V)$ ,  $V_c(-0.2V \sim 1.2V)$ 로 나타남을 알 수 있다.

표 1. 1차원 카오스회로의 특성 측정결과  
Table 1. Measured performance of the 1-dimensional chaotic circuit.

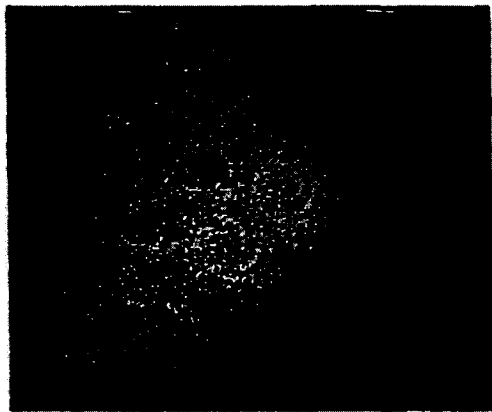
항목	특성치(1차)	측정결과
공급전압	$\pm 2.5V$	$\pm 2.5V$
출력전력	$246mW$	$225mW$
진동수	$20kHz$	$20kHz$
커패시터	$25pF$	$25pF$
저항기(1차)	$100k\Omega$	$102k\Omega$
전압레벨	$V_{peak}(V_{in}, V_{out})$	$(0.1V, 1.2V)$
	$V_{valley}(V_{in}, V_{out})$	$(0.3V, -0.8V)$
분기점	$V_a(V_1=V_2=0)$	$-0.45V \leq V_a \leq 0.32V$
	$V_c(V_1=V_2=0)$	$-0.63V \leq V_a \leq 0.42V$
주기	$V_a(V_1=V_2=0)$	$-0.47V \leq V_c \leq 1.1V$
	$V_c(V_1=V_2=0)$	$-0.2V \leq V_c \leq 1.2V$
비교	$V_{p1}(V_1=V_2=0)$	$0.8 < V_{p1} < 1.6$
	$V_{p2}(V_1=V_2=0)$	$1 < V_{p1} < 2$
비교	$V_{p1}(V_1=V_2=0)$	$-1 < V_{p2} < -0.5$
	$V_{p2}(V_1=V_2=0)$	$0.5 < V_{p2} < 0.8$

1차원 카오스회로의 응용으로서 연속으로 직렬연결하거나 병렬연결 할 경우 2개의 회로내 출력상태  $X(t)$ ,  $Y(t)$ 가 존재하게 되고 이 경우 2차원 카오스회로를 구성할 수가 있다. 그림 11(a)는  $20kHz$  클럭,  $V_c=0.7V$ 에서 1차원 카오스회로 ①의 외부입력  $V_a$ 에  $300Hz$ 의 정현파를 인가하고 그 내부상태  $X(t)$ 를 카오

스회로 ②의 입력에 연결한 직렬연결의 경우로서 각각의 내부 상태  $X(t)$ ,  $Y(t)$ 의 시간파형이다. 두 파형 모두 시간에 따라 불규칙한 상태를 보이는 카오스 영역이 발생함을 알수 있다. 그림 11(b)는 2개의 카오스회로를 병렬연결하고 카오스회로 ①의 외부입력  $V_a$ 에 음성신호를 인가 했을때의 두 상태  $X(t)$ ,  $Y(t)$ 에 의한 이산화 된 분기도이다. 음성신호의 크기와 주파수 변화에 따라 이 분기도는 확장과 수축을 반복하면서 불규칙하게 변하는 소용돌이 형태의 역동적인 모습을 보이고 있다.



(a) time series ( $V_c=300\text{Hz}$ )



(b) bifurcation ( $V_a=\text{sound signal}$ )

그림 11. 2차원 카오스회로의 측정결과  
Fig. 11. Measurements(II) of the 2-dim. chaotic circuit.

#### IV. 결 론

본 논문에서는  $0.8\mu\text{m}$  CMOS 공정을 이용하여 비선형함수의 이산화한 되먹임에 의해 카오스 상태를 발생시키는 집적화 된 전압제어형 카오스회로를 설계, 제

작하였다. 측정결과  $\pm 2.5\text{V}$  전원,  $20\text{kHz}$ 의 클럭 인가시 입력전압의 크기에 따라 주기 상태, 준주기 상태, 카오스 상태 등으로 분기됨을 시간파형과 입출력 전달특성을 통하여 확인하였다. 또한 직렬, 병렬 연결에 의한 2차원 카오스 시스템도 구성하여 음성신호 인가시 나타나는 역동적 카오스 패턴도 관측하였다. 본 논문의 카오스회로는 입력변수의 제어에 의하여 다양한 카오스 패턴 생성이 가능하다는 점이 특징이라 할 수 있으며 카오스패턴 제어의 정교성 등 회로성능을 보완한다면 카오스 아트, 분수의 제어, 랜덤 벡터 제너레이터, 전자 룰렛, 카오스 메모리, 암호기, 정보 압축기, 선풍기, 세탁기 등 다양한 분야에 응용 가능하며 특히 인공지능과 신경망 분야의 neuron cell로도 유용하리라 생각된다.

#### 참 고 문 헌

- [1] 合原一幸 편저, 정호선 역, “뇌와 카오스”, Ohm사, 1993
- [2] FRANSIS C.MOON “Chaotic Vibration for Applied Scientists&Engineers”, JOHN WILEY & SONS, 1992.
- [3] L.O.Chua and G.Lin, “Intermittency in a piecewise-linear circuit,” IEEE trans. Circuit Syst, vol. 38, no. 5, pp. 510-520, 1991.
- [4] L.O.Chua, et al. “A Universal Circuit for Study and Generating Chaos - Part I : Routes to Chaos” IEEE trans. Circuit Syst, vol. 40, no. 10, pp. 732-744. Oct. 1993.
- [5] T.Endo and L.O.Chua, “Chaos from phase-locked loops,” IEEE, Trans. Syst, vol. 35, no. 8, pp. 987-1003, 1988.
- [6] 合原一幸 편저, 박승만 역, “카오스 응용 전략”, 성안당, 1995
- [7] Charles C. Hsu, et al. “Chaotic Neuren Models and Their VLSI Circuit Implementations,” I EEE, Trans. Neural Networks, vol. 7, no. 6, pp. 1339-1349, Nov. 1996.
- [8] Angel Rodriguez-Vazquez, et al. “CMOS Design of Chaotic Oscillators Using State Variable: A Monolithic Chua’s Circuit” IEEE trans. Circuit Syst, vol. 40, no. 10, pp. 596-611. Oct. 1993.

## 저 자 소 개



宋漢廷(正會員)

1963년 2월 2일생, 1986년 2월 한양대학교 전자공학과 공학사, 1988년 2월 한양대학교 대학원 전자공학과 공학석사, 1995년 ~ 현재 한양대학교 대학원 전자공학과 박사과정 수료, 1988년 1월 ~ 1994년 2월 LG반도체(주) 연구소 선임연구원 근무, 1994년 3월 ~ 현재 충청대학 전자과 조교수, 주관심 분야는 아날로그 집적회로 설계, 반도체 소자 신뢰성 및 Process Integration 등임

郭桂達(正會員) 第34卷 D編 第7號 參照

현재 한양대학교 전자공학과 교수