

論文98-35C-12-6

무고정 부분 스캔 테스트 방법을 위한 스캔 선택 알고리즘

(Scan Selection Algorithms for No Holding Partial Scan Test Method)

李 東 浩 *

(Dong-Ho Lee)

요 약

본 논문에서는 무고정 부분 스캔 테스트 방법을 위한 새로운 스캔 선택 알고리즘에 대하여 논한다. 무고정 부분 스캔 테스트 방법은 모든 플립-플롭을 스캔하지 않는다는 점을 제외하면 완전 스캔과 동일한 테스트 방법이다. 이 테스트 방법은 테스트 벡터를 입력, 인가, 혹은 적용 등, 어느 때에도 스캔, 비스캔 중 어느 플립-플롭의 데이터 값도 고정하지 않는다. 제안된 스캔 선택 알고리즘은 무고정 부분 스캔 테스트 방법에서 완전 스캔 고장 검출율을 거의 유지하면서 많은 플립-플롭을 스캔하지 않게 한다.

Abstract

In this paper, we report new algorithms to select scan flip-flops for the no holding partial scan test method. The no holding partial scan test method is identical to the full scan test method except that some flip-flops are left unscanned. This test method does not hold scanned or unscanned flip-flops while shifting in test vectors, or applying them, or shifting out test results. The proposed algorithm allows a large number of flip-flops to be left unscanned while maintaining almost the complete full scan fault coverage.

I. 서 론

최근의 놀랄만한 반도체 공정 기술의 발전과 CAD 기술의 발전으로 인하여 크고 복잡한 칩을 짧은 시간에 설계할 수 있게 되었다. 크고 복잡한 VLSI 칩을 테스트하는 데에는 테스트를 위한 설계 변형(Design for Testability) 기법이 필수적으로 요구된다. 현재 스캔 테스트 방법과 자체 내장 테스트(Built-In Self Test) 기법이 널리 사용되고 있다. 완전 스캔 기법을 사용할 경우 모든 플립-플롭들은 스캔 모드라 불리는 동작 모드에서 하나 혹은 다수의 쉬프트 레지스터로

연결된다. 스캔 모드에서는 회로의 모든 플립-플롭을 쉬프트 동작을 이용하여 읽거나 쓸 수 있다. 스캔 기능을 이용하면 플립-플롭의 입(출)력은 조합회로 자동 테스트 패턴 생성(Automatic Test Pattern Generation) 알고리즘 수행 시에 주 출(입)력(Primary Output/Input)으로 취급 될 수 있다. 따라서 완벽히 연구된 조합 회로 ATPG 알고리즘을 사용하여 작고 효율적인 테스트 패턴을 생성할 수 있다^[1-8]. 제작된 칩들은 조합회로 테스트 패턴을 쉬프트 입력하고 인가한 다음 테스트 결과를 쉬프트 출력하여 테스트 할 수 있다.

칩 설계자들은 면적이나 성능 부담으로 인하여 완전 스캔 테스트 방법을 사용하지 못하는 경우가 있다. 부분 스캔 테스트 방법은 이들 부담을 줄이기 위하여 연구되었다. 이제까지 많은 연구에도 불구하고 부분 스

* 正會員, 慶北大學校 電子電氣學部
(School of Electronics and Electrical Engineering
Kyungpook National University)
接受日字:1998年7月20日, 수정완료일:1998年11月19日

스캔 테스트 방법은 여러 가지 이유로 널리 사용되고 있지 못하고 있다^[8-15]. 먼저 부분 스캔은 일부 플립-플롭들이 스캔되지 않고 남아 있음으로 인하여 순차회로 테스트 패턴 생성기를 사용하여야 한다. 순차회로 ATPG 문제는 조합회로 ATPG 문제에 비교하여 더 어려운 문제로 알려져 있다^[16-19]. 현재 사용 가능한 모든 순차회로 ATPG 알고리즘들은 크고 복잡한 VLSI 설계에 대한 효과적인 테스트 패턴을 생성하는데에 어려움이 있다. 따라서 높은 고장 검출율을 얻기 위해서는 높은 비율의 플립-플롭들이 스캔되어야 한다. 순차회로 ATPG 알고리즘의 또 다른 문제는 생성되는 테스트 패턴 집합의 크기가 매우 크다는 점이다. 부분 스캔 테스트 방법의 경우 요구되는 테스트 클럭수가 테스트 벡터의 크기와 스캔된 플립-플롭의 곱에 비례한다는 점을 고려할 때 테스트 패턴의 크기는 매우 큰 문제이다. 작고 효과적인 순차회로 테스트 패턴 생성 문제에 대한 많은 연구가 있었으나 실제 칩 설계에 사용하기에는 아직 더 많은 연구가 필요하다^[20-22].

전통적인 부분 스캔 테스트 방법에는 또 다른 문제점이 있다. 전통적인 부분 스캔 방법에는 스캔되지 않는 플립-플롭들에 데이터 고정 신호를 첨가하여야 한다^[9,10]. 이 데이터 고정 기능으로 스캔되지 않는 플립-플롭들이 스캔 도중에 고정된다. 이로 인하여 순차회로 ATPG 알고리즘을 이용하여 부분 스캔 회로의 테스트 패턴을 생성할 경우 스캔된 플립-플롭의 출력과 입력은 각각 주입력과 주출력으로 사용할 수 있다. 이들을 보통 의사 입출력이라 말한다. 각 의사 입출력 신호들은 순차회로 ATPG에 사용된 시간 프레임의 수만큼 반복된다고 생각할 수 있으므로 테스트 제어도와 관측도가 매우 커서 높은 고장 검출율을 얻을 수 있다. 차후에 언급하는 몇가지 예외를 제외하고는 대부분의 학술적인 부분 스캔 연구는 비스캔 플립-플롭의 데이터 고정 기능을 가정하고 있다. 즉 대부분의 부분 스캔 연구는 비스캔용으로 개발된 순차회로 ATPG 알고리즘을 사용하며 연구는 최적의 스캔 플립-플롭을 선택하는 알고리즘을 개발하는데에 집중되어 있다. 비스캔 플립-플롭에 데이터 고정 기능을 추가하기 위해서는 클럭 게이팅을 사용하거나 스캔 클럭을 위한 독립적인 클럭 트리를 제공하여야 한다. 이러한 설계 변형은 면적 부담을 증가시키고 설계 시간을 증가시켜 부분 스캔의 장점을 감소시킨다^[30].

본 논문에서 사용하는 부분 스캔 방법은 스캔 플립-플롭이나 비스캔 플립-플롭에 데이터 고정 기능을 추가하지 않는다. 이 테스트 방법은 하나의 스캔 테스트 벡터를 스캔 입력한 후 다수의 클럭이 인가되어 논리회로를 테스트한다. 그 결과로 축적된 테스트 결과가 스캔 출력된다. 스캔된 플립-플롭이 클럭 공급도 중 고정되지 않으므로 논리치가 변화한다. 사용된 ATPG 알고리즘은 이를 고려하여 테스트 순서열을 생성하여야 한다.^[15]와 본 논문에서는 이 테스트 방법을 무고정 부분 스캔(NHPS) 테스트 방법이라 한다.

무고정 부분 스캔 테스트 방법은 Agrawal과 Cheng에 의하여 [27,28] 등에서 단일 클럭 부분 스캔 테스트 방법 또는 별도의 스캔 클럭이 필요 없는 테스트 방법 등으로 소개되었으나 많은 관심을 받지 못하였다. 저자는 [15]에서 확장된 FAN 알고리즘을 이용하여 이 방법을 대규모 회로에 적용하려 시도하였다. 이 방법의 중요한 특징은 모든 플립-플롭들을 스캔하지 않는다는 점을 제외하면 테스트를 위한 설계 변형 면에서나 테스트 파형 면에서 완전 스캔과 동일하다는 점이다.

NHPS 테스트 방법은 Agrawal과 Cheng의 부분 스캔 테스트 방법과 동일하다. 다만 Agrawal과 Cheng은 이 테스트 방법을 이용하여 순차 회로의 테스트 성질을 향상시키는 방향에서 연구하였으나 [15]와 본 논문에서는 완전 스캔의 고장 검출율을 유지하면서 대규모 완전 스캔 회로의 스캔 부담을 줄이는 것을 주 목적으로 한다. 따라서 전통적인 순차회로 ATPG 대신 조합 회로 ATPG 알고리즘인 FAN을 사용하였으며 부분 스캔 알고리즘도 이를 고려하여 설계하였다. 본 논문에서는 NHPS 테스트 방법을 위하여 특별히 고안된 부분 스캔 선택 알고리즘을 제안한다. 이후 논문은 다음과 같이 구성되어있다. 제 2 절에서 NHPS 테스트 방법과 연관된 ATPG 방법을 소개한다.

제 3 절에서는 그래프 이론에 기반을 둔 NHPS를 위한 새로운 부분 스캔 테스트 방법을 논한다. 아울러 부분 스캔 선택을 완료하는 ATPG 기반 부분 스캔 테스트 방법에 대하여 간단히 설명한다. 제 4 절에서는 ISCAS89 벤치마크 회로를 이용한 실험 결과를 논한다. 마지막으로 제 5 절에서는 간단한 결론과 추후 연구에 대하여 논한다.

II. NHPS 테스트 방법과 ATPG 알고리즘

전통적인 부분 스캔 테스트 구조가 그림 1 에 주어 져 있다. 완전 스캔의 경우 모든 플립-플롭들을 쉬프트 레지스터로 엮고 스캔 신호(SCAN_ENABLE)를 이용하여 회로의 동작 모드에 스캔 모드와 정상 모드 두 가지를 가지게 하면 된다. 그림 1의 전통적인 부분 스캔 기법의 경우 완전 스캔 기법에서 필요한 SCAN_ENABLE 신호 이외에 스캔 고정(SCAN_HOLD) 신호가 필요하다. 다음은 전통적인 부분 스캔 기법에서 SCAN_HOLD 신호의 역할을 기술한다. 어떤 테스트 순서열의 테스트 벡터를 인가하기 위해서는 SCAN_ENABLE 값이 1 인 상태에서 입력 벡터를 입력 스캔한다. 그후 SCAN_ENABLE의 값을 0 으 로 하여 테스트 벡터가 인가되어 회로의 기능을 작동 시킨다. 작동 결과 플립-플롭에 획득된 테스트 결과가 출력 스캔된다. 출력 스캔은 다음 테스트 벡터의 입력 스캔과 병행하여 수행된다. 스캔 기간 중 비스캔 플립-플롭도 클럭 입력을 받으므로 데이터 내용이 바뀐다. 테스트 패턴 생성시 비스캔 플립-플롭의 내용이 고정 되어 있다고 가정하므로 스캔 입출력 기간에는 SCAN_HOLD 신호를 사용하여 스캔되지 않은 플립-플롭의 논리 값은 고정되어야 한다. 이를 위해서는 클럭 게이팅 사용, 독립 테스트 클럭 사용, Mux의 사용 등 3 가지 방법 중 하나를 적용해야 한다.

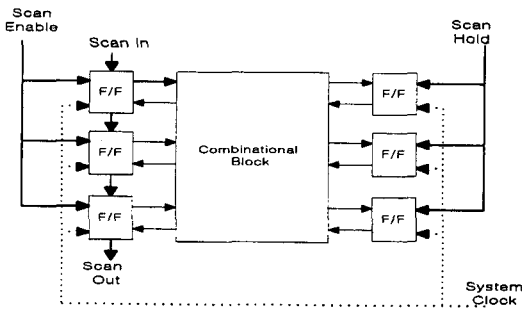


그림 1. 부분 스캔 테스트 구조
Fig. 1. Partial Scan Test Architecture.

본 논문에서 사용하는 NHPS 테스트 방법에서는 그림 1의 SCAN_HOLD 신호가 없다. 따라서 여러 테스트 벡터를 연속적으로 인가하여 고장을 검출하려면 스캔 과정에서 비 스캔 플립-플롭들의 논리치 변화를 고려하여야 한다. 따라서 테스트 패턴 생성은 매우 어렵게 된다. 이러한 문제점을 제거하기 위하여

NHPS 테스트 방법에서는 하나의 테스트 벡터를 스캔 입력한 후 다수의 시스템 클럭을 공급하여 고장 효과를 전파하여 고장을 테스트한다. 이때 스캔된 플립-플롭들은 각 클럭 마다 논리치가 바뀐다. [14]에서는 이러한 문제점을 해결하기 위하여 스캔된 플립-플롭들에 데이터 고정 기능을 첨가하였다. 따라서 [14]에서는 완전한 조합 논리회로용 ATPG를 사용할 수 있었다. 데이터 고정 기능을 전혀 사용하지 않는 NHPS 테스트 방법의 경우 간단한 순차회로 ATPG가 요구 된다.

다음에는 순차 회로의 반복 배열 표현을 이용하여 NHPS 테스트 방법의 ATPG 알고리즘의 기본 아이디어를 기술한다. 전통적인 부분 스캔 테스트 방법을 위한 반복 배열 표현과 NHPS 테스트 방법의 반복 배열 표현이 그림 2 와 그림 3 에 각각 주어 져 있다. 그림 2 에서 볼 수 있는 바와 같이 전통적인 부분 스캔 테스트 방법에서는 각 프레임마다 하나의 스캔 입력(SI) 벡터와 하나의 스캔 출력(SO) 벡터가 각각 존재한다.

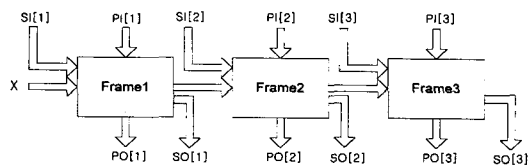


그림 2. 전통적인 부분 스캔을 위한 반복 배열 표현
Fig. 2. Iterative Array Representation for Traditional Partial Scan Test Method.

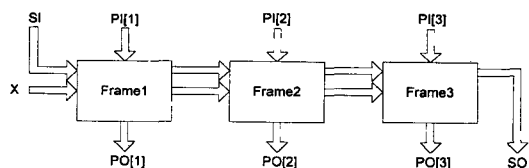


그림 3. NHPS 테스트 방법을 위한 반복 배열 표현
Fig. 3. Iterative Array Representation for the NHPS Test Method.

이와는 대조적으로 그림 3 에는 SI와 SO가 오직 하나의 스캔 입출력 벡터이다. NHPS 테스트 방법을 이용하여 하나의 목적 고장에 대하여 테스트를 생성하기 위해서는 그림 2의 SI와 PI[i] 들의 논리치만 결정 하면 된다. 이 테스트 생성 문제는 일부분의 플립-플롭의 초기치 만이 제어 불가능한 순차회로 ATPG 문제이다. [18] 에는 본 논문에서 사용된 ATPG 방법

과 유사한 순차회로 ATPG를 제안하였다. [18]을 포함하여 대부분의 순차 회로 ATPG에 사용된 기본 조합회로 ATPG 알고리즘은 PODEM이다^[17,18,19]. 본 논문에서는 이보다 우수한 FAN 알고리즘을 이용하여 NHPS 테스트 방법을 위한 순차회로 ATPG 알고리즘을 고안하였다.

NHPS 테스트 방법의 ATPG 문제는 전통적인 부분 스캔 테스트 방법의 경우보다 상당히 어렵다. 그러나, 스캔 플립-플롭을 잘 선택하면 각 고장에 대한 테스트 순서열의 길이를 작은 수로 제한 할 수 있다. 본 연구에서는 짧은 테스트 길이를 이용하여 효과적인 ATPG 알고리즘과 부분 스캔 선택 알고리즘을 고안하였다. 사실상 NHPS 방법은 전통적인 부분 스캔 테스트 방법보다 많은 플립-플롭을 선택한다. NHPS 방법의 장점에 대해서는 서론 부분에서 논하였다. NHPS 테스트 방법의 고장 검출 능력과 ATPG 알고리즘에 대해서는 [29]에 자세히 설명되어있다.

III. 부분 스캔 선택 알고리즘

그림 4의 순차 회로를 이용하여 부분 스캔 선택 알고리즘을 설명한다. 그림 4에서 A, B는 입력 신호이다. 테스트 수행시 입력과 스캔 플립-플롭에는 정해진 값이 가해지고 비스캔 플립-플롭에는 미지의 논리치가 저장되어 있다. 입력 신호는 각 클록마다 다른 값을 인가할 수 있으나 스캔된 플립-플롭들은 스캔시 초기화 된 후 매 클록마다 회로의 기능에 따른 값이 인가된다. 미지의 논리치(Unknown logic value)를 전혀 사용하지 않은 연산의 결과는 정해진 논리치(Determined logic value)가 된다. 예를 들어 그림 4에서 R3이 스캔되면 1 클록 이후 R1과 R2가 정해진 논리치를 가진다. 따라서 C1 블록의 모든 회로가 테스트된다. 두 클록 이후에는 R4와 R5가 정해진 논리치를 가진다. 따라서 C1, C2, 그리고 C3 블록의 모든 회로가 테스트 될 수 있다. 그림 1의 회로의 경우 R4, R5, 그리고 R6를 스캔하면 최대 3 프레임을 이용하는 NHPS 용 ATPG를 사용하여 거의 모든 회로의 고장을 테스트 할 수 있다. 따라서 효과적인 고장 테스트를 위해서는 정해진 수의 클록이 공급된 후 스캔된 출력 플립-플롭에 미지 논리치가 인가되지 않게 한다. 이 경우 출력 플립-플롭에 영향을 미치는 모든 입력과 입력 스캔 플립-플롭 사이의 모든 논리회로가

테스트된다. 부분 스캔 알고리즘의 목적은 최소한의 플립-플롭들을 스캔하여 모든 논리 회로들을 테스트하는 데에 있다. 이 부분 스캔 선택 기법은 NHPS를 위하여 특별히 고안된 방법으로 전통적인 부분 스캔의 경우에도 높은 고장 검출율을 얻을 수 있다.

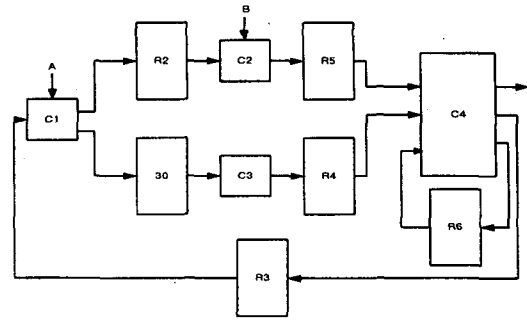


그림 4. 순차 회로 예
Fig. 4. An Example Sequential Circuit.

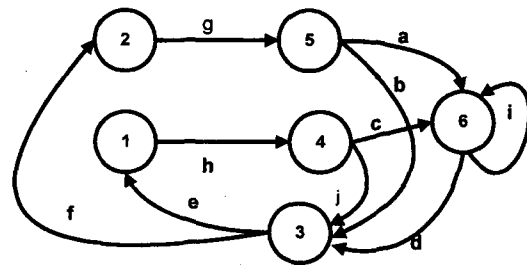


그림 5. 순차회로 예의 S-그래프
Fig. 5. The S-Graph for the Example Circuit.

그래프 이론 기반 부분 스캔 선택 알고리즘을 기술하기 위해서 S-그래프의 개념을 사용한다. S-그래프는 순차회로를 추상화한 것이다. 버텍스는 플립-플롭을 나타내며 에지는 어떤 플립-플롭에서 다른 플립-플롭으로 조합회로 경로가 있음을 나타낸다. 그림 5에는 그림 4의 순차 회로에 대한 S-그래프이다. 전역 궤환(global feedback)과 큰 순차 깊이가 순차회로 ATPG의 주된 장애인이 널리 알려져 있다^[9,10,14]. 따라서 [13]에서 제안된 사이클 커팅과 순차 깊이 제한 알고리즘은 효과적인 부분 스캔 알고리즘이 된다. [15]에서는 이 알고리즘이 사용되었다. 본 논문에서는 NHPS를 위하여 특별히 고안된 새로운 그래프 이론 기반 부분 스캔 선택 알고리즘을 제안한다. 본 절에서 새로운 부분 스캔 알고리즘을 기술하고 실험에서 이들 두 방법을 비교한다. 이들 두 방법 모두 근사 알고리즘이므로 완전한 고장 검출율을 위해서는 ATPG

기반 부분 스캔 선택 알고리즘을 이용하여 스캔 선택을 완료하여야 한다.

1. 새로운 그래프 이론 기반 부분 스캔 선택 알고리즘

새로운 부분 스캔 선택 알고리즘을 위한 S-그래프는 플립-플롭들 뿐만 아니라 주출력에 대해서도 버텍스를 할당한다. 원래 S-그래프에는 입력과 출력은 고의적으로 제거되었다^[10,13]. 본 연구에서 사용되는 NHPS 용 ATPG 알고리즘은 회로를 풀어서 반복 배열 표현 회로를 만든다^[15]. 따라서 부분 스캔 선택 알고리즘을 위해서 S-그래프도 유사하게 풀어준다. 회로의 조합 논리 요소들은 S-그래프의 에지로 나타낼 수 있으므로 회로의 테스트는 S-그래프에서의 에지 테스트로 표현될 수 있다. 따라서 부분 스캔 선택 문제는 풀어진 S-그래프에서 에지들을 테스트하는 버텍스 집합을 구하는 문제로 표현할 수 있다. 다음에 이러한 아이디어에 기반을 둔 부분 스캔 선택 알고리즘에 대하여 논한다.

1) 커버링 문제

부분 스캔 선택 문제를 그래프 이론적으로 표현하기 위해서 먼저 널리 알려진 단방향 커버링(Unate Covering) 문제를 확장하여 소위 곱 커버링(Product Covering) 문제를 만든다.

두 개의 집합 S와 O을 각각 도메인 집합과 목적 집합이라 하자. 곱 집합 P 는 요소 p 의 집합이다. 각 p 는 함수 D(p)에 의하여 S의 부분 집합으로 매핑된다. 또 다른 함수 T 는 각 p를 O의 부분 집합으로 매핑한다. S의 부분 집합 B가 D(p)의 모든 요소를 포함할 때에 B가 곱 p를 커버한다고 말한다. 목적 집합 O의 요소 o 가 어떤 T(p)에 포함되면 우리는 o 가 p 에 의하여 테스트 된다고 말한다. 최소 곱 커버링 문제는 모든 O 의 요소 o 가 적어도 B에 의하여 커버되는 하나의 곱 p에 의하여 테스트되는 S 의 최소 부분 집합 B를 구하는 문제이다. 여기서 P의 두 요소 p 와 q 는 서로 무관하지 않음을 알 수 있다. 모든 P의 요소들이 서로 무관하다면 곱 커버링 문제는 잘 알려진 단방향 커버링 문제이다.

곱 커버링 문제를 이용하여 부분 스캔 문제를 표현하기 위하여는 S를 차후 스캔 집합에 포함시킬 가능성이 있는 플립-플롭들에 해당되는 버텍스들로 하고 O을 테스트 하려는 S-그래프의 에지들로 한다. 이제 부분 스캔 선택 알고리즘은 모든 혹은 거의 모든 O을

커버하는 S의 부분 집합 B를 구하는 문제로 표현된다.

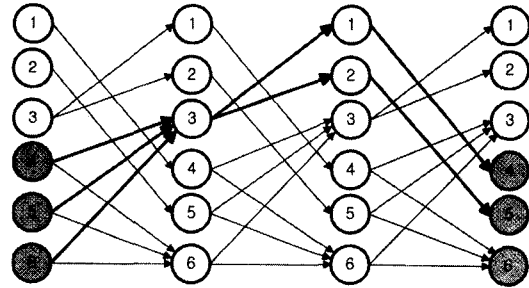


그림 6. S-그래프의 3 프레임으로의 확장
Fig. 6. Unrolling the S-Graph Three Times.

다음 그림 5의 S-그래프를 이용하여 곱집합 문제를 표현하는 과정을 예를 들어 설명한다. 그림 6 에는 그림 5의 S-그래프가 프레임 수 3 으로 풀어진 경우를 보인다. 에지 마크는 그림 4에서부터 쉽게 유추될 수 있으므로 생략되었다. 각 S-그래프 에지가 3 번 나타남을 주의하라. NHPS 테스트 방법을 가정하면 어떤 플립-플롭이 스캔되면 첫째 난의 관련 버텍스는 입력이 되고 마지막 난의 버텍스는 출력이 된다. 어떤 출력 버텍스가 스캔되고 모든 역으로 도달 가능한 입력 버텍스가 스캔되면 이들 사이에 나타나는 모든 에지들은 테스트 된다. 하나의 S-그래프의 에지를 테스트하기 위해서는 3 개의 에지 인스턴스 중 하나만 테스트 하면 된다. 하나의 프레임만 사용한다면 모든 버텍스들을 스캔하여야 한다. 둘 이상의 프레임을 사용하는 경우 모든 버텍스를 스캔하지 않고 모든 에지들을 테스트 할 수 있다. 예를 들어 그림 6 에서 버텍스 4, 5, 6 이 스캔되면 에지 a, c, I를 제외한 모든 에지가 3 프레임을 사용하여 테스트된다. 남은 이들 3 에지들은 1 프레임을 이용하여 버텍스 6에서 관측하면 쉽게 테스트할 수 있다.

```

For all v in V {
    tested = {}; destination = {v}; source = {};
    for (i=0; i<number of frame; i++) {
        For each vertex n in destination {
            tested = tested + {incoming edges of n}
            source = source + {incoming nodes of n};
        }
        output_covering_relation(source+{v}, tested);
        destination = source; source = {};
    }
}
    
```

그림 7. 커버링 구성 알고리즘
Fig. 7. Covering Formulation Algorithm.

표 1. 추출된 커버링 관계 테이블
Table 1. Extracted Covering Table.

| P | D(d's list) | T | P | D(d's list) | T |
|---|---------------|---------------------|----|---------------|---------------|
| 1 | 1:3 | e | 10 | 4:1 | h |
| 2 | 1:456 | e,i,b,d | 11 | 4:3 | h,e |
| 3 | 1:1,2,4,5,6 | e,i,b,d,g,h,a,c,i | 12 | 4:4,5,6 | h,e,i,b,d |
| 4 | 2:3 | f | 13 | 5:2 | g |
| 5 | 2:4,5,6 | f,i,b,d | 14 | 5:3 | g,f |
| 6 | 2:1,2,4,5,6 | f,i,b,d,g,h,a,c,i | 15 | 5:4,5,6 | g,f,i,b,d |
| 7 | 3:4,5,6 | j,b,d | 16 | 6:4,5,6 | a,c,i |
| 8 | 3:1,2,3,4,5,6 | g,h,a,c,i,j,b,d | 17 | 6:1,2,4,5,6 | a,c,i,g,h |
| 9 | 3:1,2,3,4,5,6 | g,h,a,c,i,j,b,d,e,f | 18 | 6:1,2,3,4,5,6 | a,c,i,g,h,e,f |

그림 7에는 커버링 관계를 구하는 알고리즘이 주어져 있다. 이 알고리즘은 기본적으로 출력 버텍스로부터 그래프 에지를 역으로 레벨 별로 최대 거리만큼 넓이 먼저(breadth first) 방식으로 트래버스(traverse)한다. 출력 버텍스와 각 레벨의 모든 버텍스가 D(p)가 되며 이들 사이의 모든 에지가 T(p)가 된다. 테이블 1에는 그림 3의 S-그래프로부터 프레임 수를 3으로 하고 추출된 커버링 관계 테이블이 주어져 있다. 예를 들어 곱 15는 그림 6에 보인바와 같이 {4, 5, 6}을 스캔하며 {a,f,j,b,d}를 테스트 한다.

2) 커버링 문제 해법

본 논문에서는 커버링 문제를 풀기 위하여 근사적인 방법을 사용한다. 두 가지의 전 처리 과정들이 커버링 문제를 간략하게 한다. 먼저 S-그래프의 자체 루프를 가진 버텍스와 그의 입력 버텍스들은 해집합 B에 포함된다. 많은 자체 루프를 포함한 S-그래프의 경우 많은 버텍스가 이 과정에서 해에 포함된다. 위의 커버링 문제의 그림 5의 S-그래프로부터 버텍스 4, 5, 6들이 해집합에 포함됨을 커버링 관계를 추출하지 않고 알 수 있다. 커버링 관계 테이블을 이렇게 선택된 버텍스들을 고려하여 간략화 한다. 자체 루프를 고려하여 간략화 된 커버링 테이블은 다음의 두가지 법칙을 이용하여 더 간략화 된다.

- 법칙 1. 두 곱 p 와 q 에 대하여 D(p)가 D(q)에 포함되면 T(p)는 T(q)에 합쳐져야 한다. 이 경우 D(p)와 D(q)가 같으면 곱 p 는 불필요하다.
- 법칙 2. 두 곱 p 와 q 에 대하여 T(p)와 T(q)가 같고 D(p)가 D(q)에 포함되어 있으면

곱 q 는 불필요하다.

예를 들어 테이블 3의 커버링 관계가 이들 법칙들을 이용하여 간략화 하면 $D(p) = \{4, 5, 6\}$ 이고 $T(p)$ 는 모든 에지들을 포함하는 곱 p를 얻을 수 있다. 이들 두 전처리 과정을 적용하여 최종적으로 얻은 커버링 문제는 간단한 greedy 알고리즘을 이용하여 해를 구한다. 본 연구에서는 AND-OR 회로와 유사한 자료구조를 이용하여 알고리즘을 구현하였다. 즉 각 곱은 도메인 요소를 입력으로 하는 AND 게이트이며 각 오브젝트는 곱을 입력으로 하는 OR 게이트이다. 최적으로 커버링 문제를 풀기 위해서는 도메인 요소 집합의 최소 부분 집합에 논리치 1을 가하여 모든 오브젝트가 논리치 1이 되게 하는 것이다. 이 문제는 NP-Hard 복잡성을 가지므로 근사적인 알고리즘을 사용하였다. 이 근사 알고리즘을 설명하기 위해서 몇가지 함수의 정의가 필요하다. 먼저 count(p)는 p에 연결된 선택이 확정되지 않는 도메인 요소를 말한다. 또한 profit(p)는 곱 p로부터 팬 아웃된 오브젝트중 아직까지 테스트되지 않은 오브젝트의 수를 말한다. Swp(i)는 I를 도메인 요소로 포함하는 곱 p의 profit(p)/count(p)의 합을 말한다. 제안된 근사 알고리즘은 모든 에지들이 테스트될 때까지 도메인 요소를 스캔 집합 B에 추가하여 간다. 각 단계에서 최대 Swp(i) 값을 가진 도메인 요소 I가 선택된다. 이 알고리즘이 근사 알고리즘이므로 얻어진 해는 간단한 후처리 과정에 의하여 불필요하게 첨가된 도메인 요소들을 제거하여야 한다.

2. 스캔 선택의 완성

모든 S-그래프 기반의 부분 스캔 선택 방법은 근사적이므로 결과로 얻어진 부분 스캔 회로는 완전한 테스트를 보장하지 않는다. 여기서 완전한 테스트란 완전 스캔으로 얻을 수 있는 고장 검출율을 얻는 테스트를 말한다. 따라서 더 많은 플립-플롭이 스캔되어야한다. 이를 위하여 2차적으로 ATPG 기반 부분 스캔 알고리즘을 사용한다.

ATPG 기반 부분 스캔 방법에는 두 가지 방법이 있다. 이들 두 방법에서 모두 이미 스캔하기로 결정한 플립-플롭에 높은 제어도와 관측도를 가하고 나머지 플립-플롭에는 낮은 제어도와 관측도를 가한다. 참고 문헌 [15]에서 사용된 방법에서는 모든 고장에 대하여 ATPG를 수행하면서 각 플립-플롭에 어떤 값이

가해지는 회수와 어떤 고장이 각 플립-플롭으로 전파되어 테스트되는 회수를 기록하였다. 여기서 많이 사용된 플립-플롭이 스캔되어야 한다. 여기서 관측된 수는 인가된 수보다 더 중요시 하여야 한다.

새로 제안된 그래프 이론 기반 부분 스캔 알고리즘은 [15]에서 사용된 순차 깊이를 사용하는 방법보다 더 효과적이다. 일반적으로 더 많은 플립-플롭이 선택되거나 얻어지는 고장 검출율이 매우 높다. 완전한 고장 검출율을 얻기 위해서는 추가 플립-플롭들을 주의 깊게 선택하여야 한다. 3.1 절에서 제안한 곱 커버링을 여기서도 적용한다. 여기서는 오브젝트 집합 O를 이제까지의 스캔 선택의 결과 테스트되지 않고 남은 고장이라 하고 도메인 집합 D를 아직 스캔되지 않는 플립-플롭이라 한다. 완전한 고장 검출율을 얻기 위해서는 스캔된 플립-플롭들을 완전한 제어도와 관측도를 가진다 가정하고 ATPG를 사용하여 남은 고장을 검출한다. 제어도와 관측도로 인하여 ATPG 도중 스캔되지 않는 플립-플롭의 사용은 최대한 줄어든다. 이때 적어도 하나의 남은 고장을 테스트하는 패턴 생성을 위하여 그 값이 결정되어야 하는 플립-플롭들이 그 고장을 테스트하기 위한 곱(product)이 된다. 3.1.2 절에서 사용된 곱 커버링 문제의 근사 알고리즘을 사용하여 추가적인 스캔 플립-플롭들을 선택할 수 있다.

IV. 실험 결과

실험을 위하여 2 절에서 간단히 소개한 ATPG 알고리즘을 UNIX 환경하에서 15,000 줄의 C 언어로 구현되었다. 간단한 단일 고장 전파 고장 시뮬레이터를 사용하여 고장 검출율을 구하였다. 임의 패턴은 사용되지 않았으나 테스트 순서열의 정해지지 않은 비트들은 임의로 0 이나 1을 인가하였다. 고장 시뮬레이터는 목적 고장뿐만 아니라 생성된 테스트 순서열에 의하여 검출되는 모든 고장들을 고장 리스트에서부터 제거한다.

테이블 2 에는 사용된 벤치마크 회로의 통계가 주어 있다. 위의 6 개의 회로는 원래의 ISCAS89 회로이다. 나머지 회로는 이에 추가된 회로로 참고 문헌 [26]으로부터 얻었다. 추가된 회로들은 완전한 테스트 특성을 가지고 있다. 또한 먼저 모든 회로는 입력이 2 개 이하인 게이트로 구성되게 변경되었다. 이는 본 논문에서 사용된 ATPG 구현이 테이블 참조 방법

에 의존하여 2 개 이상의 입력을 사용하는 게이트를 포함하면 구현이 까다롭기 때문이다. 게이트 수는 입력의 수를 포함한다. 고장 효과가 같은 등가 고장들은 대표 고장 하나로 나타낸다. 고장 검출율은 검출된 대표 고장 수의 전체 대표 고장의 수에 대한 비율로 나타낸다. 여덟 번째 난의 고장 검출율은 [2]의 알고리즘을 충실하게 구현한 ATPG 프로그램에서부터 구한 것이다.

표 2. 벤치마크 회로들의 통계적 특징
Table 2. Statistics of Benchmark Circuits.

| Ckt Name | # inputs | # outputs | # flip-flops | # self-loops | # gates | # faults | Fault coverage | # S-graph edges |
|----------|----------|-----------|--------------|--------------|---------|----------|----------------|-----------------|
| S238 | 3 | 6 | 14 | 14 | 215 | 338 | 100% | 72 |
| S382 | 3 | 6 | 21 | 15 | 274 | 448 | 100% | 180 |
| S444 | 3 | 6 | 21 | 15 | 300 | 526 | 97.34% | 160 |
| S526 | 3 | 6 | 21 | 21 | 371 | 666 | 99.85% | 146 |
| S538 | 35 | 49 | 179 | 0 | 3781 | 5332 | 99.20% | 2313 |
| S9234 | 19 | 22 | 228 | 150 | 6648 | 7274 | 93.78% | 3110 |
| S1196 | 14 | 14 | 18 | 0 | 690 | 1334 | 100% | 386 |
| S1512 | 29 | 21 | 57 | 57 | 1070 | 1428 | 100% | 629 |
| S2271 | 26 | 14 | 116 | 110 | 2050 | 3360 | 100% | 1027 |
| S3330 | 40 | 73 | 132 | 27 | 2438 | 3082 | 100% | 1339 |
| S3384 | 43 | 26 | 183 | 183 | 2286 | 3380 | 100% | 1944 |
| S4863 | 49 | 16 | 104 | 0 | 2870 | 4914 | 100% | 1176 |
| S6993 | 83 | 55 | 239 | 24 | 4123 | 6876 | 100% | 2588 |

다음에 4 절에서 소개한 그래프 이론 기반 부분 스캔 알고리즘을 구현하였다. 곱 커버링 관계를 추출 시 사용된 프레임의 수는 2 이다. 프레임 수가 2 이면 [13]의 스캔 선택 알고리즘에서 순차 깊이를 1 로 고정하여야 한다. 곱 커버링을 사용한 새로운 ATPG 기반 부분 스캔 알고리즘을 이용하여 스캔 선택을 완료하였다. 이 경우에도 사용된 프레임 수는 2 이며, 남은 고장 중 99%를 검출하는 것을 목적으로 하였다.

부분 스캔 실험 결과는 테이블 3 에 주어 있다. 첫 번째 난에는 회로의 이름이 주어 있다. 두 번째 두 난에는 참고 문헌 [13]의 순차 깊이를 이용한 실험 결과를 나타낸다. 이 방법은 S-그래프의 전역 사이클을 없애고 순차 깊이를 제한하는 방법으로 부분 스캔 플립-플롭들을 선택한다. 세 번째 난에는 제안된 그래프 이론 기반 알고리즘을 사용하여 스캔 플립 플롭을 선택한 결과이다. 일반적으로 제안된 그래프 이론 부분 스캔 알고리즘은 순차 깊이를 사용하는 알고

리즘 보다 많은 플립-플롭을 선택한다. 그러나 얻을 수 있는 고장 검출율은 더 높다. S3271은 예외이다. 이 회로의 경우 두 가지 방법은 같은 수의 플립-플롭을 선택한다. 그러나 순차 깊이가 기반 방식이 다소 높은 고장 검출율을 보이고 있다. 네 번째 두 난에는 세 번째 난에 보인 고장 검출율이 완전 스캔 고장 검출율에 근접하지 못할 경우에 ATPG 기반 부분 스캔 방법을 사용하여 부분 스캔 선택을 완료하였을 때 스캔 하여야 하는 플립-플롭의 수를 나타내고 있다. 이 테이블에서 알 수 있는 바와 같이 어떤 회로의 경우 30% 이상의 플립-플롭을 스캔하지 않고 완전 스캔 고장 검출율에 거의 근접하는 고장 검출율을 얻을 수 있다.

표 3. 부분 스캔 실험 결과
Table 3. Results of Partial Scan Experiments.

| Ckt Name | Seq. Depth | | New | | Complete | |
|----------|------------|------|-----------|------|-----------|------|
| | # scanned | FC | # scanned | FC | # scanned | FC |
| S298 | 7 | 83.2 | 7* | 83.2 | 13 | 100 |
| S382 | 13 | 95.6 | 15 | 100 | - | - |
| S444 | 13 | 76.6 | 15 | 97.3 | - | - |
| S526 | 13 | 56.9 | 15* | 93.8 | 20 | 99.1 |
| S5378 | 74 | 93.4 | 97 | 93.6 | 151 | 99.1 |
| S9234 | 159 | 59.9 | 217 | 93.8 | - | - |
| | | | 200* | 92.4 | 211 | 93.8 |
| S1196 | 5 | 100 | 5 | 99.8 | - | - |
| S1512 | 29 | 75.6 | 39 | 100 | - | - |
| S3271 | 59 | 78.8 | 59* | 75.0 | 99 | 100 |
| S3330 | 37 | 83.2 | 119 | 99.8 | - | - |
| | | | 49* | 83.9 | 118 | 99.9 |
| S3384 | 81 | 90.8 | 129 | 100 | - | - |
| S4863 | 56 | 100 | 56 | 99.7 | - | - |
| S6669 | 147 | 98.6 | 147* | 99.8 | - | - |

많은 회로들은 너무 많은 자체 루프를 가지고 있다. 이러한 경우 제안된 부분 스캔 선택 방법은 전부 혹은 거의 모든 플립-플롭을 선택하여 제안된 방법은 유효하지 못하다. 이러한 경우를 위하여 자체 루프를 무시하고 실험을 하였다. 이러한 결과는 테이블 3에서 *로 표시되어 있다. 이 경우 스캔 플립-플롭 선택시 자체 루프를 무시한 점을 보상하기 위하여 ATPG시 5 프레임까지 사용하였다. 이 결과는 [13]의 방법을 사용한 결과와 비교할 수 있다. 어떤 회로들의 경우

순차 깊이만 사용한 [13]의 방법이 제안된 그래프 이론 기반 알고리즘과 유사한 결과를 얻을 수 있음을 알 수 있다. 이 경우 많은 고장들이 3 프레임 이상을 사용하여 검출된다. 따라서 큰 회로의 경우 ATPG 시간이 현격히 증가하는 문제점이 있다. 따라서 무시해도 좋은 자체 루프를 가진 플립-플롭들을 골라내어 자체 루프들을 제거하는 방법을 연구하는 것이 필요하다.

V. 결론 및 추후 연구

본 논문에서는 무고정 부분 스캔 테스트 방법을 위한 새로운 부분 스캔 선택 방법을 제안하였다. 실험의 결과 제안된 알고리즘은 많은 플립-플롭을 스캔하지 않고도 완전 스캔 고장 검출율을 얻는 테스트 패턴을 생성할 수 있었다. 무고정 부분 스캔 테스트 방법은 메모리 요소가 특히 많은 회로들에 매우 적합한 테스트 방법으로 기대된다. 이러한 회로들은 멀티미디어 응용 분야에서 많이 발견할 수 있을 것이다.

제안된 테스트 방법을 실제로 유용하게 만드는 데에는 많은 추가적인 연구가 필요하다. 먼저 부분 스캔 알고리즘을 개선하기 위해서는 벤치마크 회로들에서 자체 루프를 가진 플립-플롭을 연구하여 이들 중 자체 루프를 무시할 수 있는 경우를 찾아내어 부분 스캔 알고리즘을 적용하기에 앞서 이러한 자체 루프들을 제거하여야 한다. 어떤 종류의 회로의 경우 부분스캔이 무고정 테스트 방법을 설계 변형으로 부적절하다. 현재 테스트 가능성 향상을 위한 추가 입력으로 회로를 테스트 목적으로 분할하는 방법을 연구하고 있다.

감사의 글

※ 본 논문의 저자는 본 연구를 수행하는 동안 핵심 전문 연구 과제 번호 #981-0909-036-1로 지원한 한국 과학 기술 재단에 깊은 감사를 드립니다.

참고 문헌

- [1] P. Goel, "An implicit enumeration algorithm to generate tests for combinational logic circuits", *IEEE Trans. Comput.*, vol. C-30, pp. 215-222, Mar.

- 1981.
- [2] H. Fujiwara and T. Shimono, "On the Acceleration of Test Generation Algorithms", Proceedings of 13th International Symposium on Fault Tolerant Computing, 1983, pp. 98-105.
- [3] M. Schulz, E. Trischler, and T. Sarfert, "SOCRATES: A Highly Efficient Automatic Test Pattern Generation System", Proceedings of International Test Conference, 1987, pp. 1016-1026.
- [4] I. Pomeranz, L.N. Reddy, and S.M. Reddy, "COMPACTEST: A Method to Generate Compact Test Sets for Combinational Circuits", ITC-1991, pp. 194-204.
- [5] S.Y. Lee and K.K. Saluja, "An Algorithm to Reduce Test Application Time in Full Scan Designs", ICCAD-92, pp. 17-20.
- [6] J.S. Chang and C.S. Lin, "Test Set Compaction for Combinational Circuits", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 14, no. 11, Nov. 1995, pp. 1370-1378.
- [7] S. Kajihara, I. Pomeranz, K. Kinoshita, and S.M. Reddy, "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 14, no. 12, Dec. 1995, pp. 1496-1503.
- [8] E. M. Rudnick and J. H. Patel, "A Genetic Approach to Test Application Time Reduction for Full Scan and Partial Scan Circuits, Proc. of 8th Intl. Conf. On VLSI Design", pp. 288-293, Jan. 1995.
- [9] E. Trischler, "Incomplete Scan Path with an Automatic Test Generation Methodology", International Test Conference, 1980, pp. 153-162, Nov. 1980.
- [10] K.T. Cheng and V.D. Agrawal, "A Partial Scan Method for Sequential Circuits with Feedback", IEEE Trans. On Comp., Vol. 39, no. 4, pp. 544-548, Apr. 1990.
- [11] I. Park, D.S. Ha, and G. Sim, "A New Method for Partial Scan Design Based on Propagation and Justification Requirements for Faults", International Test Conference, 1995, pp. 413-422.
- [12] C. Lin, M. Marek-Sadowska, K.T. Cheng and M.T. Lee, "Test Point Insertion: Scan Paths through Combinational Logic", DAC-96, pp. 268-273.
- [13] D. H. Lee and S. M. Reddy, "On Determining Scan Flip-flops in Partial Scan Designs", ICCAD-90, pp. 322-325
- [14] R. Gupta, R. Gupta and M.A. Breuer, "BALLAST: A Methodology for Partial Scan Design", Proc. 19th Int. Symp. On Fault-Tolerant Computing, 1989, pp. 118-125.
- [15] D. H. Lee and H. C. Noh, "Practical partial scan test method with no data holding overhead", Electronics Letters, vol. 33, no. 24, pp. 2028-2029.
- [16] W.T. Cheng, "The BACK Algorithm for Sequential Test Generation", ICCAD-88, pp. 66-69.
- [17] T. Niermann and J.H. Patel, "HITEC: A Test Generation Package for Sequential Circuits", European Design Automation Conf., pp. 214-218, March 1991.
- [18] T. P. Kelsey and K. K. Saluja, "Fast Test Generation for Sequential Circuits", Proceedings of IEEE International Conference on Computer Aided Design, 1989, November, pp. 354-357.
- [19] D.H. Lee and S.M. Reddy, "A New Test Generation Method for Sequential Circuits", ICCAD-91, pp. 446-449.
- [20] T.M. Niermann, R.K. Roy, J.H. Patel and J.A. Abraham, "Test Compaction in Sequential Circuits", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 11, no. 2, Feb. 1992, pp. 260-267.
- [21] I. Pomeranz and S.M. Reddy, "On Generating Compact Test Sequences for Synchronous Sequential Circuits", EDAC-1995.

- [22] I. Pomeranz and S.M. Reddy, "On Static Compaction of Test Sequences for Synchronous Sequential Circuits", 33rd DAC, pp. 215-220.
- [23] P. Muth, "A Nine-Valued Circuit Model for Test Generation, IEEE Trans. On Computers", vol. C-25, no. 6, pp. 630-636, June, 1976.
- [24] SynTest Users Guide, version 1.0.9, SynTest Inc., 1996.
- [25] F. Brglez, D. Bryan and K. Kozminski, "Combinational Profiles of Sequential Benchmark Circuits", Int. Symp. On Circuits and Systems, pp. 1929-1934, May 1989.
- [26] Gloster, C. Jr. Dynamic Scan Testing: Investigating a New Paradigm, TR-93-06 Dept. of Elec. & Comp. Eng., N. Carolina St. Univ.
- [27] V.D.Agrawal and K.T.Cheng, "Partial Scan Testing with Single Clock Control", Proceedings of 11th IEEE VLSI Test Symposium, 1993.
- [28] K.T. Cheng, "Partial Scan Designs Without Using A Separate Scan Clock", Proceedings of 13th VLSI Test Symposium, pp. 277-282, 1995.
- [29] 노현철, 이동호, "대규모 집적회로 설계를 위한 무고정 부분 스캔 테스트 방법", 대한전자공학회 논문지, pp. 1-15, vol. 35-C, no. 3, 1998
- [30] F.F. Hju & J. H. Patel, "A Distace Reduction Approach to Design for Testability", 13th IEEE VLSI Test Symposium, April 30-May 3, 1995, Princeton, New Jersey, pp. 158-163.

 저자 소개



李東浩(正會員)

1979년 2월 서울대학교 전자공학과 졸업.

1981년 2월 KAIST 전산학과 졸업(이학석사).

1981년 3월 ~ 1992년 7월 ETRI 선임 연구원.

1992년 8월 ~ 1993년 1월 (미) Motorola senior CAD engineer.

1993년 3월 ~ 현재 경북대학교 전자공학과 조교수.

주관심분야는 컴퓨터 구조, 설계 자동화, 프로그래밍 언어