

論文98-35C-10-4

부유게이트를 이용한 아날로그 어레이 설계

(Design of an Analog Array Using Floating Gate MOSFETs)

蔡勇雄*, 朴在熙*

(Yong Yoong Chai and Jae Hee Park)

요 약

1.2 μm 더블 폴리 부유게이트 트랜지스터로 구성된 아날로그 메모리가 CMOS 표준공정에서 제작되었다. 효율적인 프로그래밍을 위해 일반적인 아날로그 메모리에서 사용되었던 불필요한 초기 소거 동작을 제거하였으며 프로그래밍과 읽기의 경로를 동일하게 가져감으로서 읽기 동작 시에 발생하는 증폭기의 DC offset 문제를 근본적으로 제거하였다. 어레이의 구성에서 특정 셀을 주변의 다른 셀들로부터 격리시키는 패스 트랜지스터 대신에 Vmid라는 별도의 전압을 사용하였다. 실험 결과 아날로그 메모리가 디지털 메모리의 6비트에 해당하는 정밀도를 보였으며 프로그래밍 시에 선택되지 않은 주변의 셀들에 간섭 효과가 없는 것으로 확인되었다. 마지막으로, 아날로그 어레이를 구성하는 셀은 특이한 모양의 인젝터 구조를 가지고 있으며, 이것은 아날로그 메모리가 특별한 공정 없이도 트랜지스터의 breakdown 전압 아래에서 프로그래밍 되도록 하였다.

Abstract

An analog array with a 1.2 μm double poly floating gate transistor has been developed with a standard CMOS fabrication process. The programming of each cell by means of an efficient control circuit eliminates the unnecessary erasing operation which has been widely used in conventional analog memories. It is seen that the path of the signal for both the programming and the reading is almost exactly the same since just one comparator supports both operations. It helps to eliminate the effects of the amplifier input-offset voltage problem on the output voltage for the read operation. In the array, there is no pass transistor isolating a cell of interest from the adjacent cells in the array. Instead of the extra transistors, one extra bias voltage, Vmid, is employed. The experimental results from the memory shows that the resolution of the memory is equivalent to the information content of at least six digital cells. Programming/erasing of each cell is achieved with no detectable disturbance of adjacent cells. Finally, the unique shape of the injector structure in a EEPROM is adopted as a cell of analog array. It reduces the programming voltage below the transistor breakdown voltage without any special fabrication process.

* 正會員, 啓明大學校 電子工學科

(Department of Electronic Engineering, Keimyung Univ.)

接受日字:1998年5月18日, 수정완료일:1998年8月29日

I. 서 론

디지털 메모리는 신뢰도나 속도, 그리고 상대적으로 단순한 주변회로로 인해 지금까지 거의 모든 정보저장 장치로서 이용되어 왔다. 그러나 급세기 말에 이르러 디지털 메모리의 저장 능력은 실리콘 선 폭의 제한으

로 인해 그 한계에 이를 것으로 예상된다. 최근 들어 이러한 디지털 메모리의 한계를 극복할 수 있는 획기적 저장 능력 확대 방안의 일환으로 디지털 대신에 아날로그 정보를 저장하는 아날로그 메모리가 관심을 끌고 있다^{[1][2][3][4][5]}. 디지털 메모리에서는 하나의 정보를 나타내기 위하여 다수개의 비트가 사용되는 반면에 이상적인 아날로그 메모리에서는 한 셀로 어떠한 상태의 표현도 가능하기 때문에 이를 이용하게 될 경우 메모리의 저장 능력은 획기적으로 개선될 것으로 기대된다. 이와 같이 아날로그 메모리는 단순히 저장 능력의 향상을 위한 정보 저장 장치로서만이 아니라, 신호처리기에서는 A/D나 D/A 변환 장치를 시스템으로부터 근본적으로 제거함으로써 시스템의 단순화에도 기여하게 될 것으로 예상된다.

그러나 아날로그 메모리를 구현하기 위해서는 극복해야 할 몇 가지 과제가 있다. 그 중에서도 메모리의 기본 셀인 EEPROM의 프로그래밍 시에 가해지는 높은 전압은 아날로그 메모리의 상업화에 큰 저해 요인이 되고 있다. 이러한 높은 전압은 메모리의 신뢰도나 수명을 크게 저하시키고, 불활성 소자 성능의 척도가 되는 retention이나 endurance에도 적지 않은 영향을 미치는 것으로서, 이것은 EEPROM의 프로그래밍이 근본적으로 F-N(Fowler-Nordheim) 터널링에 의존하기 때문에 일어나는 현상이다^[6]. 본 논문에서는 아날로그 메모리의 구현 외에도 이러한 EEPROM의 프로그래밍 시에 요구되어지는 높은 전압을 낮추는 방안이 제시될 것이다.

본 논문은 다음과 같이 구성되어 있다. II장은 본 논문에서 제안되는 EEPROM에 대하여 설명한다. III장은 II장에서 언급한 부유게이트 트랜지스터(EEPROM)를 기본 셀로 하는 아날로그 메모리^{[3][4][5]}에 대하여 설명한다. IV장에서는 EEPROM 셀과 아날로그 메모리의 측정 결과를 보이고, V장에서는 결론으로 끝을 맺는다.

II. 지역전계강화 poly-poly EEPROM

아날로그 메모리의 기본 셀인 EEPROM에 정보를 저장한다는 것은 미세한 양의 전하를 부유게이트에 주입시키거나 제거함으로써 특정양의 전하를 부유게이트에 존속 보관시키는 것을 의미한다. 이러한 부유게이트 전하량의 조절은 F-N 터널 전류를 이용하여 전자

를 SiO_2 를 통하여 부유게이트에 넣고 빼는 동작을 통하여 이루어진다^[6].

그러나 실리콘을 통해 전자를 부유게이트로 이동시키는 데에는 매우 높은 전위가 요구되고, 이 때의 높은 전압은 junction이나 oxide breakdown, 그리고 실리콘 층에 charge trapping 등의 문제를 발생시키게 된다^[7]. 이러한 문제를 개선하기 위해 본 논문에서는 부유게이트가 돌출구조를 가지도록 단순히 종전 셀의 레이아웃을 변형시켰다. 이와 같은 셀의 단순 변형은 터널 전류가 흐르는 곳에서 전계의 크기를 극대화시키고, 쓰기와 소거 동작 시에 요구되어 지는 프로그래밍 전압을 최소화시킬 것이다. 또한 제안된 구조는 특별한 추가 공정을 필요로 하지 않기 때문에 일반적인 poly-poly EEPROM 공정에서 그 제작이 가능하다는 장점도 있다.

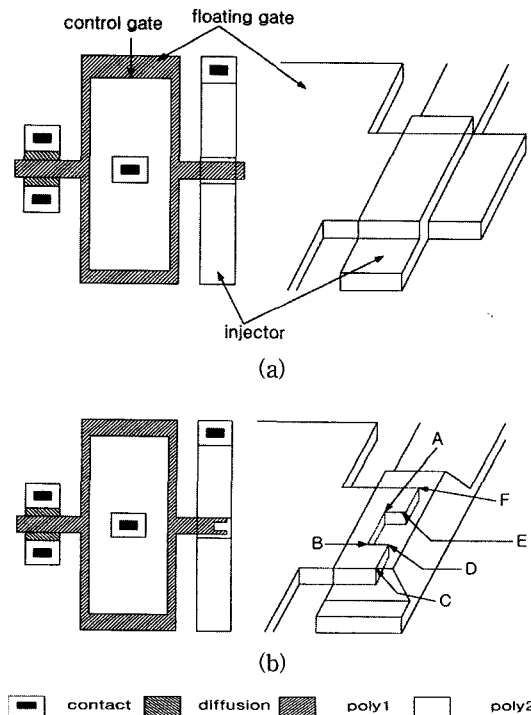


그림 1. Type 1과 type 2의 평면도와 입체도 (a) type 1 (b) type 2

Fig. 1. Layout of type 1 and type 2 seen from the top and in perspective. (a) type 1 (b) type 2

그림 1(a)는 Thomsen에 의해 제안된 poly-poly EEPROM의 구조를 보이고 있으며 이것을 type 1이

라 칭하겠다^[8]. 본 구조에서 F-N 터널링을 위한 지역전계강화 효과는 단순히 polysilicon-SiO₂ 접합부의 asperity라 불리우는 거친 표면만을 이용하였다. 반면에 그림 1(b)은 본 논문에서 제안된 셀로서(type 2) 부유게이트에서 전자가 나가게 되는 통로에 돌출 구조를 형성시킴으로서 전자가 유입, 유출되는 방향으로 전계의 세기가 증가되도록 하였다. 이것은 전계 진행 방향의 돌출부가 형성하는 각의 크기에 따라 전계의 크기가 반비례한다는 원리를 이용한 것이다^[9]. 즉 쓰기 동작의 프로그램에서는 그림 1(b)의 a와 b에 위치한 모서리에 의해 인젝터에서 부유게이트 방향으로 진행되는 전계의 크기가 증가하게 되고, 반대로 소거 동작에서는 c와 d에 위치한 모서리에 의해 부유게이트에서 인젝터 방향으로 진행되는 전계의 크기가 강화되는 것이다. 이러한 지역전계강화 구조에 의해 동일 전원 조건에서 제안된 셀이 기존의 셀에 비해 보다 큰 전계를 만들어 내게 되는 것이다. 따라서 Thomsen과 본 논문에서 제안된 EEPROM에 동일한 외부전압이 가하여졌을 경우 후자에서 보다 많은 터널링 전자의 이동이 예상된다.

높은 프로그래밍 전압은 EEPROM 셀의 데이터 retention 특성을 열화시키는 것으로 알려져 있다. 즉 반복되는 프로그래밍으로 인해 터널 산화막의 특성이 변화되어 부유게이트에 있는 보존되어야 할 데이터가 소실될 것이다. 따라서 본 논문에서 제안된 방식에 의해 셀이 설계되어 프로그래밍 전압이 낮아지게 되면 터널 산화막에 가해지는 스트레스가 줄어들게 되어 셀의 retention 특성 또한 강화될 것이다. 이것은 향후에 플래쉬 메모리가 하드디스크를 대체하기 위해 프로그램 횟수를 늘리고 retention 특성을 개선하기 위해서는 필수적인 요건이라 할 수 있을 것이다.

III. 아날로그 메모리

그림 2는 제안된 아날로그 메모리 셀을 이용한 2x2 아날로그 메모리의 블록도이다. 디지털 메모리에서는 1과 0이라는 두 개의 논리값 만이 존재하기 때문에 프로그래밍 시 단순히 극단적 상황의 변화만이 있을 뿐이다. 반면에 아날로그 메모리에서는 이상적으로는 어떠한 값의 표현도 가능해야하기 때문에 현재 프로그래밍 셀의 상태와 입력 상태를 수치로 비교하고 그에 따른 시스템 동작을 결정하기 위하여 비교기를 포함하는

회로가 필수적이라 하겠다. 비교기는 하나의 프로그래밍 펄스가 가하여 질 때마다 셀의 문턱전압과 저장 시키고자 하는 기준전압을 비교하고, 이 때 두 신호의 오차가 한계오차 이내로 들어올 때까지 프로그래밍은 지속될 것이다. 이러한 관점에서 볼 때 한번의 프로그래밍 펄스에 유출입되는 전하량이 아날로그 메모리의 정밀도를 결정하는 척도가 될 것이다.

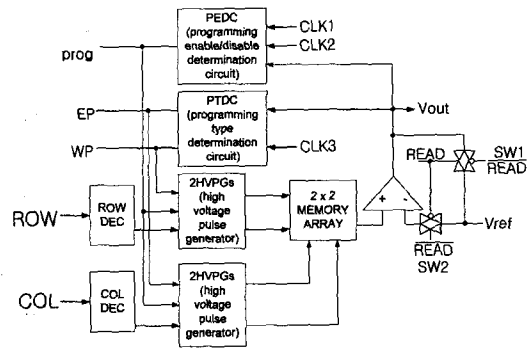


그림 2. 2x2 아날로그 메모리의 블록 다이어그램
Fig. 2. A 2x2 Analog Memory Block Diagram.

그림 3은 비교기와 2x2 어레이와의 관계를 보이는 회로도이다. 그림에 나타난 바와 같이 비교기는 계인 과 입력 신호의 동작범위를 동시에 키우기 위해 folded cascode amplifier를 사용하였다. 2x2 어레이는 일반 메모리의 어레이와 같이 row와 column line에 의해 연결되어 지고 각 line은 별도의 제어회로에 의해 구동되어지므로 현재의 2x2 어레이는 얼마든지 확장 가능하다는 것을 알 수 있다.

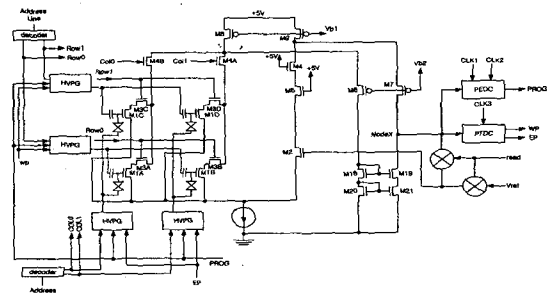


그림 3. 2x2 아날로그 메모리 회로도
Fig. 3. A 2x2 Analog Memory Circuit Diagram.

아날로그 메모리에는 쓰기와 소거 동작을 통칭하는 프로그래밍과 읽기라는 두 개의 각기 다른 모드가 존재한다. 전자를 부유게이트에 주입시키는 동작은 쓰기

동작이라 정의하며, 이러한 쓰기 동작은 컨트롤 게이트(그림 1)에 높은 전압을 가하고 인젝터를 접지 시킴으로서 이루어진다. 이 때 형성된 전계로 인해 인젝터에 위치한 전자는 SiO_2 를 통해 부유게이트로 이동된다. 일단 부유게이트로 전달된 전자는 외부의 전위가 제거될 경우 실리콘에 의한 에너지 장벽으로 인해 외부로부터 격리되어 부유게이트에 잔류하게 된다. 반대로 소거 동작에서는 컨트롤 게이트는 접지되고 인젝터에는 높은 프로그램 전압이 인가되어 부유게이트에 있던 전자는 SiO_2 를 통해 인젝터 방향으로 방출된다. 이와 같은 두개의 각기 다른 동작을 통해 부유게이트에 있는 전자의 양이 조절되며 이러한 두 개의 트리밍 동작을 통칭하여 프로그래밍이라 부른다.

이와 같은 프로그래밍 동작은 그림 2의 sw1과 sw2가 각기 off와 on 됨으로써 동기된다. 이 때 시스템은 입력 기준전압과 어레이에서 선택된 셀의 초기전압을 비교하여 두 전압간에 지정된 범위 이상의 오차가 있을 때에는 프로그래밍을 통해 오차를 줄여 나간다.

즉 디코더에 의해 지정된 특정 셀의 문턱전압을 외부에서 가해지는 기준전압과 같도록 프로그래밍 함으로서 특정 정보를 저장하는 것이다. 한편 읽기 모드에서는 sw1과 sw2가 on과 off 된다. 이 때 비교기는 게인 1의 버퍼가 되어 선택된 셀의 문턱전압을 외부(V_{out})로 출력시킨다. 이와 같이 사용자는 아날로그 메모리를 이용하여 프로그래밍 모드를 통해 아날로그 신호를 문턱전압 형태로 부유게이트 트랜지스터에 저장시키고, 이 저장된 신호를 읽기 모드를 통해 출력시키는 것이다.

본 논문에서 제안된 아날로그 메모리는 앞에서 밝힌 바와 같이 폐회로의 구조를 가지고 있으며 프로그래밍과 읽기라는 두 개의 각기 다른 동작은 상기의 구조에서 동일한 비교기를 이용하고 있다. 이러한 구조는 프로그래밍 시에 예상되는 경로상의 DC offset이 읽기 동작 시에 보상되도록 할 것이다.

다시 말해 프로그래밍 시에 비교기의 구조적 DC offset으로 인해 실제의 기준전압에 비해 크거나 작은 값이 부유게이트에 저장된다고 해도 읽기 동작에서 저장 당시의 오차만큼의 값이 작거나 크게 읽혀짐으로서 offset으로 인한 에러가 상쇄되어지기 때문에 읽혀지는 값은 처음에 저장하고자 했던 기준전압의 크기와 같게 되는 것이다.

1. PEDC (Programming Enable/Disable Determination Circuit)

그림 4에는 그림 2에 나타난 PEDC 블록의 회로도를 보이고 있다. PEDC회로는 프로그래밍 모드의 시작과 종료 시점을 결정하는 데에 사용된다. Non-overlapping 클럭인 clk1과 clk2가 on될 때 비교기의 출력 상태가 각기 다른 시점에서 D형 플립플롭인 DFFA와 DFFB에 래치된다. clk1, clk2가 동시에 low일 때 플리플롭에 의해 래치된 두 상태는 비교된다. 이 때 두 래치된 로직 상태가 동일한 경우는 아직 프로그래밍이 완료되지 못하였다는 것을 의미하는 것으로 PTDC 블록의 결과에 따른 쓰기나 소거 동작 중의 하나가 계속 수행될 것이다. 반대로 두 상태가 다른 논리 상태를 나타내는 경우는 선택된 셀의 문턱전압이 기준전압의 오차한도 이내로 프로그램 되었다는 것을 의미한다.

이 때 XOR의 출력은 로직 1이 되고 이로 인해 래치된 "prog" 신호는 로직 0이 되어 프로그래밍은 종료된다. 한편 래치된 두 개의 신호가 같을 경우에는 "prog" 신호가 로직 1을 계속 유지하게 되고 이러한 경우 프로그래밍 동작은 "prog"가 로직 0으로 그 상태를 바꿀 때까지 지속될 것이다.

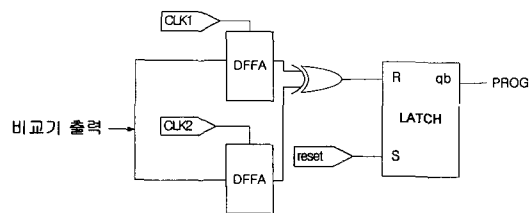


그림 4. PEDC 회로도
Fig. 4. PEDC Circuit Diagram.

이와 같이 프로그래밍의 시작과 종료는 기존의 아날로그 메모리^{[2] [3] [4]}에서와 같이 절대치에 의존하는 것이 아니라, 현재와 전 상태의 상대적인 값에 의존한다. 따라서 프로그래밍 초기 동작의 일환으로 일률적으로 어레이에 있는 셀의 상태를 소거하고 쓰기 동작만으로 프로그래밍을 행하는 기존의 아날로그 메모리의 프로그래밍 방식과는 차이가 있다. 기존의 방식에서는 두 상태의 초기 상태에 관계없이 일률적으로 동일한 동작을 행하기 때문에 프로그래밍 시간의 지연과 이에 따른 스트레스로 인해 시스템의 수명 단축이 예상된다.

2. PTDC(Programming Type Determination Circuit)
 PTDC 회로(그림 5)는 프로그래밍 동작에서 “쓰기”와 “소거” 동작을 구분하기 위해 사용된다. 예를 들어 부유게이트의 문턱전압이 기준전압보다 작다고 가정하면 비교기의 출력은 0이 되고, 이 때 “EP” 는 on 되고, “WP” 는 off 되어 프로그래밍 시에 소거동작이 행해진다. 반대로 부유게이트의 문턱전압이 기준전압보다 크게되면 비교기의 출력은 논리 상태 1이 되고, 이 때부터 쓰기 동작이 개시된다.

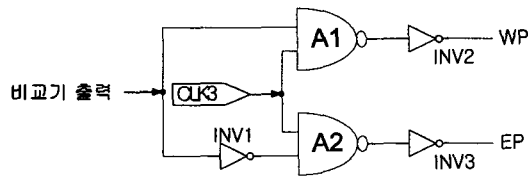


그림 5. PTDC 회로도
 Fig. 5. PTDC Circuit Diagram.

3. HVPG(High Voltage Pulse Generator)

HVPG 회로(그림 6)는 프로그래밍 시에 요구되는 높은 전압의 프로그래밍 펄스를 쓰기 동작에서는 컨트롤 게이트로, 소거 동작에서는 인젝터로 스위칭하는 역할을 한다. 여기에서 스위칭이란 일반 구동 전압 Vdd(5V)를 이용하여 높은 프로그래밍 전압 Vpp(15V)를 시스템에 전달하는 것을 의미하는 것으로, 이를 위해 그림 6에 나타난 상호 교차회로가 이용된다. HVPG 회로는 프로그래밍을 위한 Vpp(15V) 뿐만 아니라 그 중간값 Vmid(7.5V)를 스위칭하는 역할도 한다. Vmid는 선택되지 않은 셀이 프로그래밍 동안에 간섭받지 않도록 하기 위해 사용된다. 기존의 아날로그 메모리^[4] 방식에서는 주변 셀의 프로그래밍 시에 발생하는 간섭을 피하기 위해 각 셀마다 하나씩의 패스트랜지스터를 사용하여 왔고, 이것은 어레이의 크기를 두배로 증가시켰다. 하지만 본 시스템에서는 패스트랜지스터 대신에 단지 Vmid를 시스템에 하나 더 추가하고, 이를 이용하여 선택되지 않은 어레이의 열과 행에 Vmid를 가함으로써 간섭현상을 막도록 설계하였다.

상기 동작 설명을 위해 그림 7의 셀 (0,0)에 쓰기 동작이 이루어진다고 가정하자. 이 때 HVPG 1과 3의 출력은 Vpp(15V)와 접지가 되고, HVPG 2와 4의 출력은 Vmid(7.5V)가 될 것이다. 이 때 각 셀 (0,0), (0,1), (1,0), (1,1)의 컨트롤 게이트와 인젝터간의 전

위차는 Vpp, Vmid, Vmid, 0이 된다. 결과적으로, 프로그래밍에 의한 전하의 이동은 컨트롤게이트와 인젝터간의 전위차가 Vpp가 되는 선택된 셀 (0,0)에서만 일어나게 될 것이며, 나머지 셀들에서는 전하의 이동은 일어나지 않을 것이다. 이것은 Vmid의 전위차로는 해당 실리콘 두께(200 Å)에서는 F-N 터널링이 발생되지 않기 때문이다^[6].

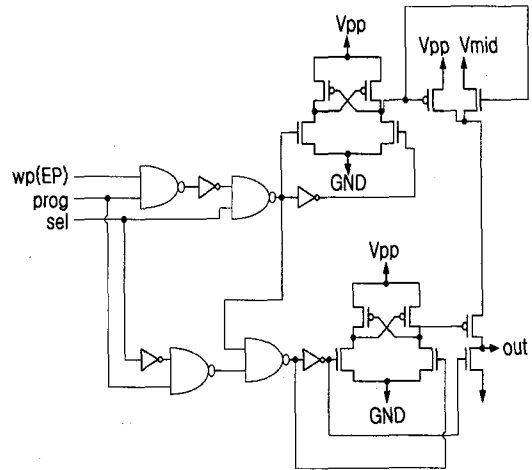


그림 6. HVPG 회로도
 Fig. 6. HVPG Circuit Diagram.

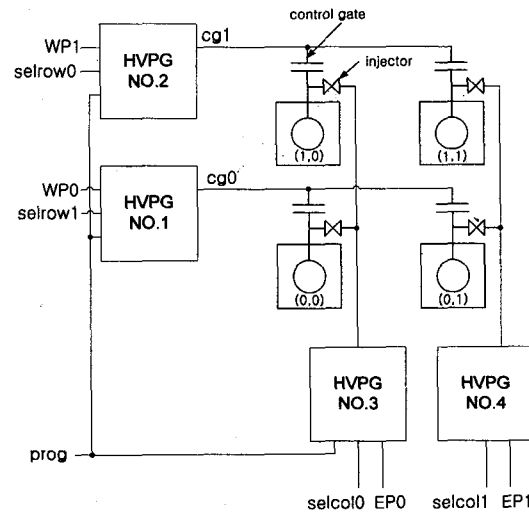


그림 7. 단순화된 2x2 어레이 블록 다이어그램
 Fig. 7. A Simplified Block Diagram of 2x2 Array.

IV. 실험 결과

그림 8(a)는 Thomsen에 의해 제작된 EEPROM (type 1)과 본 논문에서 제안된 EEPROM(type 2)에

서 쓰기 동작시에 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 비교하여 보이고 있다. 본 논문에서 제안된 EEPROM의 실리콘 제작 공정은 Thomsen의 것과 동일한 것으로서 MOSIS의 1.2 μ m 더블 폴리 CMOS 공정에서 제작되었다. 그림의 결과는 Thomsen의 셀에서는 쓰기 동작시에 15.4V(type 1)에서 터널링이 일어나고 본 고에서 제안된 셀에서는 터널링이 13V(type 2)에서 일어나는 것을 보여주고 있다. 따라서 쓰기 동작시에 두 소자간의 F-N 터널링을 위한 전위차는 2.4V 이다. 한편 그림 8(b)는 소거 동작에서의 F-N 터널링을 위한 프로그래밍 전압과 전류 밀도와의 관계를 보여 주고 있다. 그림에서 Thomsen의 셀에서는 11.6V(type 1)에서 터널링이 일어나고 본 논문에서 제안된 셀에서는 10.4V(type 2)에서 터널링이 일어나는 것을 알 수 있다. 따라서 양자간의 F-N 터널링을 위한 전위차는 1.2V로서 쓰기 동작에서의 전위차에 비해 다소 낮게 나타났다.

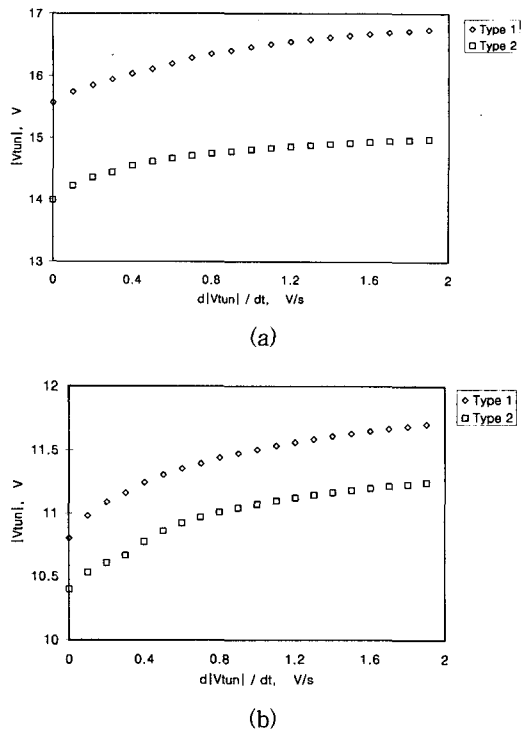


그림 8. (a) 쓰기 동작에서의 type 1과 type 2의 비교
(b) 소거 동작에서의 type 1과 type 2의 비교
Fig. 8. (a) Comparison of type 1 and type2 in programming operation (b) Comparison of type 1 and type2 in erasing operation.

이러한 차이는 지우기 동작의 경우에는 Thomsen의 소자에서도 asperity 외에 지역전계강화 효과를 나타내는 모서리가 부분적으로 존재하여 전계가 강화되기 때문이다^[8].

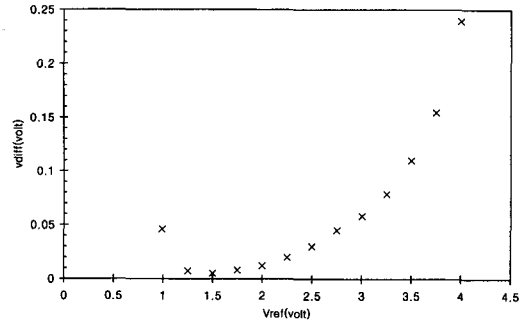


그림 9. 프로그래밍 전과 후의 전압 오차
Fig. 9. Magnitude of Mismatch between Stored and Reference Voltage.

그림 9는 특정 기준전압을 프로그래밍 한 후에 읽기 동작을 통해 출력된 값과 본래의 값과의 차이를 보여주는 그래프이다. 그림으로부터 기준 전압이 1.25V에서 2V 구간에서 아날로그 셀의 정밀도가 10mV 이하로 나타나는 것을 알 수 있다. 이것은 아날로그 메모리가 0.75V 내에서 10mV 이하의 오차내에서 정보를 저장할 수 있다는 것을 의미하는 것으로서 한 셀로서 표현 할 수 있는 상태의 수가 75개 임을 나타낸다. 이것은 하나의 아날로그 메모리 셀로서 6비트로 구성된 기존의 디지털 메모리를 대체할 수 있다는 것을 의미하기도 한다.

그림 10은 프로그래밍 전압과 시간과의 함수 관계를 보여 주고 있으며, 그림으로부터 기준 전압이 감소할 때 프로그래밍 시간이 증가하는 것을 볼 수 있다. 이것은 부유게이트로 이동된 전하로부터 발생된 전계가 프로그래밍 전압에서 발생하는 전계의 크기를 감소시키기 때문이다. 이러한 프로그래밍 시간의 비선형적 특성은 적응 프로그래밍 펄스를 가하는 시스템을 구축하게 되면 쉽게 극복할 수 있을 것이다. 즉 기준 전압이 낮은 곳에서는 Vpp보다 큰 전압을 인가하고 기준 전압이 높은 영역에서는 Vpp 보다 낮은 전압을 인가함으로써 프로그래밍에 소요되는 시간을 일정하게 가져갈 수 있을 것이다. 이외에도 그림 10은 F-N 전류 밀도가 전계에 의해 지수 함수적으로 변하는 것을 잘 보여주고 있다.

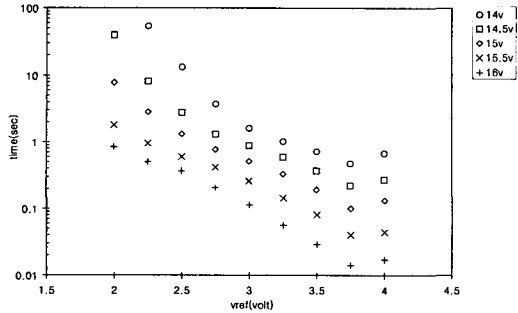


그림 10. 프로그래밍 펄스의 크기와 시간간의 특성 곡선

Fig. 10. Elapsed Time vs. Programming Pulse Magnitude.

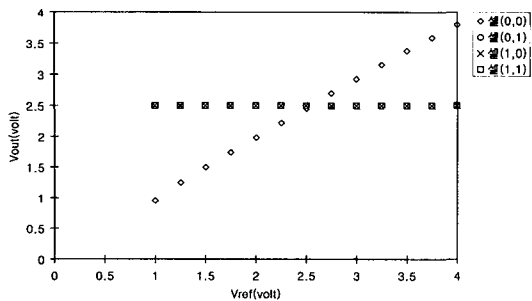


그림 11. 특정 셀 (0,0) 프로그래밍 시의 간섭효과
Fig. 11. Disturbance Effect as a Cell (0,0) being selected for Programming.

그림 11은 프로그래밍 시에 선택되지 않은 셀들의 간섭 현상을 관찰한 것이다. 선택된 셀은 (0,0)에 위치한 것으로서 그림에 나타난 바와 같이 프로그램되는 입력과 프로그램 후의 출력의 관계가 거의 선형적인 관계를 나타내고 있다. 반면에 나머지 셀들에서는 전혀 문턱전압의 이동이 없는 것으로 관찰되었다. 이것은 Vmid에 의한 간섭 억제 장치가 정상적으로 동작한다는 것을 의미하는 것이다.

V. 결 론

본 논문에서는 MOSIS의 1.2 μm 더블 폴리 CMOS 공정에서 구현된 2x2 아날로그 메모리를 보였다. 아날로그 메모리의 기본 셀은 poly-poly EEPROM으로서 프로그래밍 시 가해지는 전압의 크기를 최소화시키도록 하기 위하여 기존의 EEPROM 인제터의 모양을 다소 변형시켰다. 그 결과 제안된 EEPROM은 기존의 EEPROM 비해 쓰기 동작 시에

는 2.4V, 소거 시에는 1.4V가 낮은 전압에서 F-N 터널링이 일어나는 것을 보았다. 이와 같은 전압 강화 효과는 시스템의 수명 연장에 도움을 주고, 주변의 회로에 가하여 지는 스트레스를 줄여 줌으로서 안정적 회로의 동작에 기여하게 될 것이다. 또한 제안된 EEPROM은 전형적인 일반 CMOS 공정에서 제작이 가능하기 때문에 실리콘 일드의 향상과 제작 단가의 절감 효과도 가져다주게 될 것이다.

또한 본 논문에서는 상기의 셀을 어레이의 기본 요소로 하는 아날로그 메모리를 구현하였다. 실험을 통해 아날로그 메모리 한 셀이 6개의 디지털 메모리가 저장할 수 있는 정보의 저장 능력을 가지는 것을 보았다. 따라서 이러한 메모리가 디지털 메모리를 대체한다고 할 때 6배의 집적도 향상 효과를 나타내게 것이다. 또한 제안된 아날로그 메모리의 프로그래밍 방식은 기준전압과 셀의 문턱전압 간의 상대적 크기를 비교함으로써 프로그래밍 방식(쓰기 혹은 소거)을 결정하게 하였다. 이에 따라 기존의 방식에서 채택하던 프로그래밍 초기에 셀의 내용을 일률적으로 소거하는 불필요한 동작을 피할 수 있었다. 이러한 방식은 메모리의 수명을 연장시키고 셀의 신뢰도를 향상시키게 될 것이다. 프로그래밍 모드에서 Vmid는 높은 프로그래밍 펄스 전압의 중간값을 갖는 펄스를 이용하여 각 셀의 펄스적 구성 요소이던 패스 트랜지스터를 제거하였다. 이것은 기존의 방식에 비해 컨트롤 회로에 대한 어레이의 구성비를 크게 높였으며 이와 같은 개선 효과에도 불구하고 프로그래밍 시에 간섭 현상이 발생되지 않는 것을 확인 할 수 있었다. 이 외에도 제안된 아날로그 메모리는 프로그래밍과 읽기 동작이 동일한 폐회로 상에서 이루어지도록 설계되었다. 이것은 프로그래밍 동작에서 비록 DC offset이 발생한다고 해도 읽기 동작에서 동일한 크기의 전압 보상으로 인해 읽혀진 값은 저장되기 전의 기준전압 크기와 동일하게 되는 효과를 가져다 줄 것이다.

참 고 문 헌

[1] A. Simoni et al., "A Single-Chip Optical Sensor with Analog Memory for Motion Detection", IEEE J. Solid-State Circuit, vol. 30, no. 7, July 1995.
[2] K. Takeuchi et al., "A Double-Level-Vth

- Select Gate Array Architecture for Multilevel NAND Flash Memories”, IEEE J. Solid-State Circuit, vol. 31, no. 4, Apr. 1996.
- [3] T. Hanyu et al., “Design of a One-Transistor-Cell Multiple-Valued CAM”, IEEE J. Solid-State Circuit, vol. 31, no. 11, Nov. 1996.
- [4] R. Simko et al., “Writable distributed non-volatile analog reference system and method for analog signal recoding and playback”, United State Patent, patent no. 5126967, Jul. 30, 1992.
- [5] J. Sweeney and R. Geiger, “Very high precision analog trimming using floating gate MOSFETs,” in European conf. Circuit Theory and Design, pp. 652-655. Sep. 1989.
- [6] M. Lenzlinger et al., “Fowler-Nordheim tunneling into thermally grown SiO₂,” J. Appl. Phys., vol. 40, p. 278, Jan, 1969.
- [7] L. Faraone, et. al., “Characterization of Thermally Oxidized n⁺ Polycrystalline Silicon”, IEEE Trans. on Electron Devices, vol. ED-32, no. 3, pp. 577-583, March, 1985.
- [8] A. Thomsen et al., “A floating-gate MOSFET with tunnelling injector fabricated using a standard double-polysilicon CMOS process”, IEEE Electron Device Lett, vol. 12, no. 3, pp. 111-113, Mar. 1991.
- [9] R. B. Marcus et. al., “The Oxidation of Shaped Silicon Surfaces”, Journal of the electrochemical society, pp. 1278-1281, June, 1982.

저 자 소 개



蔡勇雄(正會員)

1958년 8월 16일생. 1985년 서강대학교 전자공학과 졸업(공학사). 1991년 Oklahoma State University 졸업(공학석사). 1994년 Oklahoma State University 졸업(공학박사). 1985년 ~ 1988년 LG정보통신 PABX 설계팀. 1995년 ~ 1996년 삼성전자 통신반도체 설계팀. 1997년 ~ 현재 계명대학교 컴퓨터전자공학부 조교수. 주관심분야는 집적회로설계, 시스템 센서설계, 신경회로망



朴在熙(正會員)

1980년 3월 ~ 1984년 2월 경북대학교 전자공학과(학사). 1990년 6월 ~ 1992년 8월 Texas A&M 전기공학과(석사). 1992년 9월 ~ 1995년 8월 Texas A&M 전기공학과(박사). 1984년 3월 ~ 1990년 3월 국방과학연구소(연구원). 1995년 10월 ~ 1997년 2월 삼성전기 주식회사(수석연구원). 1997년 3월 ~ 현재 계명대학교 전자공학과(전임강사). 주관심분야는 집적회로, 센서시스템, 광섬유 센서