

전류 적분기를 이용한 2V CMOS 연속시간 필터 설계

(Design of 2V CMOS Continuous-Time Filter Using Current Integrator)

安庭徹*, 劉永奎***, 崔碩佑**, 尹暢焄**, 金東龍**

(Joung Chul Ahn, Young Gyu Yu, Seok Woo Choi, Chang Hun Yun, and Dong Yong Kim)

요 약

본 논문에서는 상보형 high swing cascode 전류미러를 이용하여 저전압, 저전력 구동이 가능하고 고주파수 응용이 가능한 전류 적분기를 설계하였다. 간단한 전류미러로 구성된 적분기는 적분기의 비 이상적인 입력, 출력 저항 때문에 출력 전류 오차가 발생하는데 제안된 전류 적분기는 출력 저항이 증가하여 출력 전류의 오차가 감소하였다. 설계된 무손실, 유손실 전류 적분기를 이용한 설계 예로 3차 버터워스 저역통과 필터를 개구리도약형으로 구현하였다. 필터 구현시 무손실 전류 적분기의 위상 추이 때문에 발생하는 차단주파수 부근에서의 크기 특성 왜곡을 predistortion 설계법을 이용하여 감소시켰다. 설계된 전류모드 필터를 0.8 μm CMOS n-well 공정 파라미터를 이용하여 SPICE 시뮬레이션한 결과 단일 2V 공급 전압에서 차단주파수는 20MHz, 전력소모는 615 μW 를 갖는다. 또한 필터의 차단주파수는 DC 바이어스 전류에 의해 동조할 수 있다.

Abstract

In this paper, the design of a current integrator for low-voltage, low-power, and high frequency applications using complementary high swing cascode current-mirror is presented. The proposed integrator decreases output current errors due to non-zero input resistance and non-infinite output resistance of the simple current integrator. As a design example, the 3rd order Butterworth lowpass filter is designed by a leapfrog method. Also, we apply the predistortion design method to reduce the magnitude distortion which occurs at a cutoff frequency by the undesirable phase shift of a lossless current integrator. The designed current-mode filter is simulated and examined by SPICE using 0.8 μm CMOS n-well process parameters. The simulation results show 20MHz cutoff frequency and 615 μW power dissipation with a 2V power supply. And the cutoff frequency of the filters can be easily changed by the DC bias current.

* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

** 正會員, *** 學生會員, 全北大學校 電氣電子回路合成研究所

(Electrical Circuits and Systems Research Institute, Chonbuk National University)

接受日: 1998年6月2日, 수정완료일: 1998年8월1일

I. 서론

집적회로 기술의 발전으로 동일 칩(Chip)상에 디지털 회로와 아날로그 회로를 함께 집적하여 고품질, 저가격의 VLSI를 실현하는 혼성 아날로그/디지털 신호 처리(Mixed Analog/Digital signal processing)에 대한 연구가 활발히 진행되고 있다^[1,2]. 이때 혼성 아날로그/디지털 집적회로가 단일 전원 전압으로 구동하기 위해서는 아날로그 회로도 디지털 회로와 함께 저

전압으로 구동되어야 한다.

그러나 저전압, 고주파수 특성을 갖는 혼성 아날로그/디지털 집적회로 설계에 있어서 일반적으로 아날로그 회로는 디지털 회로보다 높은 공급 전압을 필요로 한다. 따라서 아날로그 회로가 저전압으로 고주파수 영역에서 동작하도록 전류모드 회로 설계법이 이용되고 있다^[3~7]. 전압을 신호원으로 하는 전압 모드 저전압 구동 회로를 설계할 경우, 낮은 전원 전압은 최대 입력 전압의 진폭에 직접적으로 영향을 주어 동작 범위와 대역폭이 감소한다. 그러나 입력 신호원과 출력 신호를 전류로 사용하는 전류모드 신호처리는 저전압 구동이 가능하고 넓은 대역폭을 사용할 수 있다^[8].

저전압 신호처리용 전류 적분기를 간단한 전류미러를 이용하여 설계하면 입력과 출력 저항의 비 이상적인 특성때문에 적분기의 출력 전류에서 오차가 발생한다^[9]. 본 논문에서는 이와 같은 전류 적분기의 출력 전류 오차를 줄이기 위해 출력 저항이 증가하는 high swing cascode 전류미러^[10~12]를 이용하여 전류 적분기를 설계하였다.

제안된 적분기는 전류미러를 상보적으로 구성할 수 있기 때문에 추가적인 바이어스 회로가 필요치 않아 회로가 단순하고, 전력 소모를 줄일 수 있다. 또한 필터 구현시 무손실 전류 적분기의 위상 추이 때문에 차단주파수 부근에서 왜곡이 발생하는데 predistortion 설계법^[13,14]을 이용하여 감소시켰다.

설계 예로 제안된 전류 적분기를 이용하여 3차 버터워스 저역통과 필터를 개구리도약법(Leapfrog method)으로 실현한 후 0.8 μm CMOS n-well 공정 파라미터를 이용하여 필터의 동작 특성을 SPICE로 시뮬레이션하였다.

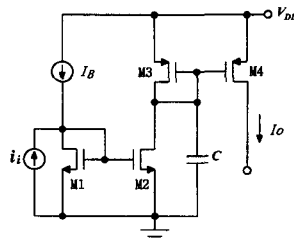
II. 전류 적분기 설계

본 장에서는 전류모드 연속시간 필터 구현을 위한 유손실 전류 적분기와 무손실 전류 적분기를 간단한 전류미러와 high swing cascode 전류미러로 설계하고, 소신호 등가회로를 이용하여 전류 전달함수를 구한다.

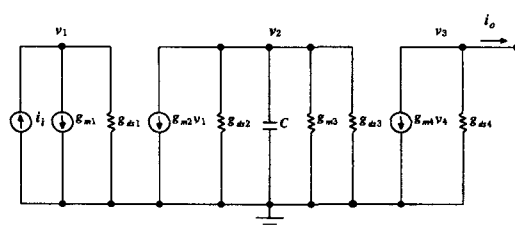
1. 유손실 전류 적분기

그림 1(a)는 NMOS 전류미러와 PMOS 전류미러를 이용하여 설계한 간단한 유손실 전류 적분기 회로

이다.



(a) 트랜지스터 회로



(b) 소신호 등가 회로

그림 1. 간단한 전류미러를 이용한 유손실 전류 적분기
Fig. 1. Lossy current integrator using simple current-mirror.

그림 1(b)는 그림 1(a)의 소신호 등가회로이며 입력 저항과 출력 저항 R_{in} , R_{out} 은 다음과 같다.

$$R_{in} = \frac{1}{g_{m1}} \quad (1)$$

$$R_{out} = \frac{1}{g_{ds4}} \quad (2)$$

여기서 g_m 은 트랜스컨덕턴스, g_{ds} 는 출력 트랜스컨덕턴스이다.

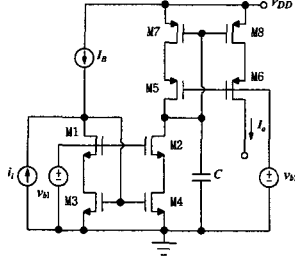
이상적인 전류모드 회로는 입력 저항이 0이고 출력 저항은 ∞인데 본 논문에서 설계한 그림 1의 유손실 전류 적분기는 입력 저항이 2.3kΩ이고, 출력 저항은 0.12MΩ이다. 따라서 입력과 출력 저항의 비 이상적인 특성으로 적분기의 출력 전류에서 오차가 발생한다.

그림 2(a)는 이와같은 적분기의 출력 전류 오차를 줄이기 위한 방법으로 출력 저항이 증가하는 high swing cascode 전류미러를 이용하여 설계한 유손실 전류 적분기 회로이다.

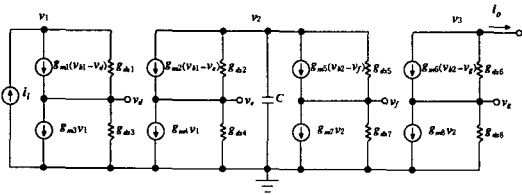
그림 2(b)는 그림 2(a)의 소신호 등가회로이며 입력 저항과 출력 저항을 구하면 다음과 같다.

$$R_{in} = \frac{1}{g_{m1}} \quad (3)$$

$$R_{out} = \frac{1}{g_{ds}} \left(1 + \frac{g_{m6}}{g_{ds6}} \right) \approx \frac{1}{g_{ds}} \frac{g_{m6}}{g_{ds6}} \quad (4)$$



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 2. High swing cascode 전류미러를 이용한 유손실 전류 적분기

Fig. 2. Lossy current integrator using high swing cascode current-mirror.

식(3)의 입력 저항은 식(1)과 동일하지만 식(4)의 출력 저항은 식(2)의 출력저항에 비해 g_{m6}/g_{ds6} 만큼 증가한다. 따라서 high swing cascode 전류미러로 구성된 유손실 전류 적분기는 간단한 전류미러로 설계된 전류 적분기와 비교하여 출력 저항이 증가함으로써 입력과 출력 저항의 비 이상적인 특성으로 발생하는 적분기의 출력 전류 오차를 개선할 수 있다. 그림 2(b)에서 조건 $g_m \gg g_{ds}$ 를 만족할 때 전류 전달함수 $T_1(s)$ 는 다음과 같이 구할 수 있다.

$$i_i = g_{m3} v_1 \quad (5)$$

$$g_{m4} v_1 + (g_{m7} + sC) v_2 = 0 \quad (6)$$

$$i_o = -g_{m8} v_2 \quad (7)$$

$$T_1(s) = \frac{i_o}{i_i} = \frac{g_{m4} g_{m8}}{g_{m3}} \cdot \frac{1}{sC + g_{m7}} \quad (8)$$

식(5)에서 i_i 는 AC 입력 전류이고 식(8)은 high swing cascode 전류미러로 구성된 유손실 전류 적분기의 전류 전달함수이다. 모든 전류미러의 이득이 1이면 $g_{m3} = g_{m4}$, $g_{m7} = g_{m8}$ 이 되어 식(8)은 식(9)와 같이 간략화 된다.

$$T_1(s) = \frac{i_o}{i_i} = \frac{1}{\frac{sC}{g_{m8}} + 1} \quad (9)$$

식(9)는 차단주파수 g_{m8}/C 을 갖는 1차 저역통과 필터 형태로 전류 적분기가 구현된다. 이때 출력 전류 I_o 는 $I_o = I_B + i_o$ 와 같이 AC 입력 전류 i_i 에 대한 AC 출력 전류 i_o 와 DC 바이어스 성분 I_B 를 포함하고 있어 이를 다음 단의 바이어스 전류로 이용하면 다음 단의 바이어스 회로가 제거되므로 회로를 간략화할 수 있다.

또한 그림 2(a)의 트랜지스터 M1, M2, M3, M4는 입력 버퍼로 동작하게 되는데 입력 버퍼가 필요하지 않는 회로에서 유손실 전류 적분기는 그림 3과 같이 회로를 단순화할 수 있다.

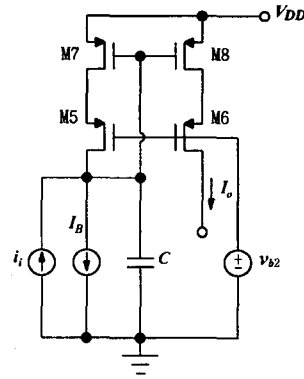


그림 3. 단순화된 유손실 전류 적분기

Fig. 3. Simplified lossy current integrator.

2. 무손실 전류 적분기

그림 2의 유손실 전류 적분기를 이용하여 무손실 전류 적분기를 설계하기 위해서는 식(9)에서 손실항을 제거해야 한다. 그림 4(a)와 같이 M7, M8, M10과 M11을 통해 정극환을 제공하면 유손실 전류 적분기의 손실을 제거할 수 있다. I_B 는 M8과 M11의 DC 바이어스 전류원이고 반전된 출력을 얻기 위해 M3과 M6이 추가된다.

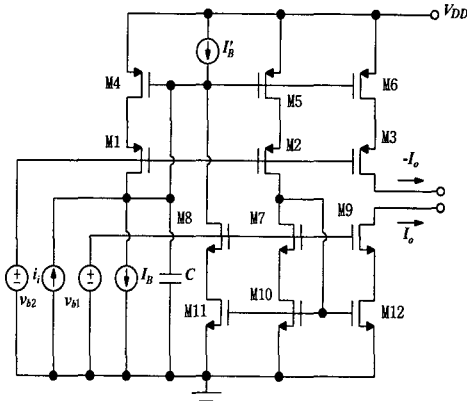
그림 4(b)는 그림 4(a)의 소신호 등가회로이며 조건 $g_m \gg g_{ds}$ 를 만족할 때 무손실 전류 적분기의 전류 전달함수 $T_2(s)$ 는 다음과 같이 구할 수 있다

$$i_i = (g_{m4} + sC) v_1 + g_{m11} v_2 \quad (10)$$

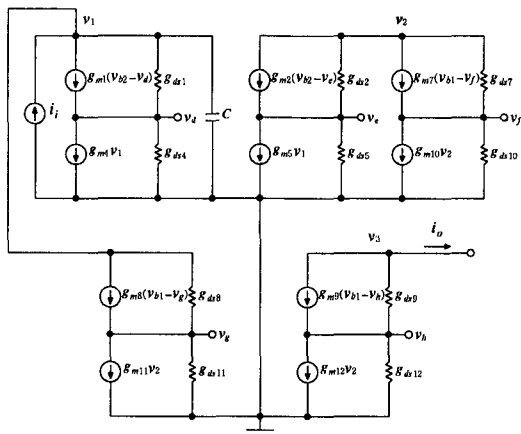
$$g_{m5} v_1 + g_{m10} v_2 = 0 \quad (11)$$

$$i_o = -g_{m12} v_2 \quad (12)$$

$$T_2(s) = \frac{i_o}{i_i} = \frac{g_{m6} g_{m12}}{g_{m10}} \cdot \frac{1}{sC + g_{m4} - g_{m5} \frac{g_{m11}}{g_{m10}}} \quad (13)$$



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 4. 무손실 전류 적분기
Fig. 4. Lossless current integrator.

식(13)은 high swing cascode 전류미러로 구성된 무손실 전류 적분기의 전달함수이고, 모든 전류미러의 이득이 1이면 $g_{m4}=g_{m5}$, $g_{m10}=g_{m11}=g_{m12}$ 이 되어 식(14)와 같이 간략화 된다.

$$T_2(s) = \frac{i_o}{i_i} = \frac{g_{m6}}{sC} \quad (14)$$

이때 무손실 전류 적분기는 DC에서 이득이 무한대이다. 따라서 무손실 전류 적분기가 단독으로 사용되는 경우 DC 오프셋 때문에 불안정하게 되므로 능동필터 설계등에 응용될 때에는 일반적으로 부귀환 루프와 함께 사용할 수 있다.

그림 4(a)의 무손실 전류 적분기는 두 개의 DC 전류원 I_B 와 I'_B 를 포함하고 있으나 I_B 는 앞단의 DC 출력 전류로부터 제공되고 또한 I'_B 는 부귀환 루프를 구성하는 출력으로부터 얻을 수 있으므로 실제로 고차 필터를 설계할 때에는 간단하게 구현할 수 있다.

3. 시뮬레이션 및 고찰

그림 5는 high swing cascode 전류미러로 구성된 유손실 전류 적분기와 그림 1의 간단한 전류미러로 구성된 유손실 전류 적분기의 크기 특성을 시뮬레이션한 결과이다. 간단한 전류미러로 구성된 유손실 전류 적분기가 0.45dB의 크기 오차를 갖는데 반해 high swing cascode 전류미러로 구성된 유손실 전류 적분기의 크기 오차는 0.0094dB로 출력 전류에서 오차가 개선되었다.

— : High swing cascode 전류미러로 구성된 유손실 전류 적분기
- - - : 간단한 전류미러로 구성된 유손실 전류 적분기

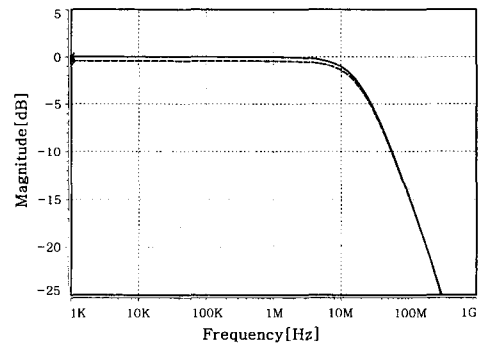


그림 5. 유손실 전류 적분기의 크기 특성
Fig. 5. Magnitude characteristic of lossy current integrators.

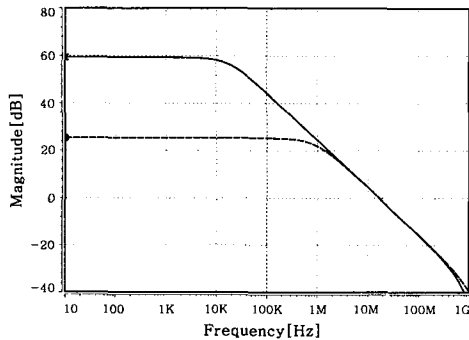
그림 6은 high swing cascode 전류미러로 구성된 무손실 전류 적분기와 간단한 전류미러로 구성된 무손실 전류 적분기의 크기와 위상 특성을 시뮬레이션한 결과이다.

이상적인 무손실 전류 적분기는 모든 주파수에서 90° 위상 반전과 DC에서 무한대 이득을 갖는다. 그러나 실제로 적분기는 저주파수에서 유한한 DC 이득을 갖게 되어 필터 출력에서 이득 오차를 발생시키고, 고주파수에서는 기생 극점과 영점 때문에 단위 이득주파수에서 위상추이가 발생하여 필터의 정확성을 저하시킨다.

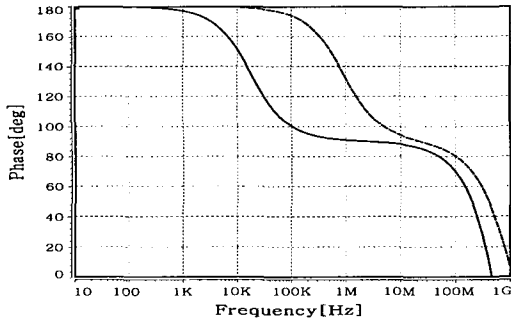
그림 6(a)에서 high swing cascode 전류미러로 구성된 무손실 전류 적분기의 전류 이득은 59.3dB이

고 간단한 전류미러로 구성된 무손실 전류 적분기의 전류 이득은 25.3dB이다. 따라서 high swing cascode 전류미러로 구성된 무손실 전류 적분기는 유한한 DC 이득에서 발생하는 필터 출력의 이득 오차를 줄일 수 있다. 그림 6(b)에서 high swing cascode 전류미러로 구성된 무손실 전류 적분기는 단위 이득주파수에서 위상이 86.7° 이고, 간단한 전류미러로 구성된 무손실 전류 적분기는 89.8° 이다.

— : High swing cascode 전류미러로 구성된 무손실 전류 적분기
 — : 간단한 전류미러로 구성된 무손실 전류 적분기



(a) 크기특성



(b) 위상특성

그림 6. 무손실 전류 적분기의 크기 특성과 위상특성
 Fig. 6. Magnitude and phase characteristics of lossless current integrators.

III. 전류모드 연속시간 필터 설계

설계된 전류 적분기의 응용 예로 전류모드 연속시간 능동필터를 개구리도약법으로 설계하였다. 개구리도약법은 수동 제자형 회로망의 낮은 감도 특성이 능동회로에서도 그대로 유지되는 장점을 갖는다^[15].

1. 3차 개구리도약법 저역통과 필터 설계

본 절에서는 DC 바이어스 전류 I_B 가 100 μ A, 저

항 R 이 2.3k Ω , 차단주파수가 20MHz인 3차 버터워스 저역통과 필터를 개구리도약법으로 설계하였다. 그림 7은 수동 복종단 3차 LC 제자형 필터의 회로도이다.

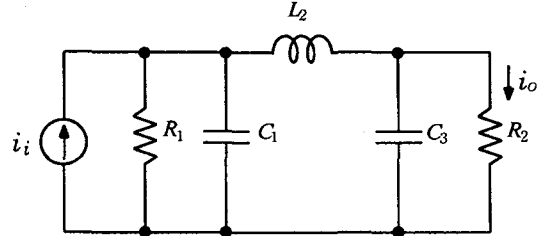


그림 7. 3차 수동 복종단 제자형 필터
 Fig. 7. 3rd order passive doubly-terminated ladder filter.

그림 7의 수동 복종단 3차 LC 제자형 필터의 수동 소자를 전압, 전류관계식에 기준하여 동작을 모의하면 그림 8과 같은 개구리도약 형태의 신호 흐름도를 구할 수 있다.

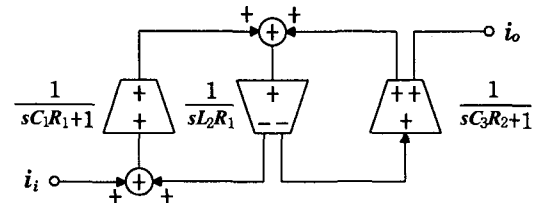


그림 8. 3차 개구리도약형 필터의 블록 선도
 Fig. 8. Block diagram of 3rd order leapfrog filter.

그림 8에서 3차 버터워스 필터는 2개의 유손실 전류 적분기와 1개의 무손실 전류 적분기로 구성할 수 있고, 차수가 증가할 때마다 무손실 전류 적분기의 숫자가 증가하는 구조를 갖기 때문에 고차 필터로 쉽게 확장할 수 있다. 이때 전류 적분기의 적분 커패시터 C_i 는 식(15)로 구할 수 있다^[5].

$$C_i = \frac{g_m X_i}{\omega_c} \tag{15}$$

식(15)에서 g_m 은 전류 적분기의 트랜스컨덕턴스이며, X_i 는 i 번째 회로의 기준화된 수동 소자 값이고, ω_c 는 전류모드 능동 필터의 차단주파수이다. 제안된 전류 적분기의 g_m 값과 설정된 전류모드 필터의 차단주파수를 식(15)에 대입하여 구한 커패시터 값은 표 1과 같다.

표 1. 저역통과 필터의 커패시터 값
Table 1. Capacitance values of lowpass filter.

커패시터	크기
C_1	3.48 pF
C_2	6.95 pF
C_3	3.48 pF

3차 개구리도약형 저역통과 필터를 본 논문에서 설계한 전류 적분기를 이용하여 구현한 실제 회로도 는 그림 9와 같다.

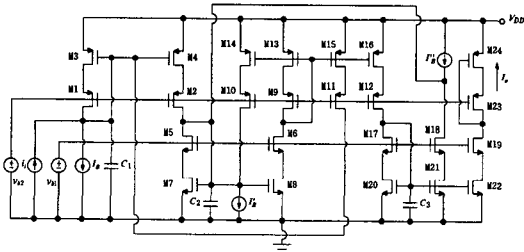


그림 9. 3차 저역통과 필터의 개구리도약법 구현
Fig. 9. Leapfrog realization of 3rd order lowpass filter.

모든 전류미러의 이득이 1이면 $I_B = I'_B = I_B$ 가 되고, 그림 10에서 $I_B = I'_B$ 가 되어 절점 N1과 N2 사이에 흐르는 전류가 없어 두개의 DC 전류원 I'_B 와 I''_B 가 제거된다. 또한 그림 9에서 M11과 M15의 DC 바이어스 전류는 입력 바이어스 전류 I_B 에 더해지게 되어 전체 회로의 입력 DC 바이어스 전류는 $2I_B$ 가 된다. 이와 같은 구조는 중간에 무손실 전류 적분기를 추가함으로써 고차 필터로 쉽게 확장이 가능하고, 고차 필터 내부의 DC 바이어스 전류원을 제거할 수 있으므로 입력단은 $2I_B$ 의 DC 바이어스 전류원만으로 구성된다.

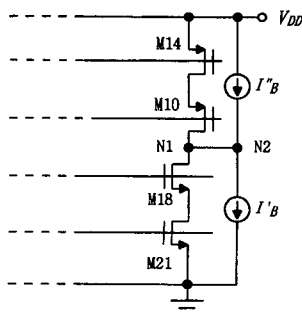


그림 10. 바이어스 전류의 제거
Fig. 10. Cancellation of bias current.

2. Predistortion에 의한 크기 특성 보상

무손실 전류 적분기의 위상 추이는 필터의 극점을 s -평면상에서 허수축 방향으로 이동시키고 이와 같은 극점의 이동 때문에 필터의 크기특성은 차단주파수 부근에서 왜곡이 발생한다. 극점의 이동에 의한 왜곡을 감소시키는 방법으로 극점들의 위치를 s -평면의 좌반면에서 왼쪽으로 미리 이동시키는 predistortion 설계법이 있다^[13]. 이와같이 극점의 위치를 왼쪽으로 이동시키면 이동된 극점은 위상 추이로 인하여 이상적인 극점의 위치로 이동하게 되고 따라서 차단주파수 부근에서의 크기특성 왜곡을 감소시킬 수 있다.

그림 11은 3차 버터워스 저역통과 필터의 이상적인 극점과 predistortion 설계법을 적용하여 극점을 왼쪽으로 이동시킨 것이다.

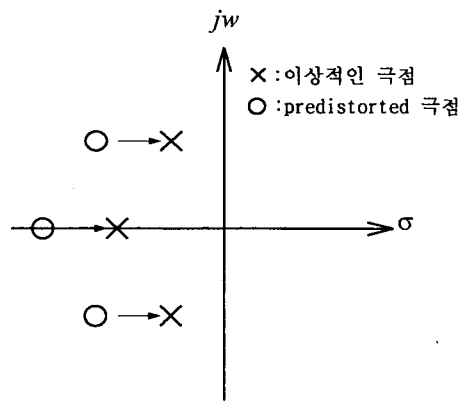


그림 11. 이상적인 극점과 predistortion 극점의 위치
Fig. 11. Ideal and predistortion poles locations.

3차 버터워스 저역통과 함수 $H(s)$ 의 극점을 왼쪽으로 이동시키기 위한 predistortion 함수 $H_p(s)$ 는 식 (16)과 같다^[14].

$$H_p(s) = H(s)|_{s \rightarrow s+p} \quad (16)$$

식(16)으로부터 최대 전력 전송을 위한 전송계수와 반사계수를 이용한 구동점 임피던스 함수 $Z_1(s)$ 는 다음과 같다^[15]

$$Z_1(s) = R_1 \frac{1 - \rho(s)}{1 + \rho(s)} \quad (17)$$

식(17)의 구동점 임피던스 함수로부터 수동소자 값을 구한 후 식(15)에 대입하여 구한 커패시터 값은 표 2와 같다.

표 2. 조정된 커패시터 값
Table 2. Adjusted capacitance values.

커패시터	크기
C_1	7.05 pF
C_2	4.94 pF
C_3	1.73 pF

3. 시뮬레이션 결과 및 고찰

그림 12는 수동 복중단 제자형 필터, predistortion을 적용하기 이전과 predistortion을 적용한 후의 3차 개구리도약형 전류모드 저역통과 필터를 시뮬레이션한 결과이다. 그림 12에서 predistortion을 적용하기 이전의 전류모드 필터는 차단주파수부근에서 0.42dB의 크기 오차를 갖지만 predistortion을 적용한 후 전류모드 필터는 0.01dB의 크기 오차를 갖는다. 따라서 위상 추이로 차단주파수 부근에서 발생하는 크기 특성 오차가 크게 감소하였다.

- : 수동 3차 저역통과 필터
- : Predistortion을 적용하기 전 3차 저역통과 필터
- : Predistortion을 적용한 후 3차 저역통과 필터

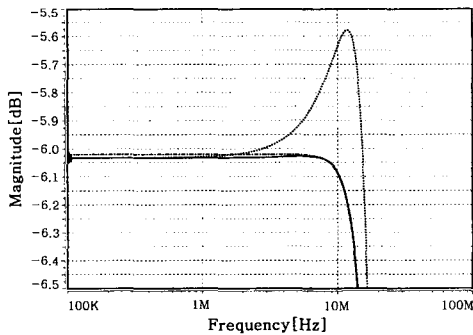


그림 12. 저역통과 필터의 크기 특성
Fig. 12. Magnitude characteristics of lowpass filter.

그림 13은 3차 수동 복중단 제자형 필터, predistortion을 적용한 후의 간단한 전류미러로 구성된 전류 적분기와 high swing cascode 전류미러로 구성된 전류적분기를 이용하여 동일한 조건에서 설계된 3차 개구리도약형 전류모드 저역통과 필터를 시뮬레이션한 크기 특성이다. 간단한 전류미러로 구성된 전류적분기의 3차 저역통과 필터는 통과대역에서 0.69dB, high swing cascode 전류미러로 구성된 필터는 0.01dB의 크기 오차를 보여 본 논문에서 제시한 high swing cascode 전류미러로 구성된 전류모드 필터의

크기 특성이 우수하다. 제안된 3차 개구리도약형 저역통과 필터는 단일 2V 공급 전압에서 전력 소모는 615 μ W이고 20MHz의 차단주파수를 갖는다. 또한 THD(Total Harmonic Distortion)는 2MHz, $0.3I_B$ 의 입력 신호에서 0.925%이다.

- : 수동 3차 저역통과 필터
- : 간단한 전류적분기를 이용한 3차 저역통과 필터
- : High swing cascode를 이용한 3차 저역통과 필터

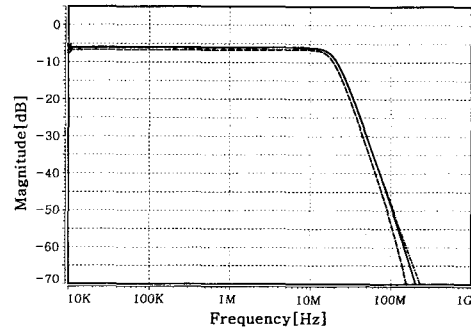


그림 13. 적분기 종류에 의한 저역통과 필터의 크기 특성
Fig. 13. Magnitude characteristics of the integrator types.

또한 DC 바이어스 전류 I_B 를 50 μ A에서 200 μ A까지 50 μ A 간격으로 제어하면서 주파수 동조 특성을 시뮬레이션한 결과를 그림 14에 제시하였다. I_B 가 증가함에 따라 차단주파수는 13.5MHz에서 28.5MHz까지 증가하는데 주파수 동조가 안정된 특성을 갖는다.

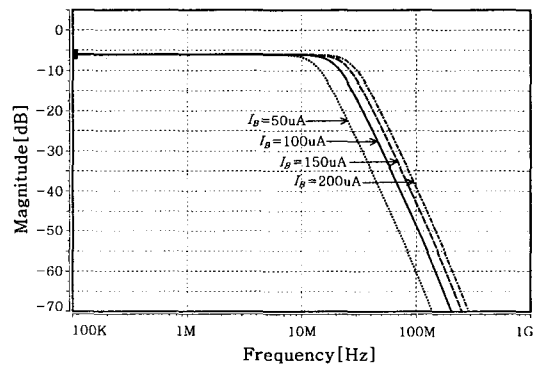


그림 14. 주파수 동조 특성
Fig. 14. Frequency tuning characteristics.

IV. 결론

본 논문에서는 저전압 신호처리에 적합한 high

swing cascode 전류미러로 구성된 전류 적분기를 제안하였고, 그 응용 예로 3차 개구리도약형 저역통과 필터를 설계하였다. 제안된 적분기는 소신호 해석 및 시뮬레이션 결과 간단한 전류미러로 구성된 적분기보다 개선된 특성을 갖는다. 간단한 전류미러로 구성된 적분기는 입력과 출력 저항의 비 이상적인 특성으로 출력 전류에서 오차가 발생하지만, 본 논문에서 제시한 전류 적분기는 출력 저항이 증가하여 적분기의 출력 전류 오차가 감소하였다. 또한 제안된 전류 적분기는 상보형 전류미러를 사용하기 때문에 추가적인 바이어스 회로가 필요하지 않아 구조가 간단하고 소비전력도 감소하였다.

실현된 3차 개구리도약형 저역통과 필터의 크기 특성은 무손실 전류 적분기의 위상축이 때문에 차단주파수 부근에서 0.42dB의 왜곡이 발생하는데 predistortion 설계법을 이용하여 0.01dB로 감소시켰다. 그리고 제안된 필터를 0.8 μ m CMOS n-well 공정 파라미터를 이용하여 SPICE 시뮬레이션한 결과 단일 2V 공급 전압에서 전력 소모는 615 μ W이고 차단주파수는 20MHz를 갖는다.

따라서 제안된 전류모드 필터 설계법은 고주파용 통신 회로, 휴대용 오디오/비디오 장비, 휴대폰 등과 같은 저전압 저전력 특성이 요구되는 아날로그/디지털 혼성 집적회로 설계에 응용이 가능하다.

감사의 글

※ 본 논문은 1997년도 전북대학교 국제공동연구비에 의하여 연구되었습니다.

참 고 문 헌

- [1] R. Batruni, P. Lemaitre, and T. Fensch, "Mixed Digital/Analog Signal Processing for a Single-Chip 2B1Q U-Interface Transceiver," *IEEE J. of Solid-State Circuits*, vol. 26, pp. 1414-1425, December, 1990.
- [2] J. Y. Michel, "High-Performance Analog Cells in Mixed-Signal VLSI: Problems and Practical Solutions," *Analog Integrated Circuits and Signal Processing*, vol. 1, pp. 171-182, November, 1991.
- [3] T. S. Fiez and D. J. Allstot, "CMOS Switched-Current Ladder Filters," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1360-1367, December, 1990.
- [4] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A Continuous-Time Current-Mode Integrator," *IEEE Trans. Circuits and Systems*, vol. 38, pp. 1236-1238, October, 1991.
- [5] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications," *IEEE J. Solid-State Circuits*, vol. 28, pp. 323-329, March, 1993.
- [6] 방준호, 조성익, 김동용, "저전압 저전력 CMOS 필터 구현을 위한 새로운 연속시간 전류 모드 적분기," *한국통신학회지*, vol. 21, pp. 1068-1076, 1996
- [7] J. C. Ahn and N. Fujii, "Current-Mode Continuous-Time Filters Using Complementary Current Mirror Pairs," *Analog Integrated Circuits and Signal Processing*, vol. 11, pp. 109-118, November, 1996.
- [8] C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC Design: the Current-Mode Approach.*, Peter Peregrinus Ltd., 1993.
- [9] M. Ismail and T. Fiez, *ANALOG VLSI: Signal and Information Processing.*, McGraw-Hill, 1993.
- [10] P. J. Crawley and G. W. Roberts, "High-Swing MOS Current Mirror with Arbitrarily High Output Resistance," *Electron. Lett.*, vol. 28, pp. 361-363, 1992.
- [11] R. A. H. Balmford and W. Redman-White, "New High-Compliance CMOS Current Mirror with Low Harmonic Distortion for High-Frequency Circuits," *Electron. Lett.*, vol. 29, pp. 1738-1739, 1993.
- [12] E. Bruun and P. Shah, "Dynamic Range of Low-Voltage Cascode Current Mirrors," in *Proc. IEEE ISCAS*, pp. 1328-1331, 1995.

- [13] H. J. Blinckhoff and A. I. Zverev, Filtering in the Time and Frequency Domains, New York: Wiley pp. 248-289, 1976.
- [14] L. Weinberg, Network Analysis and Synthesis., Prentice-Hall Electrical Engineering Series, 1962.
- [15] R. Schaumann, M. S. Ghauri, and K. R. Laker, Design of Analog Filters: Passive, Active RC, and Switched Capacitor., Englewood Cliffs, NJ, Prentice-Hall, 1989.

 저 자 소 개

安庭徹(正會員) 第34卷 C編 第11號 參照
 현재 한국전자통신연구원 부호기술연구부 선임연구원



劉永奎(學生會員)
 1974년 8월 15일생. 1996년 전북대학교 전기공학과 졸업(공학사). 1998년 전북대학교 대학원 전기공학과 졸업(공학석사). 주관심 분야는 아날로그 집적회로 설계

崔碩佑(正會員) 第31卷 B編 第12號 參照
 현재 전북대학교 부속 전기전자회로합성연구소 조교수

尹暢焘(正會員) 第31卷 B編 第12號 參照
 현재 전북대학교 부속 전기전자회로합성연구소 객원연구원
 우석대학교 정보통신 및 컴퓨터공학부 교수

金東龍(正會員) 第35卷 C編 第6號 參照
 현재 전북대학교 전기전자제어공학부 교수