

論文98-35C-9-7

새로운 디지털-아날로그 변환알고리즘을 적용한 CMOS 디지털-아날로그 변환기

(A CMOS Digital-to-Analog Converter to Apply a
Newly-Developed Digital-to-Analog Conversion
Algorithm)

宋 明 鎬 *

(Myong-Ho Song)

요 약

본 논문에서는 새로운 디지털-아날로그 변환알고리즘을 적용한 CMOS 디지털-아날로그 변환기를 개발하였다. 이 변환기를 1.2 μ m MOSIS SCMOS 파라미터로 설계하여 시뮬레이션으로 그 성능을 확인해 본 결과 200MHz의 최대변환속도와 7.41mW의 DC 소모전력을 나타내었고 8-b 에서 각각 ± 0.008 LSB의 INL(integral nonlinearity)과 ± 0.098 LSB의 DNL(differential nonlinearity)를 나타내었다.

Abstract

This paper describes a CMOS digital-to-analog converter to apply a newly-developed digital-to-analog conversion algorithm. The CMOS digital-to-analog converter has been designed by using 1.2 μ m MOSIS SCMOS parameter and simulated for the performance. The simulated results have shown that the digital-to-analog converter has 200MHz of the maximum conversion rate, 7.41mW of the DC power consumption, and ± 0.08 LSB of INL and ± 0.098 LSB of DNL in 8-b.

I. 서 론

고속 및 고분해능 디지털-아날로그 변환기는 스케닝 그래프 시스템, 컴퓨터 시스템, 디지털 TV, 고선명 TV 등을 위한 중요한 소자이다. 상술한 시스템에서는 8-b 이상의 해상도와 65MHz 이상의 동작 주파수 성능을 갖고있는 디지털-아날로그 변환기가 요구된다. CMOS 기술로 상술한 성능을 갖는 CMOS 디지털-아날로그 변환기를 실현시킨다면 저비용, 저전력소비, CMOS와 TTL 회로와의 우수한 호환성 등의 많은 장점을 갖고 있음과 더불어 또한 기억소자 및 디지털

처리시스템과도 우수한 호환성을 갖고 있으므로 이들의 단일칩IC화 될 수 있는 장점도 갖고있다. 최근에 와서는 weighted current array^[1,2,3,4] 혹은 전류셀 매트릭스^[5,6,7] 방식을 이용한 고속 CMOS 디지털-아날로그 변환기에 관한 많은 연구가 활발히 진행되고 있다. 상술한 전류 스위칭 CMOS 디지털-아날로그 변환기는 고속 및 고정밀 안정 성능을 갖고 있으나, 웨이퍼 상에서 발생하는 전기적 파라미터의 오차와 전류원의 상호 비정합으로 인해 그 성능의 변화폭이 아주 크다. 그러므로 상술한 CMOS 디지털-아날로그 변환기는 일반적으로 8-b 이하로 제한된다. 그러나 최근에 와서는 10-b 해상도가 가능하도록 전류셀 매트릭스의 선형성을 개선시키고자 특별한 레이아웃 배열과 스위칭 순서를 적용하였으나 이러한 방법에는 n-b

* 正會員, (前) 國民大學校 電子工學科

(Kook Min University, Department of Electronics)

接受日字:1998年3月2日, 수정완료일:1998年8月25日

디지털-아날로그 변환기를 실현시키기 위해 $2^n - 1$ 개의 동일한 크기의 MOS 전류원을 상호연결시키는 회로망의 주의깊은 조합이 요구된다^[8,9,10]. 그러므로 고 해상도의 비디오 CMOS 디지털-아날로그 변환기를 실현시키려면 연결선과 스위칭회로의 복잡성으로 인해 웨이퍼 면적이 증가하게 되어 결국 전류원 상호간의 비정합 및 threshold 전압의 불일치를 더욱더 심화시킨다. 상술한 문제점을 피하고자 저저항 부하를 구동시키는 광대역 출력단 버퍼를 갖고있는 저항 스트링을 이용한 CMOS 디지털-아날로그 변환기가 개발되어^[11] 그 수동소자에 의해 선형성은 개선되었지만 이 변환기 역시 광대역, 대 구동 및 고속인 출력단 버퍼의 설계가 어려우므로 결국 속도에 상당한 제한을 받게됨을 보여 주었다. 상술한 전류 스위칭 CMOS 디지털-아날로그 변환기의 단점을 보완코자 문턱전압을 보정한 전류원을 이용한 CMOS 디지털-아날로그 변환기^[12]가 개발되어서 100MHz 이상의 주파수 성능을 실현시켰으나 이 또한 10-b의 선형성을 갖일 수 있는 소자의 수율이 10% 정도로 낮다. 상기에서 살펴본 바와 같이 전류 스위칭 CMOS 디지털-아날로그 변환기는 10-b 이상의 선형성을 실현시키는 것이 상당히 어려울 뿐만 아니라 단일칩 IC 시스템의 실현도 용이하지 않음을 알수있다.

본 논문에서는 새로운 디지털-아날로그 변환알고리즘을 적용한 CMOS 디지털-아날로그 변환기를 개발하였다. 이 변환기를 1.2 μ m MOSIS SCMOS 파라미터로 설계하여 시뮬레이션으로 그 성능을 확인해 본 결과 200MHz의 최대변환속도와 7.41mW의 DC 소모전력을 나타내었고 8-b에서 각각 ± 0.008 LSB의 INL 과 ± 0.098 LSB의 DNL를 나타내었다. 또한 이 변환기를 이용하면 회로가 간단하고 제조공정기술 또한 CMOS 연산증폭기 제조공정기술 수준이므로(그림 1 참조) 고 해상도와 고속을 요구하는 단일칩 IC 시스템의 실현을 기존의 전류 스위칭 CMOS 디지털-아날로그 변환기에 비해 더 용이하게 할수 있을것이 예측된다. 이 변환기의 성능은 단지 이 변환기에 이용될 CMOS 연산증폭기의 선형성과 주파수성능에 의해 결정되므로 CMOS 연산증폭기의 성능개발이 곧 바로 이 변환기의 성능개발과 직결되므로 현재보다 훨씬 우수한 성능을 갖는 변환기의 실현을 기대할 수 있는 미래 지향적인 시스템이다.

본 논문의 II절에는 본 논문에서 새로이 개발된 디

지털-아날로그 변환알고리즘 및 이 알고리즘을 이용한 CMOS 디지털-아날로그 변환기 설계에 관한 내용이 수록되어 있으며, III절에서는 II절에서 설계된 디지털-아날로그 변환기에 사용하기 위해 설계된 CMOS 연산증폭기의 성능에 관한 시뮬레이션 결과가 수록되어 있고, IV절에서는 본 연구에서 설계된 디지털-아날로그 변환기의 성능에 관한 시뮬레이션 결과 및 고찰이 수록되어 있다.

II. 디지털-아날로그 변환 알고리즘 및 디지털-아날로그 변환기 설계

본 논문에서 개발된 디지털-아날로그 변환알고리즘을 설명하고자 우선 n-b 디지털-아날로그 변환기를 설계할 경우를 생각해 보자. 본 변환알고리즘을 설명하기 위해서 n-b 중 상위 (n/2)-b를 MSB, 하위 (n/2)-b를 LSB라 표기한다. 본 변환알고리즘은 MSB에 디지털 '1'을 더한 것에 해당하는 아날로그 전압에 LSB의 2진 보수에 해당하는 아날로그 전압이 감소되도록 디지털-아날로그 변환기를 구성하므로서 결과적으로 MSB와 LSB를 더한것에 해당하는 아날로그 전압을 얻을수 있도록 하였다. 본 알고리즘을 사용하여 설계된 디지털-아날로그 변환기는 그림 1과 같다.

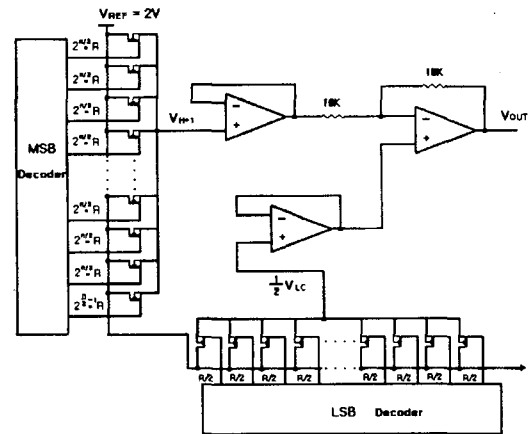


그림 1. 새로이 개발된 알고리즘을 이용하여 설계된 디지털-아날로그 변환기

Fig. 1. The digital to analog converter designed using the newly-developed algorithm.

그림 1을 그림 2와 같이 8-b로 구성하고 그 입력단에 공급된 00100010인 디지털 신호를 아날로그로 변환하는 경우에 대해 본 알고리즘을 사용하여 설계된

본 변환기의 동작원리를 살펴보면 다음과 같다.

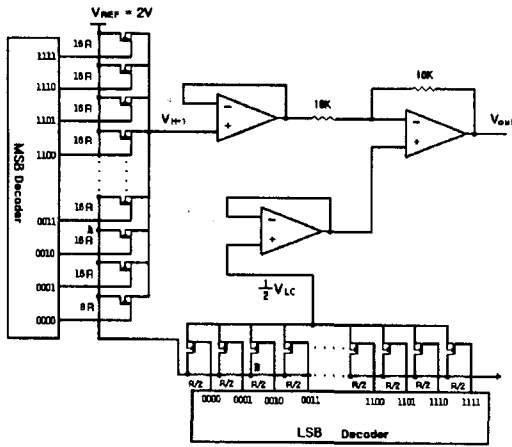


그림 2. 새로이 개발된 알고리즘을 이용하여 설계된 8-b 디지털-아날로그 변환기
 Fig. 2. The 8-b digital to analog converter dsigned using the newly-developed algorithm.

8-b 디지털 신호를 아날로그로 변환하기 위한 공급 전압은 $R=10 [\Omega]$ 을 단위로한 $256R [\Omega]$ 에 분배되어 있다(그림 2 참조). 한 예로, 00100010인 디지털 신호를 아날로그 신호로 변환하는 시스템으로 직접병렬처리 시스템을 채택할 경우, 디코더 신호가 $34R [\Omega]$ 인 저항점 노드에 연결된 스위치를 'on' 시켜서 그 노드의 전압을 직접 출력시키면 된다. 다른 한 예로, 00100010인 디지털 신호의 상위 4-b를 MSB, 하위 4-b를 LSB로 양분하여 MSB에 해당하는 아날로그 전압과 LSB에 해당하는 아날로그 전압을 직접 합산하는 시스템을 채택할 경우, MSB 디코더 신호는 $32R [\Omega]$ 인 저항점 노드에 연결된 스위치를 'on' 시키고, LSB 디코더 신호는 $2R [\Omega]$ 인 저항점 노드에 연결된 스위치를 'on' 시켜서, 각 노드의 아날로그 전압을 직접 합산하면 $32R [\Omega] + 2R [\Omega] = 34R [\Omega]$ 인 저항점 노드의 아날로그 전압과 같은 전압을 얻는다. 본 논문에서 제안하고 있는 시스템(그림 2)을 채택할 경우, MSB 디코더 신호는 MSB에 디지털 '1'을 더한 $48R [\Omega]$ 인 저항점 노드(그림 2에서 A번 노드)에 연결된 스위치를 'on' 시키고, LSB 디코더 신호는 LSB를 2진보수 취한 $14R [\Omega]$ 인 저항점 노드의 전압의 절반인 $7R [\Omega]$ 인 저항점 노드(그림 2에서 B번 노드)에 연결된 스위치를 'on' 시켜서, A번 노드와 B번 노드의 전압을 본 시스템의 감산기에서 감산하면 $48R [\Omega] - 2 \times 7R [\Omega] = 34R [\Omega]$ 인

저항점 노드의 아날로그 전압과 같은 압을 얻는다. 상술한 본 시스템의 변환알고리즘을 수학적으로 표현하면 다음과 같다.

$$00100010 = (\text{MSB}(0010) + '1') - (\text{LSB}(0010) \text{의 } 2\text{진보수})$$

$$= 00110000 - 00001110$$

$$V_{\text{out}} = - [V_{M+1} - 2(V_{LC} / 2)]$$

여기서 V_{M+1} , $V_{LC} / 2$, V_{out} 은 그림 2에서 표기된 바와같은 각 단의 아날로그 전압이다.

상술한 감산알고리즘을 이용하여 개발된 디지털-아날로그 변환알고리즘으로 설계된 디지털-아날로그 변환기는 그림 1에서 보여주는 바와 같이 MSB의 출력 임피던스(버퍼 출력임피던스)가 감산기의 등가 전원 임피던스로 기여하게 되어 본 시스템의 주파수 특성이 아주 우수함을 알 수 있다. 기존의 직접 가산알고리즘을 적용한 전위차계형 디지털-아날로그 변환기에서는 가산기의 입력단의 전원저항이 전위차계용 저항으로써 그 저항값이 매우 커야(수 MΩ 이상) 고정밀(8-b 이상) 디지털-아날로그 변환기의 성능이 가능한데 이는 변환 속도를 떨어뜨린다.^[13] 그러므로 본 시스템은 기존의 직접 가산알고리즘을 적용한 전위차계형 디지털-아날로그 변환기의 주파수 성능에 비해 큰 성능개선이 예측된다. 또한 기존의 전위차계형이 갖고있는 장점인 시스템의 간단함과 우수한 선형성을 본 시스템에서도 그대로 보존되고 있으므로, 본 시스템을 이용할 경우 고속 및 고해상도를 동시에 요구하는 각종 영상시스템의 IC화가 용이 할 것이 예상된다.

III. 자체 보상 회로를 갖고 있는 캐스코드 CMOS 연산증폭기

광대역, 고속 안정도 그리고 작은 출력임피던스 특성을 갖고 있는 연산증폭기의 성능이 본 디지털-아날로그 변환기의 고속화를 실현시키는 핵심기술이다. $1.2 \mu\text{m}$ MOSIS SCMOS 기술로 상기 목적에 부합되도록 최적화하여 설계된 자체 보상회로를 갖고 있는 캐스코드 연산증폭기는 그림 3와 같다. 그림 3의 레이아웃 데이터와 성능실험에 관한 시뮬레이션 결과는 표 1, 표 2와 같다. 표 2에서 보여주는 바와같이 본 연산증폭기는 350MHz의 단위이득과 5ns의 안정도를 갖는다.

표 1. 캐스코드 연산증폭기의 레이아웃 데이터

Table 1. caddcoded OP AMP Layout data.

MOS 번호	레이아웃 (L : 길이 W : 폭)
M1, M2, M3, M4	L=1.2 μ m W= 41.4 μ m
M5	L=1.2 μ m W= 24 μ m
M6, M7	L=1.2 μ m W= 10.2 μ m
M8	L=1.2 μ m W= 40.2 μ m
M9, M10, M11, M12	L=1.2 μ m W= 9 μ m
M13	L=1.2 μ m W= 1.8 μ m
M14, M15, M16	L=1.2 μ m W= 2.4 μ m
Cc	0.29pF

표 2. 캐스코드 연산증폭기의 시뮬레이션 특성

Table 2. The simulated characteristics of the cascoded OP AMP.

공급전압(V _{DD} = V _{SS})	5v
동작온도	27°C
총 전력소비	1.95mW
입력저항	1.0E+20 Ω
출력저항	8.3k Ω
저주파이득	61dB
단위이득	350MHz
개방루프위상마진	67°
슬루 레이트	11.67 V/ μ s
안정시간	5ns
CMRR	65dB
PSRR	85dB
오프셋전압	-13.5mV

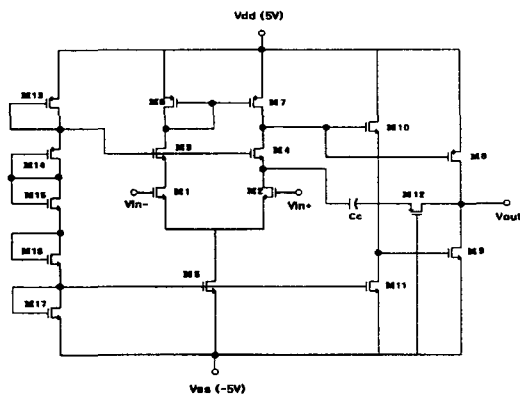


그림 3. CMOS 캐스코드 연산증폭기
Fig. 3. CMOS cascoded OP AMP.

V. 디지털-아날로그 변환기의 성능실험에 관한 시뮬레이션 결과 및 고찰

본 절에서는 본 논문에서 설계된 디지털-아날로그 변환기의 성능실험을 위해 편의상 8-b 분해능과 100Mbps 에서 시뮬레이션을 행하였으며 그 결과는 그림 4과 그림 5 및 표 3과 같다. 그림 4과 그림 5에서 보여주는 바와같이 본 디지털-아날로그 변환기는 5nsec의 안정도를 나타내어 최대속도 200Mbps의 성능을 보여주었다.

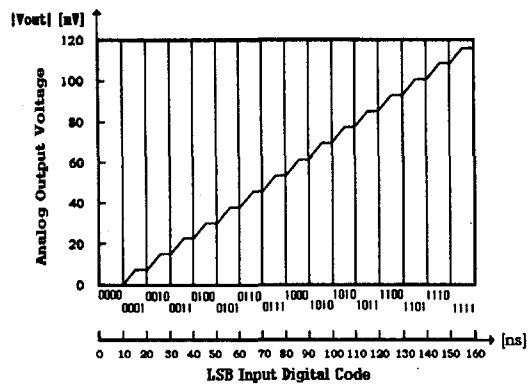


그림 4. 8-b 분해능력을 갖고 있는 CMOS 디지털-아날로그 변환기에서 시뮬레이션된 LSB 출력전압
Fig. 4. The simulated LSB output voltage of the CMOS digital to analog converter with 8-b resolution.

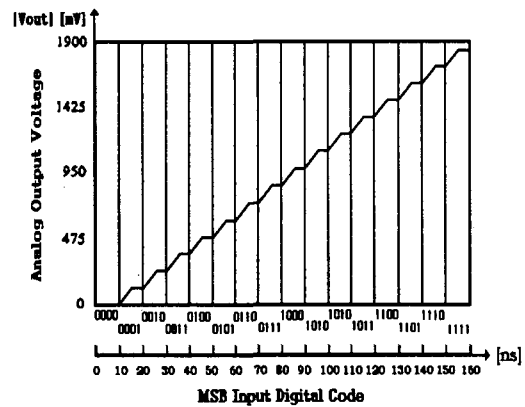


그림 5. 8-b 분해능력을 갖고 있는 CMOS 디지털-아날로그 변환기에서 시뮬레이션된 MSB 출력전압
Fig. 5. The simulated MSB output voltage of the CMOS digital to analog converter with 8-b resolution.

1. INL

본 디지털-아날로그 변환기의 INL은 그림 6에서 보여주는 바와 같이 00001101의 디지털 코드가 입력

될 때 최대오차 $\pm 0.008\text{LSB}$ 가 발생함을 시뮬레이션 결과로부터 알수있었다.

표 3. 새로이 개발된 변환 알고리즘을 이용하여 설계된 CMOS 디지털-아날로그 변환기의 시뮬레이션 된 특성

Table 3. The simulated characteristics of the CMOS digital to analog converter designed using the newly-developed conversion algorithm.

정밀도	8-b
안정시간	5nsec(LSB), 5nsec(MSB)
적분선형오차	0.08LSB, -0.08MSB
미분선형오차	$\pm 0.098\text{LSB}$, $\pm 0.068\text{MSB}$
총전력소비	7.41mW
오프셋전압	-39.5mV

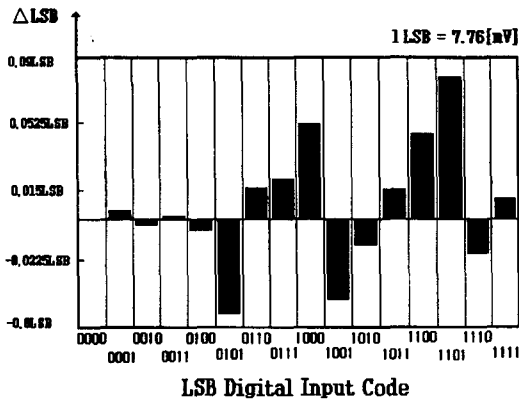


그림 6. 8-b 분해능을 갖고 있는 CMOS 디지털-아날로그 변환기에서 시뮬레이션된 $\Delta\text{LSB} = [(V_{\text{OUT}} - V_{\text{IDEAL}})] / (\text{LSB})_{\text{IDEAL}}$.

ΔLSB : 실제 전달특성과 이상적인 전달특성 (0과 FS를 이은 직선)과의 편차

V_{OUT} : 실제 전달특성에서의 출력 전압

V_{IDEAL} : 이상적인 전달특성(0과 FS를 이은 직선)에서의 전압

$(\text{LSB})_{\text{IDEAL}}$: 1 LSB 의 이상적인 전압의 크기

Fig. 6. The simulated $\Delta\text{LSB} = [(V_{\text{OUT}} - V_{\text{IDEAL}})] / (\text{LSB})_{\text{IDEAL}}$ of the CMOS digital to analog converter with 8-b resolution.

ΔLSB : The deviation of the actual transfer characteristic from the ideal transfer characteristic (a straight line drawn between zero and the FS of the ideal converter)

V_{OUT} : The output voltage in the actual transfer characteristic.

V_{IDEAL} : The voltage in the ideal transfer characteristic (a straight line drawn between zero and the FS of the ideal converter)

$(\text{LSB})_{\text{IDEAL}}$: the size of the ideal voltage of the 1 LSB.

2. DNL

본 디지털-아날로그 변환기의 DNL은 그림 7에서 보여주는 바와 같이 00001110 디지털코드가 입력될 때 최대오차 $\pm 0.098\text{LSB}$ 가 발생함을 시뮬레이션 결과로부터 알수있었다.

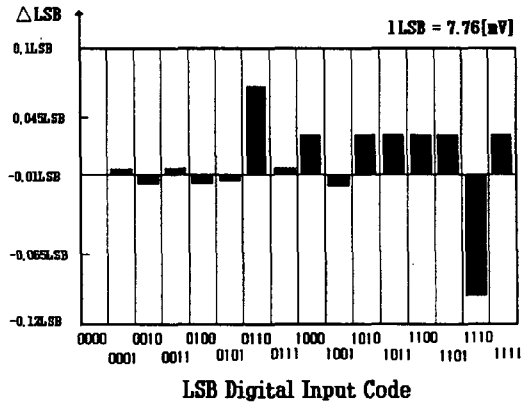


그림 7. 8-b 분해능을 갖는 CMOS 디지털-아날로그 변환기에서 시뮬레이션된 $\Delta\text{LSB} = [(\text{LSB})_{\text{OUT}} - (\text{LSB})_{\text{IDEAL}}] / (\text{LSB})_{\text{IDEAL}}$

ΔLSB : 실제의 어떤 한 LSB 변화에 기인한 아날로그 출력 변화와 1 LSB ($\text{FS}/2^8$ 인 이상적인 크기) 와의 편차

$(\text{LSB})_{\text{OUT}}$: 1 LSB 내에서의 실제의 출력 전압의 변화량

$(\text{LSB})_{\text{IDEAL}}$: 1 LSB 의 이상적인 전압의 크기

Fig. 7. The simulated $\Delta\text{LSB} = [(\text{LSB})_{\text{OUT}} - (\text{LSB})_{\text{IDEAL}}] / (\text{LSB})_{\text{IDEAL}}$ of the CMOS digital to analog converter with 8-b resolution.

ΔLSB : The deviation of the analog output change caused by an LSB change from the 1 LSB (the ideal size of $\text{FS}/2^8$)

$(\text{LSB})_{\text{OUT}}$: The actual analog output change caused by an LSB change

$(\text{LSB})_{\text{IDEAL}}$: The size of the ideal voltage of the 1 LSB

V. 결론

본 논문에서는 새로운 디지털-아날로그 변환알고리즘을 적용한 CMOS 디지털-아날로그 변환기를 개발하였다. 이 변환기를 $1.2\mu\text{m}$ MOSIS SCMOS 파라미터로 설계하여 시뮬레이션으로 그 성능을 확인해 본 결과 200MHz의 최대변환속도와 7.41mW의 DC 소모전력을 나타내었고 8-b에서 각각 $\pm 0.008\text{LSB}$ 의 INL 과 $\pm 0.098\text{LSB}$ 의 DNL를 나타내었다. 또한 이 변환기를 이용하면 회로가 간단하고 제조공정기술 또한 CMOS

연산증폭기 제조공정기술 수준이므로 고해상도와 고속을 요구하는 단일칩 IC 시스템의 실현을 기존의 전류 스위칭 CMOS 디지털-아날로그 변환기에 비해 더 용이하게 할 수 있을 것이 예측된다. 이 변환기의 성능은 단지 이 변환기에 이용될 CMOS 연산증폭기의 선형성과 주파수 성능에 의해 결정되므로 CMOS 연산증폭기의 성능개발이 곧 바로 이 변환기의 성능개발과 직결되므로 현재보다 훨씬 우수한 성능을 갖는 변환기의 실현을 기대할 수 있는 미래 지향적인 시스템이다.

참 고 문 헌

- [1] Kuang K. Chi et., "A CMOS triple 100-Mbit/s video D/A converter with shift register and color map," *IEEE J. Solid-State Circuits*, vol. sc-21, no. 6, pp. 989-995, Dec. 1986.
- [2] A. Cremonesi, F. Maloberti, and G. Polito, "A 100-MHz CMOS DAC for video-graphic systems," *IEEE J. Solid-State Circuits*, vol. 24 no. 3, pp. 635-639, June 1989.
- [3] K. Maio, S. I. Hayashi, M. Hotta, T. Watanabe, S. Ueda, and N. Yokozama, "A 500-MHz 8-bit D/A converter," *IEEE J. Solid-State Circuits*, vol. sc-20, no. 6, pp. 1133-1137, Dec. 1985.
- [4] K. Nojima, M. Yano, and M. Kawata, "An 8b 800 MHz D/A converter," *IEEE Int. Solid-State Circuits Conf.*, pp. 198-199, 1990.
- [5] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba, "An 80-MHz CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. sc-21, no. 6, pp. 983-988, Dec. 1986.
- [6] L. Letham, B. K. Ahuja, K. N. Quader, R. J. Mayer, R. E. Larsen, and G. R. Canepa, "A high-performance CMOS 70-MHz palette/DAC," *IEEE J. Solid-State Circuits*, vol. sc-22, no. 6, pp. 1041-1047, Dec. 1987.
- [7] N. Kumazawa, N. Fukushima, N. Qno, and N. Sakamoto, "An 8 bit 150 MHz CMOS D/A converter with 2 V_{p-p} wide range output," *Symp. on VLSI Circuits*, pp. 55-56, 1990.
- [8] Y. Nakamura, T. Miki, A. Maeda, H. Kondoh, and N. Yazawa, "A 10-b 70-MS/s CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 637-642, Apr. 1991.
- [9] H. Takakura, M. Yokoyama, and A. Yamauchi, "A 10 bit 80 MHz glitchless CMOS D/A converter," *IEEE Custom Integrated Circuits Conf.*, pp. 26.5.1-26.5.4, 1991.
- [10] C. A. A. Bastiaansen, D. W. J. Geoneveld, H. J. Schouwenaars, and H. A. H. Termeer, "A 10-b 40-MHz 0.8-um CMOS current-output D/A converter," *IEEE J. Solid-State Circuits*, vol. 26, no. 7, pp. 917-921, July 1991.
- [11] Marcel Pelgrom, "A 50 MHz 10-bit CMOS digital-to-analog converter with 75\ buffer," *IEEE Int. Solid-State Circuits Conf.*, pp. 200-201, 1990.
- [12] Shu-Yuan Chin and Chung-Yu Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current Sources," *IEEE J. Solid-State Circuits*, vol. 29, no. 11, pp. 1374-1380, November 1994.
- [13] 트랜지스터 技術 special no. 16, 1989.
- [14] David B. Ribner and Miles A. Copeland, "Design techniques for cascoded CMOS op amps with improved PSRR and common-mode input range," *IEEE J. Solid-State Circuits*, vol. sc-19, no. 6, pp. 919-925, December 1984.

저 자 소 개

宋 明 鎬(正會員)

1952년 5월 25일생. 1973년 고려대학교 전자공학과 졸업(공학사). 1975년 고려대학교 대학원 전자공학과 졸업(공학석사). 1985년 고려대학교 대학원 전자공학과 졸업(공학박사). 1979년 ~ 1997년 국민대학교 전자공학과 교수. 1987, 1993년 미네소타 대학교(미국) 연구교수. 1988년 토론토 대학교(캐나다) 초청교수. 주관심 분야는 반도체 잡음, 아날로그 VLSI 설계, 아날로그-디지털 혼합시스템 VLSI 설계