

論文98-35C-9-6

온도에 의존하지 않는 전압 감시회로에서의 바이어스 회로의 설계

(A Design of bias circuit in temperature independent voltage detect circuit)

文宗奎*, 白鍾武*

(Jong-Kyu Moon and Jong-MooBaek)

요 약

본 논문에서는 온도에 의존하지 않는 전압 감시회로에서 바이어스 회로에 대한 설계 방법을 제안한다. 제안한 방법을 실현하기 위하여 비교기를 구성하는 트랜지스터의 순방향 전압과 V_T (Thermal Voltage) 그리고 저항 등의 서로 다른 온도계수 차이를 이용한다. 즉, 전압 감시회로에서 각각 다른 온도계수를 갖는 소자를 이용하여 서로 상쇄되도록 바이어스회로를 실현한다. 그리고 전압 감시회로의 기준전압은 비교기를 구성하는 트랜지스터의 순방향 전압 차(ΔV_{BE})를 이용하여 구현한다. 이 기준전압과 저항 및 V_{BE} 멀티플라이어 를 이용하여 전압 감시회로의 검출전압을 설계한다. 제안한 회로의 동작검증을 위해 IC로 제작하였다. HP4145B와 온도 Chamber를 이용하여 특성을 평가한 결과, 온도변화율이 $-0.01 \%/^{\circ}\text{C} \sim -0.025 \%/^{\circ}\text{C}$ 의 양호한 특성을 얻었다.

Abstract

In this paper, a design of bias circuit in temperature independent voltage detect circuit is proposed. In order to realize this intention, we are used the differences in temperature coefficient of thermal voltage, resistor and transistor forward voltage(V_{BE}) which is consisted in comparator. That is, It is realized by compensating the difference of temperature coefficient due to using components with each different temperature coefficient. As well, reference voltage of the circuit is accomplished by the difference of transistor forward voltage(ΔV_{BE}) in comparator. In using reference voltage, resistor and V_{BE} Multiplier, we can design detect voltage of the circuit. In order to test operation of proposing circuit, we manufactured IC. Then, we measured operating characteristics and capability of the circuit by using HP4145B and temperature chamber. The result, we could obtain the good variation of temperature from $-0.01 \%/^{\circ}\text{C}$ to $-0.025 \%/^{\circ}\text{C}$.

I. 서 론

마이크로프로세서를 이용하는 시스템에서 전원 전압의 순간적인 변동은 시스템의 오(誤)동작을 초래하는 직접적인 원인이 된다. 따라서 전원 전압을 감시하는

회로가 필요하다. 전압 감시회로에서 검출전압을 구성하는 바이어스 회로가 온도에 따라 변화하게 되면 검출전압의 변동을 초래한다. 즉, 설계된 검출전압이 온도변화로 인해 다른 전압에서 검출됨으로써 마이크로 프로세서를 이용한 응용 기기에서 오 동작을 일으키는 원인이 된다. 따라서 전압감시회로의 바이어스 회로는 온도에 영향을 받지 않도록 설계되어야 한다. 지금까지는 온도의 변화에 대해 안정되게 동작하는 바이어스 회로를 구현하기 위해서 밴드갭 회로^[1] 등이 이용되어왔다. 그러나 이와 같은 회로는 기준전압을 유지하

* 正會員, 大元工科大學 電子通信科

(Dept. of Elec. Communication, Daewon Technical College)

接受日字:1997年8月7日, 수정완료일:1998年8月17日

기 위하여 일정전력을 소모해야할 뿐만 아니라, 온도 특성이 안정된 기준 전압으로 1.26 V 이하의 저전압 감시회로를 실현하기가 어렵다. 따라서 안정된 온도특성을 가지며 저(低) 전압 감시회로 기준 전압의 실현은 설계 상 한계가 있다. 이와 같은 문제점을 해결하기 위해 본 논문에서는 비교기를 구성하는 트랜지스터의 순방향 전압 차(ΔV_{BE})를 기준 전압으로 하여 저항 및 V_{BE} 멀티플라이어를 이용함으로써 전압 감시회로의 검출전압을 실현할 수가 있다. 본 논문에서는 비교기를 구성하는 트랜지스터의 순방향 전압과 V_T (Thermal Voltage) 및 저항의 서로 다른 온도계수를 이용하여 서로 상쇄되도록 회로를 구성함으로써 온도에 의존하지 않는 전압감시회로의 바이어스 회로를 실현할 수 있는 방법을 제안한다. 즉, 전압 감시회로에서 부(-)의 온도계수를 갖는 트랜지스터의 순방향 전압과 정(+)의 온도계수를 가지는 저항 및 V_T (Thermal Voltage)를 이용하여 서로 상쇄되도록 바이어스 회로를 구성하고 또한, 비교기를 구성하는 트랜지스터에서 이미터의 면적비를 변화시켜 기준전압을 가변할 수 있도록 한다. 또한 전압 감시회로의 검출전압은 이 기준 전압과 저항 및 V_{BE} 멀티플라이어 구조를 갖는 회로를 구성함으로써 변화시킬 수가 있다. 제안한 전압 감시회로의 바이어스 회로의 성능을 검증하기 위하여 IC 로 제작하여 동작 특성 및 성능을 측정하였다.

II. 전압 감시회로의 설계

제한한 전압 감시회로는 그림 1과 같이 비교기가 임의의 오프셋 전압을 가지도록 회로를 구성한다.

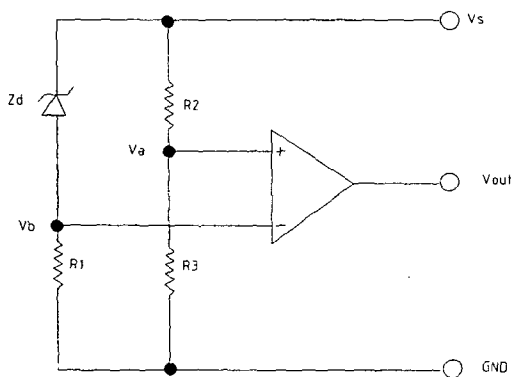


그림 1. 임의의 오프셋 전압을 가진 전압 감시회로
Fig. 1. Voltage detect circuit with discretionary off-set voltage.

그림 1에서 Z_d 는 제너다이오우드 이다. 이 제너다이오우드 전압은 비교기의 오프셋 전압을 나타낸다. V_a , V_b 는 비교기의 비반전단자, 반전단자를 나타낸다. V_s 는 전압검출단을 나타낸다.

그리고 비반전단자 전압이 반전단자 전압보다 제너다이오우드 전압만큼 높게 설계한다. 전압검출단에 인가되는 피측정 전압이 오프셋 전압이하로 떨어지면 비교기가 반전되도록 회로를 구성한다. 회로동작은 다음과 같다.

전압검출단(V_s)에 인가된 피측정 전압이 검출전압 이하로 떨어지면 제너다이오우드는 도통(on)한다. 비교기의 반전단자 전압(V_b)이 비반전단자 전압(V_a)과 같게되는 전압은 $\frac{R_3}{R_2+R_3} \times V_s$ 가 된다. 그러므로 제너다이오우드가 도통(on)하면 반전단자 전압(V_b)이 비반전단자 전압(V_a)보다 높기 때문에 비교기의 출력은 저(低)전위 상태가 된다. 반대로 반전단자 전압보다 오프셋 전압 이상의 전압이 인가되면 제너다이오우드가 불통(off)되므로 비교기의 출력은 고(高)전위 상태가 된다. 비교기의 임의의 오프셋 전압을 갖게함으로써, 피측정 전압이 검출전압보다 낮을 때 비교기가 반전되어 저전위 상태를 갖도록 하는 개념을 도입한다.

온도에 의존하지 않는 전압감시 회로의 바이어스 회로는 그림 2와 같이 구성함으로써 실현할 수가 있다.

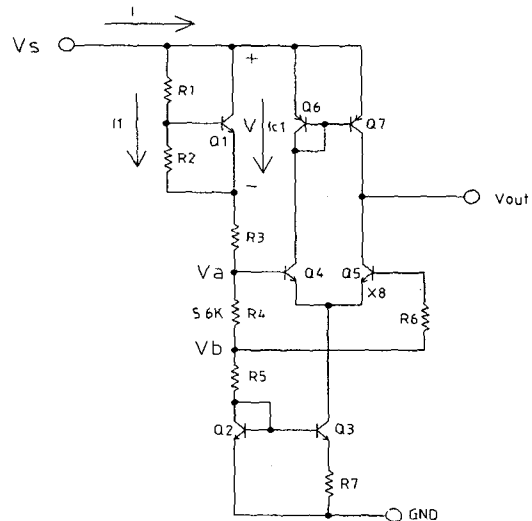


그림 2. 제안한 전압감시 회로의 바이어스 회로
Fig. 2. Proposed bias circuit of voltage detect circuit.

그림 2 에서 V_s 는 전압검출단 이고, R_1 , R_2 , Q_1 의

로 구성되는 회로는 V_{BE} 멀티플라이어이다. 전압감시 회로의 바이어스 회로는 R_3, R_4, R_5 , 그리고 V_{BE} 멀티플라이어 및 Q_2 로 구성한다. V_a, V_b 는 비교기의 비반전단자 및 반전단자를 나타낸다. Q_4, Q_5 로 구성된 비교기는 트랜지스터의 이미터 면적을 달리 설계함으로써 임의의 오프셋 전압^[2]을 갖도록 한다. 피측정 전압이 비반전단자 전압보다 오프셋 전압 이하로 떨어질 때, 비교기는 반전된다. 즉, 비교기의 입력단은 임의의 히스테리시스 특성을 갖는 구조가 된다.

이를 구현하는 방법은 다음과 같다. 그림 2에서 회로에 흐르는 전류를 I 라하고, 비교기의 입력 단은 차동 증폭기로 구성한다. 그리고 차동 증폭기의 비반전단자의 트랜지스터(Q_4)의 이미터 면적^[3]을 1배로 하고 반전단자의 트랜지스터(Q_5)의 이미터 면적을 8배가 되도록 회로를 구성한다. 여기서 트랜지스터(Q_4)의 면적 비를 설계하는 방법은 IC 패턴 설계 시, 트랜지스터(Q_4)의 면적을 1배로 할 때, 트랜지스터(Q_5)의 면적은 8배가 되도록 설계한다. 그 방법은 그림 3과 같다.

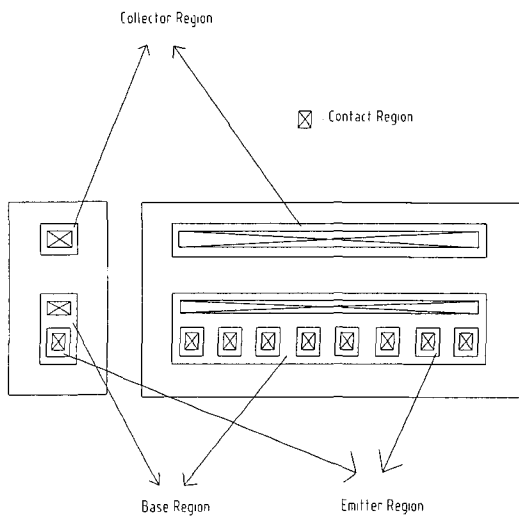


그림 3. 트랜지스터 Q_4 와 Q_5 의 패턴
Fig. 3. Pattern of transistor Q_4 and Q_5 .

그림 2에서 트랜지스터 Q_4, Q_5 의 순방향 전압 차 (ΔV_{BE})는 식(1)과 같다.

$$\begin{aligned} \Delta V_{BE} &= V_T \left(\ln \frac{I_{C4}}{I_S} - \ln \frac{I_{C5}}{8I_S} \right) \quad \text{여기서 } I_{C4} = I_{C5}, V_T = 26 \\ &\text{mV로 가정} \\ &= V_T \ln 8 \\ &= 54 \text{ mV} \end{aligned}$$

(1)
(729)

따라서 비교기의 히스테리시스 전압^[4]은 54 mV로 설계할 수 있다. 그러나 식(1)에서 트랜지스터 Q_4 의 컬렉터 전류(I_{C4})와 트랜지스터 Q_5 의 컬렉터 전류(I_{C5})는 트랜지스터의 이미터 면적이 서로 다르기 때문에 컬렉터 전류가 다르다. 비교기의 동작 전환점의 전류를 구하기 위해 회로 시뮬레이션을 하면, 트랜지스터 Q_4 의 컬렉터 전류(I_{C4})가 트랜지스터 Q_5 의 컬렉터 전류(I_{C5})의 1.14배 일 때이다. 식(1)를 다시 계산하면 식(2)와 같다.

$$\begin{aligned} \Delta V_{BE} &= V_{BE4} - V_{BE5} \\ &= V_T \left(\ln \frac{1.14I_{C4}}{I_S} - \ln \frac{I_{C5}}{8I_S} \right) \\ &= V_T \ln(1.14 \times 8) \\ &= 57 \text{ mV} \end{aligned} \quad (2)$$

따라서 비교기의 히스테리시스 전압은 57 mV가 된다.

여기서, 검출전압(V_S)을 변화시킬 때, 저항 R_4 의 전압강하(V_{R4})가

$$I \times R_4 \geq 57 \text{ mV}$$

이면 비교기의 비반전단자 전압(V_a)은 다음과 같다.

$$V_a \geq V_{BE(Q2)} + 57 \text{ mV}$$

즉, 비반전단자 전압(V_a)이 반전단자 전압(V_b)보다 57 mV이상의 전압이 인가되면 비교기의 출력은 고전위 상태가 된다. 반대로 저항 R_4 의 전압강하(V_{R4})가

$$I \times R_4 \leq 57 \text{ mV}$$

이면 비교기의 비반전단자 전압(V_a)은 다음과 같다.

$$V_a \leq V_{BE(Q5)} + 57 \text{ mV}$$

즉, 비반전단자 전압이 반전단자 전압보다 57 mV 이하이므로 비교기 출력은 저전위 상태가 된다.

제안한 방법은 히스테리시스 특성을 가진 비교기를 임의의 검출전압이상에서는 비교기의 비반전단자 전압을 높게, 검출전압이하에서는 비교기의 반전단자 전압이 높게 되도록 설계한다. 따라서 전원 전압의 변동에 따라 일정한 검출전압이하에서 비교기의 출력이 저전위 상태가 되도록 회로를 구성한다. 이 저전위를 마이 크로프로세서를 응용하는 시스템 등의 리셋 신호로

응용할 수가 있다. 전원전압의 순간적인 변동이 있을 때, 전압 감시회로에서 리셋 신호를 발생하여 마이크로프로세서를 리셋시킴으로써 시스템의 오동작을 방지할 수 있다.

여기서 검출전압의 온도 변화는 비교기의 단자전압 (V_a , V_b)의 변동을 초래하는 원인이 된다. 본 논문에서는 온도에 의존하지 않는 전압 감시회로에서의 바이어스 회로의 설계방법을 제안한다.

1. Temperature Independent Circuit Parameter 산출

1) 온도계수의 정의

저항과 V_T (Thermal Voltage) 및 트랜지스터의 순방향 전압(V_{BE})의 온도계수는 다음과 같다. (여기서 각 변수의 온도계수는 IC 제작 과정과 동일한 공정으로 만들어진 표준소자를 이용하여 데이터를 추출하였고 사용된 계측기는 DC Parameter Analyzer HP 4145B와 온도Chamber를 이용하였다. 온도는 $-30\text{ }^\circ\text{C}$ ~ $+85\text{ }^\circ\text{C}$ 까지 변화시키면서 측정하였다.)

$$\textcircled{1} \text{ 저항의 온도계수 : } \frac{1}{R} \times \frac{\partial R}{\partial T} = +2200 \text{ ppm}/^\circ\text{C} \quad (3)$$

여기서 저항은 확산저항이다.

$$\textcircled{2} V_T(\text{Thermal Voltage}) \text{의 온도계수 : } \frac{\partial V_T}{\partial T} = +0.074 \text{ mV}/^\circ\text{C} \quad (4)$$

$$\textcircled{3} V_{BE} \text{의 온도계수 : } \frac{\partial V_{BE}}{\partial T} = -2.3 \text{ mV}/^\circ\text{C} \quad (5)$$

2) 전류 I 에 대한 온도계수 산출

비교기의 차동 증폭기의 히스테리시스 전압은 식(2)와 같이 57 mV이다. 식(2)에서 보듯이 저항 R_4 에 의한 전압강하 분이 57 mV이상일 때, 비교기는 반전된다. 그때 저항 R_4 에 흐르는 전류 I 는 식(6)과 같다.

$$I = \frac{\Delta V_{BE}}{R_4} = \frac{57 \text{ mV}}{5600 \Omega} = 10.2 \mu\text{A} \quad (6)$$

전류 I 에 대한 온도계수^[5]를 구해보면 식(7)과 같다.

$$I \times R_4 = V_{BE(Q1)} - V_{BE(Q2)} \\ = V_T \ln 9.12 \quad (7)$$

식(7)를 온도 T 에 대해서 편미분하면 식(8)과 같다.

$$\frac{\partial I \times R_4}{\partial T} + \frac{I \times \partial R_4}{\partial T} = \frac{\partial V_T \ln 9.12}{\partial T} \quad (8)$$

식(8)를 ($I \times R_4$)항으로 나누면 식(9)와 같다.

$$\frac{1}{I} \times \frac{\partial I}{\partial T} + \frac{1}{R_4} \times \frac{\partial R_4}{\partial T} = \frac{1}{I \times R_4} \times \frac{\partial V_T \ln 9.12}{\partial T} \quad (9)$$

식(9)에 식(3)과 식(4)를 대입하면 식(10)과 같다.

$$\frac{1}{I} \times \frac{\partial I}{\partial T} + 2000 \times 10^{-6} = 85 \times 10^{-6} \times \ln 9.12 / 5600 \times 10.2 \times 10^{-6} \\ = 3.29 \times 10^{-3} \\ \frac{1}{I} \times \frac{\partial I}{\partial T} = 1.29 \times 10^{-3} \quad (10)$$

그러므로 전류 I에 대한 온도계수는 식(10)으로 나타낼 수가 있다.

3) 검출전압의 산출

그림 2 에서 트랜지스터의 이미터-컬렉터간의 전압을 V라 할 때, 비교기가 반전되는 검출전압(V_s)은 비교기의 양 입력단자전압이 같아질 때의 전압이다. 따라서 전류 I는 식(11)과 같이 나타낼 수 있다.

$$I = I_1 + I_{C1} \\ = \frac{V}{R_1 + R_2} + I_S \exp \frac{V_{BE(Q1)}}{V_T} \\ = \frac{V}{R_1 + R_2} + I_S \times \exp \frac{R_2 \times V}{V_T \times (R_1 + R_2)} \quad (11)$$

식(11)에서 I_1 은 I_{C1} 에 비해 매우 적은 값이므로 무시할 수 있다. 그러므로 식(11)은 식(12)와 같이 나타낼 수 있다.

$$I = I_S \times \exp \frac{V \times R_2}{V_T \times (R_1 + R_2)} \approx I_{C1} \quad (12)$$

식(12)에서 V에 대하여 풀해보면 식(13)과 같다.

$$V = V_T \ln \frac{I_{C1}}{I_S} \times \frac{R_1 + R_2}{R_2} \\ = V_{BE} \left(1 + \frac{R_1}{R_2}\right) \quad (13)$$

검출전압(V_s)은 식(14)와 같이 구해진다.

$$V_s = V + I \times R_A + V_{BE(Q2)} \quad \text{여기서 } R_A = R_3 + R_4 + R_5 \text{ 이다.} \\ = V_{BE(Q1)} \times \left(1 + \frac{R_1}{R_2}\right) + V_{BE(Q2)} + I \times R_A \\ = V_{BE} \times \left(2 + \frac{R_1}{R_2}\right) + I \times R_A \quad \text{여기서 } V_{BE(Q1)} = V_{BE(Q2)} \text{ 이다} \quad (14)$$

식(14)에서 $\frac{R_1}{R_2} = n$ 으로 두면 검출전압(V_s)은 식(15)와 같이 나타낼 수가 있다.

$$V_s = V_{BE} \times (n+2) + I \times R_A \quad (15)$$

식(15)을 온도 T에 대해서 편미분하면 식(16)과 같다.

$$\frac{\partial V_s}{\partial T} = (n+2) \frac{\partial V_{BE}}{\partial T} + \frac{\partial I}{\partial T} \times R_A + \frac{\partial R_A}{\partial T} \times I \quad (16)$$

식(16)을 (I × R_A)항으로 나누면 식(17)과 같다.

$$\frac{1}{I \times R_A} \times \frac{\partial V_s}{\partial T} = \frac{1}{I \times R_A} \times (n+2) \frac{\partial V_{BE}}{\partial T} + \frac{1}{I} \times \frac{\partial I}{\partial T} + \frac{1}{R_A} \times \frac{\partial R_A}{\partial T} \quad (17)$$

식(17)에서 $\frac{\partial V_s}{\partial T}$ 항이 제로(Zero)가 되면 검출전압 (V_s)은 온도변화율이 제로(Zero)가 된다. 식(17)을 (I × R_A)항으로 곱하고, $\frac{\partial V_s}{\partial T}$ 항을 제로(Zero)라 두면 식(18)과 같이 나타낼 수 있다.

$$0 = (n+2) \frac{\partial V_{BE}}{\partial T} + \frac{I \times R_A}{I} \times \frac{\partial I}{\partial T} + \frac{I \times R_A}{R_A} \times \frac{\partial R_A}{\partial T} \quad (18)$$

식(18)에 식(3), 식(5), 식(10)을 대입하여 정리하면 식(19)와 같다.

$$(n+2) = 1.65 I \times R_A \quad (19)$$

식(15)를 (I × R_A)항으로 나타내면 식(20)과 같다.

$$I \times R_A = V_s - (n+2) V_{BE} \quad (20)$$

식(20)을 식(19)에 대입하여 (n+2)항으로 나타내면 식(21)과 같다.

$$(n+2) = 1.65 [V_s - (n+2) V_{BE}] \quad (21)$$

식(19)를 R_A항으로 나타내고, 식(6)을 대입하면 식(22)와 같다.

$$R_A = \frac{n+2}{1.65 \times I} \quad (22)$$

식(21)과 식(22)와 n값을 이용하여 온도에 의존하지 않는 전압 감지회로의 바이어스 회로를 설계할 수가 있다.

식(23)을 조합함으로써 설계하고자 하는 검출전압 (V_s)을 구할 수가 있다.

$$n+2 = 0.77 V_s$$

$$R_A = 59418(n+2)$$

$$R_1 = n \times R_2 \quad (23)$$

여기서 $n = \frac{R_1}{R_2}$ 이고, $R_A = R_3 + R_4 + R_5$ 이다.

제안한 방법을 구현하기 위해 IC로 제작하여 동작특성과 성능을 평가하였다.

IC 제작방법은 IC 제작과정과 동일한 공정으로 만들어진 NPN, PNP 트랜지스터의 표준소자를 이용하여 브레드 보드를 꾸며 제안한 회로의 동작 특성을 확인하였다. 제안한 방법의 동작 특성과 성능을 평가하기 위해서 히스테리시스단과 출력단 회로를 추가하여 IC를 제작하였다. 또한 마스크를 제작할 때 본 패턴과 함께 테스트 패턴에 밴드갭 회로를 이용한 회로를 추가하여 제작하였다.

그림 4는 제작된 IC의 칩을 나타낸다.

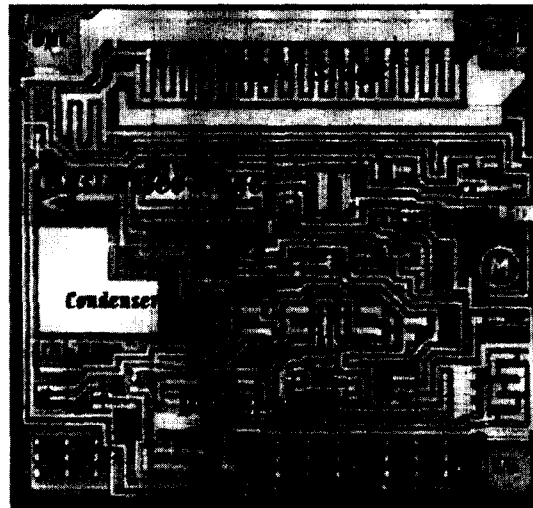


그림 4. 제작된 IC
Fig. 4. Manufactured IC.

그림 4에서 보듯이 검출전압을 가변시킬 수 있는 분배 저항을 포함한 전압검출단과 검출전압의 여유를 가질 수 있도록 히스테리시스단을 구성하였다. 그리고 피측정 전압이 검출전압이하로 떨어질 때 출력 트랜지스터가 저전위 상태가 되도록 출력단을 구성하였다. 제안한 방법의 성능을 확인하기 위해 검출전압이 4.2 V가 되도록 칩을 제작하였다. IC 프로세스는 바이폴라 프로세스를 적용하였다. NPN 트랜지스터의 전류이득은 100, PNP 트랜지스터는 20이 되도록 이미터 공정을 제어하였다. 그리고 어셈블리에 사용한 패

키지는 TO-92를 이용하여 IC를 제작하였고 테스트 패턴의 칩 또한 같은 패키지로 조립하였다.

III. 실험 및 고찰

비교기를 구성하는 트랜지스터의 순방향 전압(V_{BE}) 과 V_T (Thermal Voltage) 및 저항 등의 서로 다른 온도계수 차이를 이용하여 온도에 의존하지 않는 전압 감지회로에서의 바이어스 회로의 설계방법을 제안하였다. 제안한 회로의 성능을 평가하기 위하여 트랜지스터(NPN, PNP)를 IC 제작과정과 동일한 공정으로 만들어진 표준소자를 사용하였다. 이 표준소자를 이용하여 검출전압(V_s)이 4.2 V되도록 브레드 보드를 꾸며 제안한 회로의 전기적 특성을 확인한 후, IC로 제작하여 동작 특성 및 성능을 측정하였다.

그림 5와 같이 실험회로를 구성하여 IC의 검출전압의 온도특성을 고찰하였다. 테스터 패턴의 칩 과 제안한 방법으로 제작된 칩을 TO-92 패키지에 조립하여 각각의 동작특성과 성능을 비교하였다. 실험에 사용된 계측기는 HP4145B와 온도 Chamber를 이용하여 측정하였다.

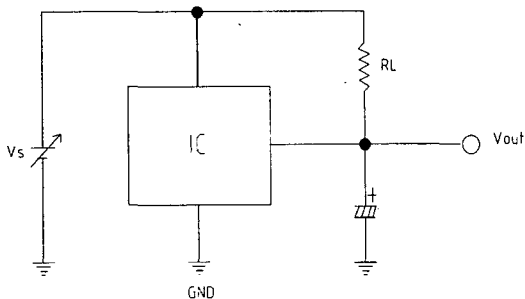


그림 5. 실험회로
Fig. 5. Experimental circuit.

측정하고자하는 시료를 그림 5와 같이 구성하여 온도 Chamber에 넣고, $T_a=25\text{ }^\circ\text{C}$ 에서 검출전압(V_s)을 가변시켜 출력전압(V_{out})이 4.2 V될 때, 검출전압을 고정시킨다. 온도를 $-30\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ 까지 가변하면서 출력전압(V_{out})을 측정하였다. 측정된 시료 중 가장 좋은 특성을 가진 시료의 온도 변화율은 $-0.01\text{ } \%/^\circ\text{C}$ 값으로 나타났으며, 가장 불량한 시료는 $-0.025\text{ } \%/^\circ\text{C}$ 로 나타났다. 표 1은 측정데이터를 나타낸다. 그림 6은 측정데이터를 그래프로 나타낸 것이다.

표 1. 측정데이터
Table 1. Measured data.

SPL $T_a(^\circ\text{C})$	SPL1	SPL2	SPL3	SPL4
-30	4.189	4.188	4.229	4.225
-20	4.192	4.190	4.236	4.234
-10	4.193	4.192	4.242	4.238
0	4.194	4.191	4.245	4.240
10	4.195	4.190	4.2449	4.243
25	4.196	4.187	4.254	4.246
35	4.193	4.184	4.259	4.250
45	4.192	4.181	4.261	4.254
55	4.191	4.179	4.264	4.258
65	4.190	4.174	4.271	4.256
75	4.188	4.171	4.272	4.256
85	4.186	4.163	4.264	4.253

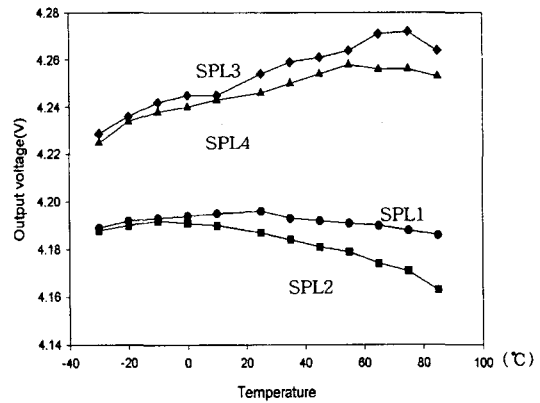


그림 6. 특성그래프
Fig. 6. Characteristic graph.

그림 6의 특성그래프에서 보듯이 온도가 증가할 때, 검출전압의 설계치(4.2 V)보다 낮은 시료(SPL1, SPL2)는 부(-)의 온도 변화율을 나타내고, 반대로 검출전압의 설계치(4.2 V)보다 높은 시료(SPL3)는 정(+)의 온도 변화율을 나타내고 있다. 밴드갭 회로를 이용한 시료(SPL4) 또한 정(+)의 온도 변화율을 나타냈다. 이 실험에서 설계치와 실측치의 차가 클수록 온도 변화율이 크게 나타났음을 알 수가 있다. 이는 트랜지스터의 순방향 전압(V_{BE})과 저항의 온도계수가 서로 상쇄($\frac{\partial V_{BE}}{\partial T} = \frac{1}{R} \times \frac{\partial R}{\partial T}$) 되어 온도 변화율이 제로(Zero)가 되어야 함에도 불구하고 차이가 발생하였다.

이것은 IC 패턴 설계 시 비교기를 구성하는 트랜지스터의 페어성 문제로 인한 트랜지스터 순방향 전압 차 (ΔV_{BE})의 변동과 IC 제작 공정과정 중 베이스 공정에서 농도의 균일성 때문에 발생한 오차인 것으로 나타났다.

이 실험에서 얻어진 결과는 다음과 같다. 실측치가 설계치보다 높으면 정(+)의 온도계수를 가진다. 즉, 저항의 온도계수 ($\frac{1}{R} \times \frac{\partial R}{\partial T}$)가 트랜지스터의 온도계수 ($\frac{\partial V_{BE}}{\partial T}$)보다 크다는 것이다. 반대로 실측치보다 설계치가 낮으면 부(-)의 온도계수가 크다는 것을 나타낸다.

IV. 결 론

본 논문에서는 비교기를 구성하는 트랜지스터의 순방향 전압(V_{BE})과 V_T (Thermal Voltage) 및 저항 등의 서로 다른 온도계수차이를 이용하여 온도에 의존하지 않는 전압 감지회로에서의 바이어스 회로의 설계 방법을 제안하였다. 제안한 방법은 부(-)의 온도계수를 갖는 트랜지스터의 순방향 전압(V_{BE})과 정(+)의 온도계수를 갖는 V_T (Thermal Voltage) 및 저항을 이용하여 서로 상쇄되도록 회로를 구성함으로써 온도에 안정된 바이어스 회로를 실현할 수가 있다. 또한, 비교기를 구성하는 트랜지스터의 순방향 전압 차(ΔV_{BE})를 기준전압으로 하여 이 기준전압과 저항을 이용하여 검출전압을 가변 할 수가 있다. 그러므로 기준의 밴드갭 회로를 이용하지 않고 온도특성이 좋은 기준전압을 설계할 수가 있다. 이와 같이 회로를 구성함으로써 저전압을 감지할 수 있는 전압감지회로에서의 바이어스 회로에 대한 설계상의 한계를 극복할 수가 있다.

제안한 방법의 성능을 평가하기 위하여 트랜지스터(NPN, PNP)를 IC 제작 과정과 동일한 공정으로 만들어진 표준소자를 사용하였다. 이 표준소자를 이용하여 제안한 회로를 브레드 보드로 꾸며 전기적 특성을 확인한 후, IC로 제작하였다. 제작된 IC를 HP4145B와 온도 Chamber를 이용하여 동작 특성 및 성능을 측정하였다. 특성을 평가한 결과, 온도 변화율이 $-0.01\%/^{\circ}\text{C} \sim -0.025\%/^{\circ}\text{C}$ 로 양호한 특성이 나타났다.

본 연구결과로 다음과 같은 결론을 얻을 수가 있었다.

첫째, 설계치보다 실측치가 높으면 정(+)의 온도계수를 갖고,

둘째, 설계치보다 실측치가 낮으면 부(-)의 온도계수를 가지며,

셋째, 설계치와 실측치와의 차가 크면 클수록 온도변화가 크다.

그리고 기준전압으로 밴드갭 회로를 이용하지 않고 트랜지스터의 순방향 전압(V_{BE})와 V_T (Thermal Voltage) 및 저항 등의 서로 다른 온도계수를 이용하여 온도에 의존하지 않는 전압 감지회로에서의 바이어스 회로의 설계가 가능하다는 결론을 얻을 수가 있었다. 향후 IC 공정별 Parameter Data를 이용하여 Simulation Parameter의 최적화에 대한 연구가 진행되어야 할 것으로 사료된다.

참 고 문 헌

- [1] A. P. Brokaw. "A Simple Three-Terminal IC Bandgap Reference," IEEE Journal of Solid-State Circuit, vol. SC-9, pp. 388-393, December 1974.
- [2] Jacob Millman, *Microelectronic Digital and Analog Circuit and Systems*. New York: McGraw-Hill, Inc, pp. 546-548, 1983.
- [3] S. M. Sze, *Physics of Semiconductor Device*. New York: John Wiley & Sons, pp. 181-182, 1981.
- [4] Glaser, A. B. and Subak-Sharpe, G. F, *Integrated Circuit Engineering*. Reading, Mass.: Addison-Wiley, pp. 158-162, 1977.
- [5] Paul R. Gray, and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*. New York: Wiley pp. 248-254, 1993.

저 자 소 개

文宗奎(正會員)

1985년 2월 울산대학교 전기 및 전자공학과 졸업(공학사). 1994년 8월 경북대학교 대학원 졸업(공학석사). 1994년 ~ 1996년 2월 한국전자(주) 근무. 1998년 경북대학교 대학원 박사과정. 현재 대원공과대학 전자통신과 조교수. 주관심분야는 아날로그 신호처리 및 집적소자 설계

白鍾武(正會員) 第 31卷 A編 第 8號 參照