

보오드/시스템 수준의 테스트 용이화 설계 표준

김 동 옥
광운대학교

I. 머리말

집적도 증가에 의한 IC 테스트의 어려움은 하드웨어 비용의 감소에 따라 테스트 용이화 설계(Design-for-Testability, DFT)로 발전하였으며, 이 방법은 회로의 내부노드들에 대한 제어성(controllability)/관찰성(observability)의 증가나 테스트 자동화 방향으로 발전하여 왔다. 한편, IC들로 구성되는 모듈/보오드/시스템 수준에서의 테스트는 생성된 제품의 테스트뿐 아니라 유지/보수를 위해 주로 IC간의 연결상태를 검사하는 것으로 이루어진다. 지금까지의 테스트 방법은 연결상태를 육안이나 다른 특정 도구를 통해 확인하는 방법, 보오드/시스템의 I/O를 사용하여 적절한 입력을 인가하여 그 응답을 관찰하는 방법, 그리고 탐침판(sea-of-nail)을 이용하는 방법 등이 사용되어 왔다. 그러나 표면장착(surface mount)기술의 발달로 IC간의 연결선들이 표면으로 드러나지 않는 경우가 증가함에 따라 위와 같은 방법들에 상당한 제약을 받기에 이르렀으며, 따라서 보오드/시스템 수준의 테스트를 위한 DFT 방법도 필요하게 되었다.

이에 1980년대 초부터 유럽과 북미의 산·학·연 협동체인 JTAG(Joint Test Action Group)이 IC 테스트뿐 아니라 보오드 수준의 테스트를 같이 겨냥한 DFT 방법을 연구하여 마침내 IEEE에서 이를 기초로 한 표준안이 만들어지기에 이르렀다. 이 표준안은 '경계주사(Boundary-Scan, BS) 설계'이며, 이를 중심으로 IEEE에서는 일련의 DFT 표준들을 제정하였거나 또는 제정중인데, <표 1>에 이들을 나타내었다. 이 중 'P'로 시작하는 이름의 표준은 아직 표준화 작업이 진행중인 것들이고, IEEE 1149는 표준화 작업이 취소되었다.

<표 1>의 표준(안)들은 보오드/시스템 수준의 테스트/유지/보수를 위해 현재와 미래에 주류를 형성할 DFT 방법들이므로 여기서는 이들을 소개하여 국내 ASIC 산업에 이 DFT 방법의 사용 및 이들의 기능을 갖추고 있는 IC들의 적극적인 활용에 도움을 주고자 한다.

II. IEEE Std 1149.1

1990년에 표준으로 결정된 IEEE std 1149.1,

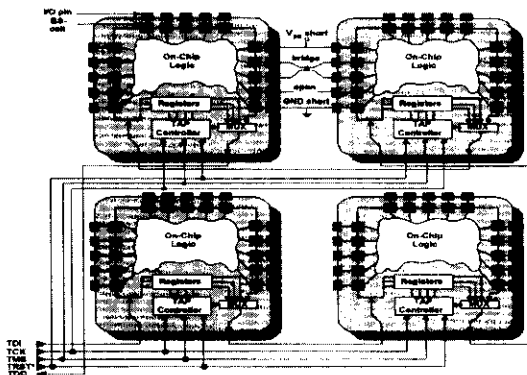
<표 1> IEEE 1149 시리즈 표준

Designation	Title	비 고
1149	Standard Test Bus	withdrawn
1149.1	Test Access Port and Boundary-Scan Architecture ^[1]	1149.1a ^[2] , 1149.1b ^[3]
P1149.2	Shared Input/Output Scan Test Architecture ^{[4][5]}	proposal
P1149.4	Mixed-Signal Test Bus ^[6]	proposal
1149.5	Module Test and Maintenance Bus(MTM-Bus) Protocol ^{[7][8]}	

‘Test Access Port(TAP) and Boundary-Scan (BS) Architecture’는 JTAG의 BS방법을 토대로 가장 먼저 표준이 된 것이다. 이 표준은 IC 설계시 IC 테스트는 물론 보오드 수준의 테스트를 수행할 수 있도록 적용하는 DFT의 표준을 담고 있다.

〈그림 1〉에 1149.1의 BS기능을 갖고 있는 IC들로 보오드가 구성되는 방법과 테스트 기능을 개략적으로 나타내고 있다. 먼저, 1149.1의 기능을 갖기 위해서는 다섯개의 핀이 추가되는데, 이 핀들의 이름 및 기능을 〈표 2〉에 나타내었다. 이 중 TRST*의 추가는 선택적이며 이 기능은 뒤에 설명할 TAP-제어기(TAP-controller)나 시스템의 리셋으로 대체할 수 있다. TRST 뒤의 *는 이 신호가 부논리를 따른다는 것을 나타낸다. 〈그림 1〉에서 보는 바와 같이 1149.1을 따르는 IC에는 I/O 단자와 내부회로 사이에 IC 주위를 따라 셀(BS-셀)들이 삽입되고 이 셀들은 TDI를 입력으로 하고 TDO를 출력으로 하는 직렬 경계주사경로를 형성한다. 〈그림 1〉의 각 IC에는 이외에도 레지스터들과 TAP-제어기가 포함되어 있는데, 이들은 테스트 명령을 받아 이를 해독하여 동작모드를 결정하고 테스트 동작 또는 그 외의 추가적인 동작을 수행하기 위한 제어신호를 생성한다.

〈그림 1〉의 BS기능을 갖춘 IC는 정상동작뿐 아니라 테스트동작(내부회로 테스트, 연결선 테스트 등) 및 IC에 대한 정보의 입·출력 동작을 수행할 수 있는데, 이를 위해서는 내부회로(On-Chip Logic)에 연결된 BS-셀들(BS-셀들이 모여서 BS-



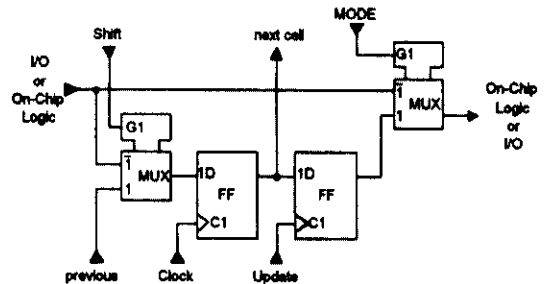
〈그림 1〉 BS기능을 갖춘 보오드의 구조

〈표 2〉 IEEE 1149.1의 TAPs(Test Access Ports)

약어	이름	기능
TDI	Test Data In	테스트 데이터/명령어의 직렬입력
TDO	Test Data Out	테스트 데이터/IC정보 직렬출력
TMS	Test Mode Select	TAP-제어기의 상태변화 입력
TCK	Test Clock	테스트 클럭
TRST*	Test Reset	테스트 리셋

레지스터를 형성)이 특별한 기능을 갖도록 설계되어야 한다. 이 BS-셀들중 대표적인 한 예를 〈그림 2〉에 나타내었다. BS-레지스터 이외의 레지스터는 그 용도에 따라 다른 형태의 셀들을 사용할 수 있으며 이들은 [1]의 내용을 참조하기 바란다. 〈그림 2〉의 셀은 MODE신호에 의해 정상동작과 그 외의 동작으로 구분된다. 이 셀을 통한 데이터의 이동은 좌에서 우로의 이동(정상동작)과 아래에서 위로의 이동(주사동작)의 두 가지가 있다.

정상동작은 MODE=0일때 수행되며, 셀의 입력에서 출력까지 한개의 MUX(multiplexer)만을 지나도록 하여 부가회로에 의한 지연시간을 최소화 하였다. 주사동작은 MODE=1일 때 Shift 선택신호에 의해 입력단 MUX의 방향이 정해지고 Clock 입력이 가해지면 전 셀의 값이 첫번째 플립-플롭(FF)을 지나 다음 셀로 전달된다. 첫번째 FF의 값은 Update 클럭신호에 의해 우측 MUX를 통해 출력된다. 이 기능은 테스트 패턴을 주사 입력한 후 내부회로 또는 연결선으로 출력하여 테스트할



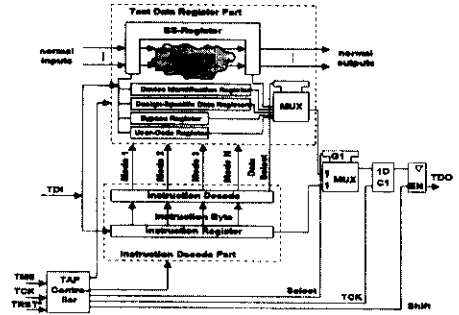
〈그림 2〉 BS-셀의 예

경우에 사용된다.

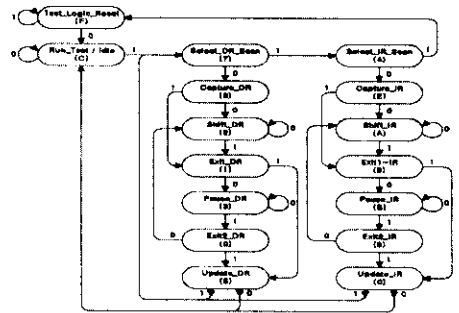
〈그림 1〉의 각 IC를 좀더 세밀하게 살펴보면 〈그림 3〉(a)의 구조를 갖는다. 이 회로의 동작중 정상동작을 제외한 동작은 모두 TAP-제어기에 의해 제어되는데, 이 TAP-제어기는 16개의 상태를 갖는 유한상태기계(finite state machine)로 구성되며 그 상태천이도를 〈그림 3〉(b)에 나타내었다. 16개의 상태는 좌측의 두 보조상태들, 가운데의 데이터 시퀀스, 그리고 우측의 명령어 시퀀스의 세 부분으로 이루어진다. 〈그림 3〉(a)에 나타나 있는 것과 같이 〈그림 2〉의 제어신호중 MODE는 명령어 디코더(instruction decoder)에서 생성하고 그 외의 제어신호는 〈그림 3〉(b)의 TAP-제어기에 의해 생성된다. 이 신호들의 종류와 동작은 표 3에 나타내었다. 한편, TAP-제어기의 상태도에서 상태천이를 위한 입력 데이터는 TMS이다. 즉, 주어진 명령어에 대해 외부에서 적절한 TMS 값을 직렬로 입력하면 그에 따르는 상태 천이를 일으키며 적절한 제어신호를 발생시킨다.

〈그림 3〉(b)의 TAP-제어기를 사용한 〈그림 3〉(a)의 회로가 동작하는 방법은 다음과 같다. 먼저, 원하는 동작의 명령어를 TDI-TDO를 연결하는 주사경로를 통해 입력한다. 이 때 TMS 값은 명령어 시퀀스로 TAP-제어기가 동작하도록 입력되며 입력된 값은 명령어 레지스터에 입력된다. 명령어 레지스터에 UpdateIR 신호를 발생시키면 명령어가 명령어 디코더에 의해 해독되어 해당 MODE 신호를 발생시킨다. 이 신호는 〈그림 3〉(a)의 데이터 레지스터군 중 필요한 레지스터에 MODE 신호 및 데이터 선택(Data Select) 신호를 보내 해당 레지스터를 형성하는 셀의 출력 MUX 동작을 결정한다. 이후 TMS를 계속 변화시켜 이 명령어에 필요한 데이터를 TDI-TDO의 주사경로를 통해 입력하는데, 이때는 TAP-제어기의 상태변화가 데이터 시퀀스를 통과하도록 TMS를 입력한다.

이 데이터는 해당 데이터 레지스터에 입력되며, 필요시 UpdateDR 신호를 발생하여 입력된 데이터를 내부회로(내부회로의 테스트) 또는 연결선(연결선 테스트)으로 보낸다. 이러한 테스트의 경



(a) BS IC의 기능블럭도



(b) TAP-제어기의 상태천이도

〈그림 3〉 BS IC의 기능블럭 및 TAP-제어기의 상태천이도

우 테스트 결과는 테스트 대상의 반대편 BS-레지스터에서 포획(TAP-제어기의 Capture_DR 상태를 사용)하여 주사동작으로 TDO를 통해 출력된다.

1149.1에 명시된 명령어들은 〈표 4〉에 나타내었는데, 1149.1에는 IC 자체의 테스트(INTEST)뿐 아니라 IC간의 연결선을 테스트(EXTEST)할 수 있으므로 경계주사 방식은 보오드 또는 시스템 수준의 테스트에 더 큰 효용성을 가진다고 할 수 있다.

이 중 INTEST와 RUNBIST중 최소 하나는 포함하도록 권유하고 있고, RUNBIST는 BS-레지스터 또는 design specific data register중 어느 것을 사용하여도 무방하다. 또한 직렬주사의 길이를 줄이기 위해 해당 명령어에 무관한 IC는 한개의 래치로 구성되는 bypass 레지스터를 통과하도록 규정하고 있다. 이 명령어들의 status에 의해 BS-레지스터와 bypass 레지스터는 반드시 포함되어야 한다.

〈표 3〉 TAP-제어기에서 생성되는 제어신호들

종 류	이 름	동 작
리셋	Reset*	테스트 utility를 리셋
입력 MUX 제어	ShiftIR	명령어 레지스터 셀의 입력측 MUX 제어
	ShiftDR	데이터 레지스터 셀의 입력측 MUX 제어
Shift 클럭	ClockIR	명령어 레지스터 셀의 입력측 FF 클럭
	ClockDR	데이터 레지스터 셀의 입력측 FF 클럭
Update 클럭	UpdateIR	명령어 레지스터 셀의 출력측 FF 클럭
	UpdateDR	데이터 레지스터 셀의 출력측 FF 클럭
레지스터 선택	Select	명령어 레지스터/데이터 레지스터의 선택
주사출력 제어	Shift	Shift-IR .OR. Shift-DR (TDO enable)

〈표 4〉 IEEE 1149.1에 명시된 명령어들

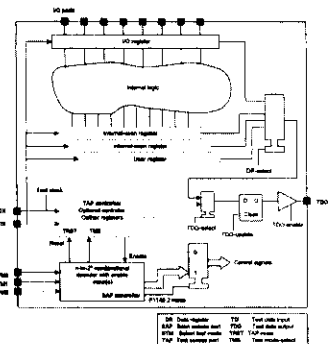
명 령	Code	레지스터	동 작	Status
EXTEST	all 0s	BS register	연결선 테스트	required
INTEST	undefined	BS register	IC 내부회로 테스트	optional
SAMPLE/ PRELOAD	undefined	BS register	정상동작중 데이터 sampling 데이터 입력	required
RUNBIST	undefined	BS register or Design-specific data register	BIST 수행	optional
BYPASS	all 0s	Bypass register	해당 IC bypass	required
IDCODE	undefined	Device identification register	IC의 ID code 출력	optional
USERCODE	undefined	User-code register	사용자가 정의한 code의 출력	optional

III. IEEE std P1149.2

〈표 1〉의 명칭에서 나타난 바와 같이 P1149.2는 1149.1의 기능을 확장하여 1149.1에 기술되지 않은 다른 테스트/기능을 포함할 수 있도록 하는 것에 목적을 두고 있다. 즉, 내부회로에서 사용하는 메모리 소자들을 주사 레지스터에 포함하거나 I/O 핀들을 1149.1의 부가핀과 공유함으로써 1149.1의 테스트 기능을 상실하지 않고 보오드/시스템의 요구조건들을 만족시킬 수 있도록 하는 것이다.

〈그림 4〉에 P1149.2의 블럭도를 나타내었다. 이 그림에서 I/O 레지스터는 1149.1의 BS-레지스터와 동일한 것이며, 1149.1에서 사용하지 않았던 내부 메모리 소자들을 연결하여 내부 주사 레지스터(internal-scan register)를 형성하여 사용한다.

BS 동작을 위한 I/O중 TDI, TDO, TCK만 따로 부과하고 나머지는 회로기능을 위한 I/O와 공유할 수 있도록 되어 있다. 이러한 I/O를 여기서는 STM이라 칭하고 있는데, 최소 두개(STM0과 STM1)의 신호는 반드시 포함하고 그 이상의 공유 I/O는 선택



〈그림 4〉 IEEE P1149.2의 개략도

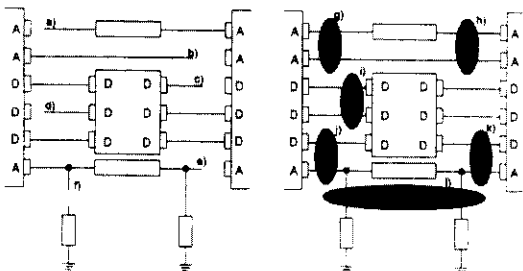
택적으로 부과할 수 있다. 여기서 STM0은 1149.1의 TRST*, 그리고 STM1은 TMS의 기능을 각각 수행할 수 있어야 한다.

〈그림 4〉의 회로의 동작은 STM0을 TRST*로, STM1을 TMS로 사용한 1149.1 모드 이외에 STMi 신호들을 테스트를 위한 특별한 신호로 사용하는 모드로 나눌 수 있다. 후자의 경우 아직 정확히 명시가 되지는 않고 있지만 각 벤더들의 고유 테스트 방법 등을 사용하는 등으로 정의할 수 있다.

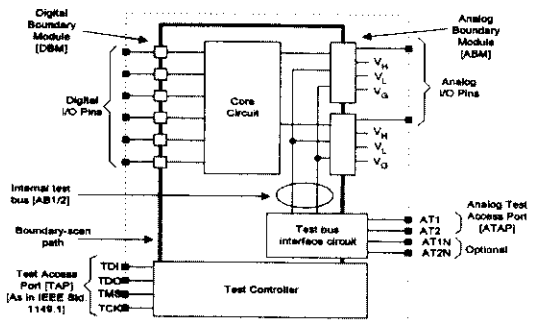
IV. IEEE std P1149.4

P1149.4는 'Mixed-signal Test Bus'에 대한 표준안으로, 디지털은 물론 보오드 수준에서 아날로그 회로의 테스트도 수행할 수 있도록 테스트 버스를 규정하는 것이 그 목적이다. 따라서 P1149.4에는 1149.1에 아날로그 테스트를 위한 내용이 추가되어 있으므로, 여기서는 아날로그 테스트에 관련된 내용을 주로 다루기로 한다.

먼저, P1149.4에서 정의하고 있는 테스트 가능한 고장들의 종류를 〈그림 5〉에 나타내었다. 이 그림에서 IC의 단자중 'A'는 아날로그 신호, 'D'는 디지털 신호의 입출력을 각각 나타내고 있다. 그림의 좌측은 개방고장, 우측은 단락고장들을 각각 나타내고 있다. 이 그림에는 단순한 개방(b)이나 단락(i) 뿐 아니라 레벨 쉬프터, 필터, 커플러 등의 단위 소자(discrete component)들이 경로 중간에 포함된 경우의 개방(a, c, d, e, f) 또는 단락(g,



〈그림 5〉 IEEE P1149.4의 테스트 가능한 고장

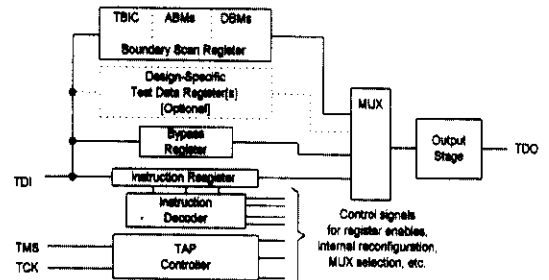


〈그림 6〉 IEEE P1149.4 IC의 기본 구조

h, j, k, l)도 포함하고 있으며, 이외에 차동모드로 동작하는 두 선과 관련된 개방과 단락, A/D 변환기와 D/A 변환기에 의한 연결선의 개방 및 단락도 포함하고 있다.

P1149.4에서 제안한 혼성모드 IC의 개략도는 〈그림 6〉에 나타내었는데, 이 구조는 1149.1의 형태에 아날로그 테스트를 위한 모듈 및 I/O들이 포함되어 있음을 알 수 있다. 디지털 테스트시는 1149.1의 Digital Boundary Scan(DBM)기능을 사용하고, 아날로그 테스트는 디지털 테스트를 위한 부분과 Analog Boundary Module(ABM), Test Bus Interface Circuit(TBIC), 그리고 Analog Test Access Port(ATAP)를 사용하는데, P1149.4에는 연결선의 테스트를 디지털 경계주소경로를 통하여 수행할 수 있다.

〈그림 6〉의 Test controller는 〈그림 7〉과 같은 구조를 갖는데, 여기서 TAP-controller는 〈그림 3〉(b)와 동일하다. ATAP는 최소 두 개의 아날로그 테스트 전담핀이 부과되어야 하며, 필요시 차동회로의 테스트를 위해 두개의 핀(AT1N, AT2N)을 추가할 수 있다. 이 핀들은 아날로그 테스트 버



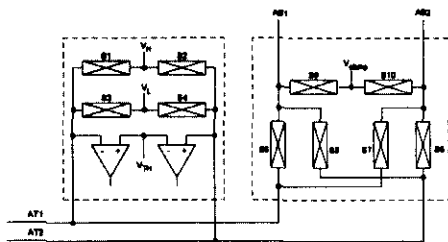
〈그림 7〉 Test Controller의 개략적인 구조

스(AB1, AB2)에 TBIC를 통해 연결되어 아날로그 테스트에 사용되는데, <그림 8>에 TBIC의 예를 나타내었다.

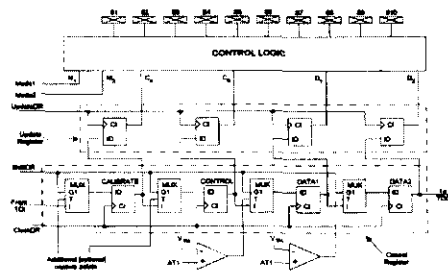
<그림 8> (a)에서 Si로 표시된 것은 스위치를 나타내며, V_H 는 아날로그 신호의 최고 전압, V_L 는 최저전압, 그리고 V_{TH} 는 아날로그 전압을 디지털 신호로 변환할 때의 경계전압을 나타내고, V_{clamp} 는 사용되지 않는 테스트 버스에 대해 잡음 등의 영향을 줄이기 위해 부과하는 고정전압을 가리킨다.

이 스위치들은 <그림 8> (b)의 제어기에 의해 제어되는데, 제어신호는 1149.1에서와 같이 TAP-controller에 의해 생성되어 공급된다. 이 제어기에서는 한개의 calibration 신호(Ca), 한개의 제어신호(Co), 그리고 두개의 데이터 신호(D1, D2)를 생성하며 이 신호들의 조합으로 스위치들을 제어한다. 여기에 필요한 데이터는 TDI-TDO의 경계 주사경로와 ATi, 그리고 그 외에 필요에 따른 capture 신호에 의해 공급된다. 이로써, TAP-controller의 제어 하에 아날로그 테스트를 위한 입·출력 및 버스의 연결상태 등을 제어하여 필요한 테스트를 수행하게 된다.

<그림 7>의 구조에 의하면 <그림 8>의 TBIC 제



(a) TBIC 스위칭 구조



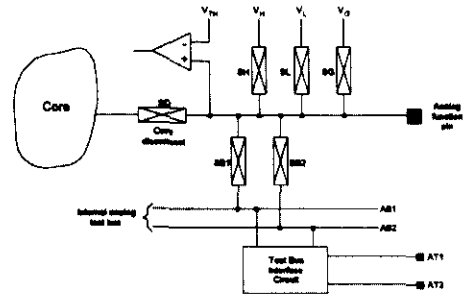
(b) TBIC controller의 구조

<그림 8> TBIC 구조의 예

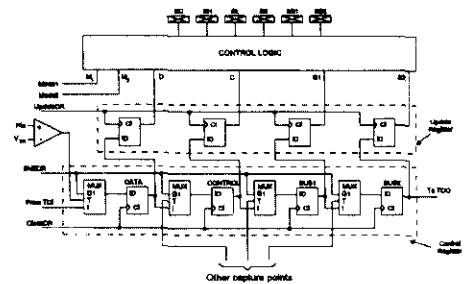
<표 5> P1149.4에 추가된 명령

명령	동작	Status
PROBE	정상동작 중에 AB1, AB2를 monitoring	required
CLAMP	동작하지 않는 회로를 특정 전압으로 고정	optional
HIGHZ	I/O핀을 core나 테스트 회로로부터 분리	optional

어를 받아 실제 테스트에 가담하는 부분은 디지털 부분의 DBM과 대응되는 ABM이다. <그림 9>에 ABM의 구조를 나타내었는데, <그림 9> (a)는 ABM의 기본적인 스위치 구조를 나타내고 있다. 여기서 V_G 는 각 핀의 특성에 따른 reference quality 전압을 나타내는데, 이 전압은 선택사항이며 V_H 또는 V_L 과 같을 수도 있다. 이 그림에서 나타낸 것과 같이 아날로그 데이터의 입·출력은 ATi를 통해 TBIC의 제어를 받아 ABi의 버스로 테스트 대상 회로에 연결되며, 그 연결상태는 각 스위치들에 의해 결정된다. 이 스위치들은 <그림 9> (b)의 제어회로에 의해 제어되는데, 마찬가지로 대부분



(a) TBIC 스위칭 구조

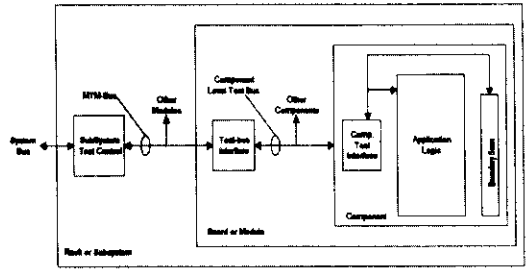


(b) TBIC controller의 구조

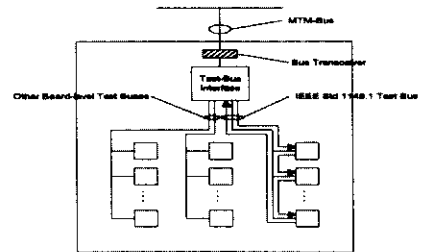
<그림 9> IEEE P1149.4의 ABM 구조

TAP-controller의 제어신호에 의해 제어된다. Control 레지스터와 Update 레지스터의 구조에 의해 데이터 신호(D), 제어신호(C), 버스제어신호(B1, B2)가 생성되고 이들이 적절한 조합을 이루어 <그림 9> (a)의 스위치들을 제어한다.

이상의 하드웨어를 바탕으로 P1149.4에서는 가능한 테스트 및 그 외의 기능들을 정의하고 있는데, <표 5>에 P1149.4에서 추가된 내용만 요약하였다. P1149.4에는 1149.1의 명령 모두를 포함하고 있으며, 필요시 1149.1의 명령어를 아날로그 테스트에 적용할 수 있도록 변경 가능하도록 정의하고 있다. 그 예로, 아날로그 신호를 sampling하여 이를 <그림 8>과 <그림 9>의 V_{TH} 전압에 따라 디지털로 변환, 그 값으로 고장유무를 판단하는 등이다.



(a) MTM-버스의 수직구조



(b) 테스트 버스들의 수평구조

<그림 10> MTM-버스의 구조

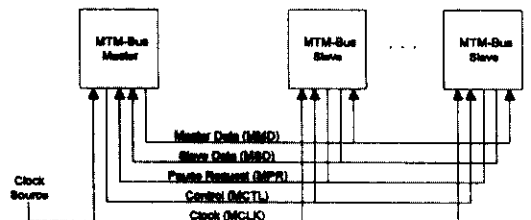
V. IEEE std 1149.5

1149.5는 모듈 테스트, 서브시스템 테스트, 서브시스템의 진단 및 이들을 위한 하드웨어/소프트웨어의 개발을 지원할 수 있는 버스 프로토콜을 규정한 것이다. 다시 말해 앞에서 설명한 1149.x의 표준들과 그 외의 테스트 및 유지/보수를 위해 필요한 버스 프로토콜을 표준화한 것이라 할 수 있다. 이 표준은 계층적인 버스 프로토콜을 정의하고 있는데, <그림 10>에 그 개요를 나타내었다. <그림 10> (a)에서 보면 MTM-버스의 위치를 서브시스템으로 잡고 있으며 각 계층의 단계를 내려갈 때마다 버스 인터페이스를 두어 계층간의 통신매체 역할을 수행하도록 하고 있다. 또한 수평적인 관계에 있어서도 <그림 10> (b)에 나타난 것과 같이 1149.1과 그 외의 보드 수준의 테스트 버스들과 인터페이스를 담당하는 Test-bus Interface를 두어 MTM-버스 뿐만 아니라 테스트 버스들 간에도 상호통신이 가능하도록 하고 있다.

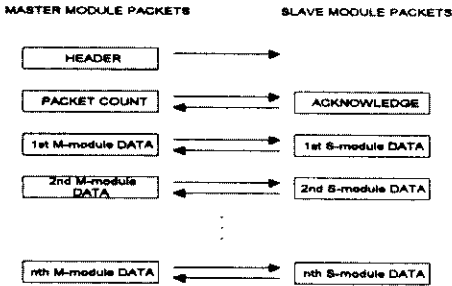
기본적으로 MTM-버스는 동기성 직렬 backplane 버스인데, <그림 11>에 이 버스에 연결되는 모듈들의 연결구성 및 신호들을 나타내었다. 기본적인

형태는 한개의 master가 다수(최고 250개)의 slave들과 통신을 수행하는 것으로 master와 slave의 1대 1 통신, master와 몇몇의 slave와 이루어지는 multidrop, 그리고 master와 모든 slave와의 broadcast 모드를 수행할 수 있도록 규정하고 있다. <그림 11>의 형태로 알 수 있듯이 1149.5 버스의 형태는 full-duplex 형태이며, 4개의 필수신호와 1개의 권유신호(MPR)를 사용하고 있다. MPR은 slave가 master에게 데이터 전송을 일시 중지해 줄 것을 요구하는 신호로, 상대적으로 속도가 낮은 slave와의 통신에서 사용될 수 있다.

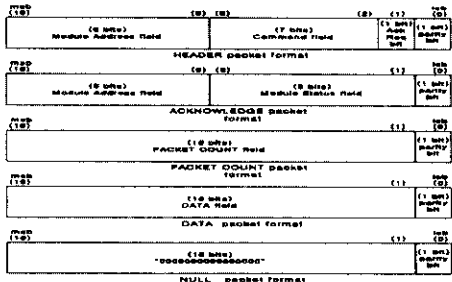
1149.5에서는 16비트의 데이터와 1비트의 패리티 비트를 합하여 17비트를 한개의 패킷(packet)으로 정의하고, 모든 메시지의 전송은 패킷단위로



<그림 11> MTM 모듈의 구성 및 MTM-버스 신호



(a) 패킷전송 순서 및 대응패킷



(b) 각 패킷의 포맷

<그림 12> MTM-버스 메시지 포맷

이루어지도록 하고 있는데, <그림 12> (a)는 master와 slave간에 대응되는 패킷을 나타내고 있으며, 각 패킷의 형태를 <그림 12> (b)에 나타내고 있다. 이 패킷들 중 헤더패킷은 모든 메시지의 시작부에 반드시 포함되어야 하며 그 외의 패킷은 메시지 및 통신의 종류에 따라 선택적이다. 헤더패킷에는 slave모듈의 주소, 명령어, 그리고 헤더패킷을 수신하였다는 인식(acknowledge) 신호를 slave가 보낼 것이지를 지시하는 비트로 구성된다.

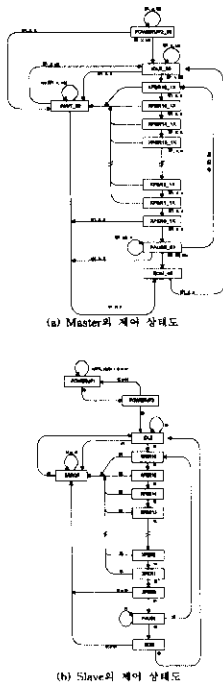
인식신호의 송신요구를 받았을 경우 slave는 slave의 주소와 slave의 현재 동작상태를 인식패킷

으로 보내게 된다. 패킷카운트패킷은 16비트로 향후 master와 slave간에 일어날 패킷 쌍의 전송회수를 나타낸다. 데이터패킷은 16비트의 데이터를 포함하고 있으며, null패킷은 패킷전송은 일어나지 실제 데이터가 없는 패킷으로 모든 데이터가 '0'인 패킷이다.

이와 같은 패킷의 송·수신은 master와 slave의 유한상태기계로 형성되는 제어기에 의해 제어되는데, <그림 13>에 이 제어기의 상태천이도들을 나타내었다. 상태천이는 M1, M2, M3의 조합에 의해 일어나는데, M1은 MMD 또는 MCTL에 신호의 충돌이 일어났을 때 '1'이 되고, M2는 MPR신호가 활성화되었거나 slave에 지연요소가 발생하였을 때 '1'이 된다. M3은 다음상태가 EOM-00 이외의 상태에서 EOM-00이나 IDLE-00상태로 천이할 때 1이 되고 다음 천이가 XFER16-1X상태로 이루어질 때 '0'이 된다. 두 모듈 모두 16비트를 전송하기 위한 16개의 XFER 상태와 POWERUP, IDLE, PAUSE, EOM의 상태를 공통으로 갖고 있다. Master에는 느린 slave를 위한 WAIT 상태를 갖고 있으며, slave는 신호의 충돌이나 명령과 실제 데이터의 전송의 불일치 등에 의한 통신에러를 처리하기 위한 ERROR상태를 갖고 있다. 두 상태도 모두 전원(POWERUP)이 들어오면서부터 메시지 전송을 보내기 전에 대기상태(IDLE)에 머무르다가, 메시지를 송수신(XFER)하고, 그 다음 동작을 기다리는(PAUSE) 동작을 수행한다. 특별한 경우가 발생하면 WAIT이나 ERROR 상태를 통해 해당 문제를 해결하며, 메시지 송수신이 완료되면 EOM상태를 통해 통신을 완

<표 6> MTM-버스 명령어군

명령어군	명령어 코드	정의된 명령어수	Status
Core	(00)h-(1F)h	15	required
Data Transfer	(20)h-(27)h	3	optional
Module Initialization and Self-Test (MIST)	(28)h-(2F)h	3	optional
Module I/O Control and Test (MICT)	(30)h-(4F)h	7	optional
Standard Extension	(50)h-(5F)h	0	optional
User-Defined	(60)h-(7E)h	0	optional
Illegal Command	(7F)h	1	required

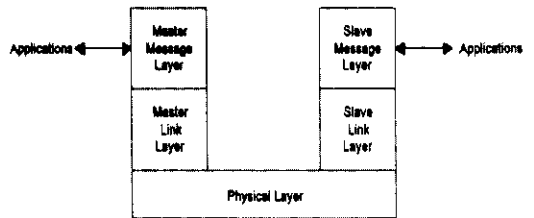


〈그림 13〉 MTM-버스의 제어와 slave의 상태도

표하는 일련의 동작들이 이 상태도들이 정의하고 있다.

이상의 하드웨어적인 규정으로 가능한 명령어들이 1149.5에 규정되어 있는데, 이들을 〈표 6〉에 요약하였다. 이 표에는 명령어군만을 표시하고 있는데, 각 명령어군의 세부 명령들은 [8]을 참조하기 바란다. 1149.5에는 core명령들만 필수로 정의하고 있고 나머지 명령들은 모두 권유사항으로 규정하고 있다. 각 명령어군의 일부 코드를 예약코드로 정의하여 향후의 새로운 버전이나 다른 용도로 IEEE에서 정의하여 사용할 수 있도록 하였으며, 사용자가 스스로 정의하여 사용할 수 있는 코드번호도 (60)h에서 (7E)h까지 마련하고 있다. Core 명령은 MTM-버스의 제어와 인터럽트에 관한 명령들로 구성되고, 데이터 전송명령은 읽기/쓰기에 관련되며, MIST는 자체 테스트와 초기화의 상황에 대한 명령들, 그리고 MICT는 모듈을 MTM-버스 동작에의 포함여부를 규정하는 명령들이다.

1149.5에서 정의하는 프로토콜은 physical layer,



〈그림 14〉 IEEE 1149.5 프로토콜 층

link layer, message layer의 세 층으로 구성되며 〈그림 14〉에 그 관계를 나타내었다. 통신에 필요한 하드웨어적 연결상태를 physical layer로 정의하고, link layer에서는 데이터 전송에 관련된 제어 및 패리티 검사 등을 담당하며, message layer에서는 MTM-버스 master와 slave가 지원하는 메시지 구문이나 기능 등을 정의하고 있다. 1149.5의 내용은 모두 이 layer들을 기준으로 정의하고 있다.

1149.5의 마지막 부분에는 1149.1과 1149.5의 관계에 대해 설명하고 기능에 따른 명령과 TAP-제어기의 상태변화를 기술하고 있는데, 이로써 1149.5에서도 1149.1을 강조하고 있음을 알 수 있다.

VI. 맺음말

이상의 표준/표준안들은 IEEE의 국제적 위상이나 이 표준제정에 참가한 위원회 구성원들의 산·학·연에 미치는 영향력으로 미루어 볼 때 조만간 상당한 이용 가능성을 내포하고 있다고 볼 수 있다. 특히 1149.1 경계주사 설계방식은 1990년대 초 이후 설계된 ASIC의 대부분에 포함되고 있으며, 이것은 미래의 DFT 방향이 1149 시리즈라는 것을 시사하고 있는 것이다. 그 예로 [9]는 'Analyzing Packaged system'에 대한 특집호인데, NANA의 MCM에 1149.1을 사용하는 방법을 위시하여 다양한 ASIC에 1149.1이 기본적인 DFT로 채택되고 있음을 보여주고 있다. P1149.2나 P1149.4는 아직 완전한 표준으로 확정되지 않아 뚜렷한

사용 경향을 알수는 없으나, 기존의 반도체제조회사에서 채택해 오던 테스트 방법의 활용에 대한 요구가 많고 아날로그 신호의 저장매체 등에 대한 연구 등으로 아날로그/디지털 혼성 IC의 테스트를 준비하고 있는 논문들이 많이 발표되고 있어 조만간 이들이 표준으로 확정되면 많은 사용이 예상되고 있다. 1149.5는 그 내용상 기존의 버스 시스템과 공유 또는 대체의 침해한 사항이 존재하므로 아직은 뚜렷한 사용 예를 볼 수 없다. 그러나 기존의 버스 시스템이 종합적인 유지/보수에 대한 프로토 제시에 미흡한 점이 많고 시스템상에서의 유지/보수비용이 날로 증가하고 있는 추세를 감안하면, 1149.5 또한 조만간 많은 이용이 예상된다.

최근 국내 반도체산업에 대한 발전방향에 반드시 포함되는 것이 비메모리분야의 발전, 즉, ASIC 산업의 발전인데, 국제적인 추세는 이미 ASIC에 DFT를 포함하는 것이고 더욱이 최근의 경향은 1149.1을 기본으로 하고 있는 것을 감안하면, 국내의 반도체산업에도 1149.1 뿐만 아니라 1149.2, 1149.4, 1149.5를 조속히 연구·검토·적용하여 국제적 추세에 발빠르게 대처하는 것이 ASIC 산업을 발전시키는 또하나의 방안이 아닌가 사료된다.

참고 문헌

- [1] IEEE, *IEEE Standard Test Port and Boundary-Scan Architecture(IEEE Std 1149.1-1990)*, IEEE, 1990.
- [2] IEEE, *Supplement to IEEE Std 1149.1-1990, IEEE Standard Test Access Port and Boundary-Scan Architecture(IEEE Std 1149.1a-1993)*, IEEE, 1993.
- [3] IEEE, *Supplement to IEEE Std 1149.1-1990, IEEE Standard Test Access Port and Boundary-Scan Architecture(IEEE*

Std 1149.1b-1994), IEEE, 1994.

- [4] Bulent Dervisoglu, "Boundary-Scan Update, IEEE P1149.2 Description and Status Report", IEEE Design&Test of Computers, pp. 79-81, September 1992.
- [5] IEEE, *IEEE P1149.2, Draft Standard for Shared Input/Output Scan Test Architecture*, IEEE, 1995.
- [6] IEEE, *IEEE P1149.4, Draft Standard for a Mixed-Signal Test Bus*, IEEE, 1997.
- [7] Pat McHugh, "A D&T Special Report, IEEE P1149.5 Module Test and Maintenance Bus", IEEE Design & Test of Computers, pp. 62-65, December 1992.
- [8] IEEE, *IEEE Standard for Module Test and Maintenance Bus(MTM-Bus) Protocol(IEEE Std 1149.5-1995)*, IEEE, 1995.
- [9] K. Sasidhar, L. Alkalai, and A. Chatterjee, "Testing NASA's 3D-Stack MCM Space Flight Computer", IEEE Design & Test of Computers, pp. 44-55, July-September 1998.

저자 소개



金 東 郁

1960년 8월 23일생, 1983년 2월 한양대학교 전자공학과 학사, 1985년 2월 한양대학교 전자공학과 석사, 1991년 9월 Georgia Institute of Technology 박사, 1992년 3월 ~현재 광운대학교 전자재료공학과

교수, 부교수 <주관심 분야: VLSI 설계, VLSI CAD, 디지털, Testability>