

VLSI 테스팅 특집

특집 편집기



강 성 호
(연세대학교 교수)

반도체 및 설계 기술의 발달로 인해 개발하고자 하는 시스템의 집적도가 증가하면서 테스트는 점점 어려워지고 이에 소모되는 비용도 점점 커지고 있으며 더 신뢰할 수 있는 칩을 개발하기 위한 요구도 증가되고 있습니다. 또한 칩 및 시스템이 고속으로 동작하게 되면서 필요한 테스트 장비의 비용도 매우 커지고 있습니다. 한편 칩의 개발에 필요한 테스트의 비중이 점점 커지고 있고 개발시간을 줄이는 것은 바로 테스트의 시간을 얼마나 줄일 수 있느냐에 달려 있습니다. 이러한 테스트에 소요되는 여러 오버헤드를 줄이기 위하여 설계초기 단계부터 테스트를 고려하는 노력이 증가되고 있으며 설계와 테스트가 하나로 되어 가는 추세가 되었습니다.

테스팅을 효과적으로 수행하기 위해서는 여러 가지 요소들이 종합적으로 고려되어야 합니다. 우선 시스템 IC를 효과적으로 테스트하기 위해서는 설계초기 단계부터 설계팀과 같이 협의되어 결정되는 좋은 테스트 방법론이 필요합니다. 이때 전체 비용중 테스트의 비용과 전체적인 IC 신뢰성이 정의되고 어떤 방법과 어떤 ATE를 사용할 것인가와 전체적인 일정이 결정되어야 합니다. VLSI를 효과적으로 테스트하기 위해서는 고장 모델링, 테스트 패턴의 자동생성, 고장 시뮬레이션 등의 과정이 필요합니다. 또한 IC에 약간의 부가 회로를 첨가하여 테스트시의 편리성과 비용의 절감을 꾀하는 테스트 용이화를 위한 설계(DFT: Design for Testability)와 이의 합성이 필요합니다. 이에 대한 끊임없는 기술 개발과 혁신을 통해 효과적인 테스트가 수행될 것입니다. 테스팅이 점점 중요시되고 있고 또한 기존의 메모리와 더불어 주문형 반도체 및 시스템 IC의 개발이 부상하고 있는 국내의 환경에 비추어 볼 때 금번 VLSI 테스팅 특집은 매우 의미가 있습니다.

금번 VLSI 테스팅 특집은 테스트 전문가의 의견을 종합하여 제목과 필자를 정하였습니다. “VLSI 테스팅의 기술 동향”(연세대)에서 전반적인 테스트 기술 현황에 대해, 그리고 최근 많은 연구가 되고 있는 기술 해설에 대해 “순차회로의 테스트 패턴 생성기술 동향”(충북대), “상위 수준의 테스트 합성 기술 동향”(한양대), “보드/시스템 수준의 테스트 용이화 설계 표준”(광운대)을 준비하였습니다. 실제의 테스트 방법론에 대해서는 메모리와 비메모리로 구분하여 개발사례 위주의 “고성능 VLSI의 테스트용이화를 위한 설계 방법”(삼성전자)과 “고집적 메모리의 테스트 기술”(LG 반도체)의 2편을 실었습니다. 테스트의 기술과 발전방향에 대해서는 테스트회사의 2편을 준비하였으나 지면관계상 편집자가 한편으로 재편집하여 1편으로 조정하여 “테스터(ATE)의 기술 및 개발 동향”(테라다인, 휴렛 팩커드)를 실었습니다.

본 VLSI 테스팅 특집의 편집을 위하여 조언해 주신 여러분께 감사를 드립니다. 아무쪼록 본 특집이 테스팅 기술을 이해하고 접근하는데 도움이 되기를 바랍니다. 끝으로 바쁘신 가운데 본 특집을 위하여 원고를 집필하여 주신 필자 여러분께 진심으로 감사를 드립니다.