

디지털 위성 방송 수신용 IC

신 현 종, 이 승 준
현대전자 시스템 IC 연구소

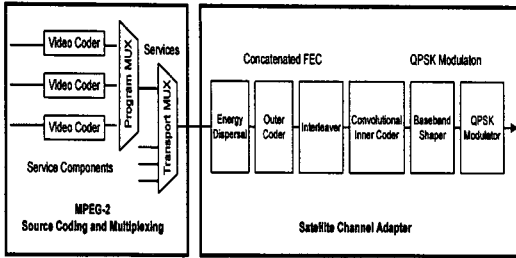
I. 디지털 위성 방송의 현황

디지털 기술의 급격한 발달에 힘입어 최근 점차 확산되고 있는 디지털 위성방송은 기존의 아날로그 방송에 비해 월등히 많은 채널 수를 확보할 수 있고 기능 및 방송의 품질면에서도 우수하다는 장점이 있다. 특히 디지털 방식을 이용하여 위성 방송을 실시하는 경우 위성중계기의 능력을 단순히 TV 서비스에만 할당하는 것이 아니라 여러 가지 유용한 데이터 방송 및 인터넷 통신에까지 이용될 수 있으므로 차세대 방송 기술로서 각광을 받고 있다. 최초의 디지털 위성 방송은 1994년 미국에서 DirecTV사가 USSB사와 함께 처음으로 서비스를 시작했다. DirecTV는 미국 시청자들로부터 폭발적인 인기를 얻으며 빠르게 성장하여 1997년 6월 현재 300만 가입자를 확보하고 있다.^[1] 이어서 유럽에서도 1994년에 유럽 방송 연합(European Broadcasting Union)과 유럽 통신 표준 협회(European Telecommunications Standards Institute)와의 공동 노력으로 디지털 위성 방송을 위한 표준 규격(DVB standard)을 공표함으로써 유럽 각국에서 본 규격에 따른 시험방송을 실시하고 있으며, 우리나라와 중국을 비롯한 아시아권 국가들도 DVB 규격에 따르는 디지털 위성 방송의 도입을 서두르고 있다.^[2] 본 기고에서는 우리나라를 비롯하여 디지털 위성 방송이 도입되고 있는 대다수의 나라에서 공통적으로 채택하고 있는 DVB standard에 대하여 설명하고, 위성 방송을 수신하기 위한 set-top box의 핵심 부품으로 본사에서 개발된 디지털 위성 방송 수신용 IC를 소개

한다. 마지막으로 위성 방송 수신용 chip-set의 발전 방향과 그에 대한 우리 나라 시스템 IC 업체의 대응 방안을 제시한다.

II. 유럽형 디지털 위성 방송 규격 (DVB Standard)

1994년에 공표된 DVB standard는 디지털 위성 방송을 위한 세계 최초의 공개 규격으로서, 이후로 거의 대부분의 나라에서 새로 시작되는 위성 방송의 표준으로 채택되고 있다. 위성 방송 시스템을 구성하는데 있어서 가장 중요한 요소는 수신단 안테나의 크기와 비용을 최소화하는 것이다. 이같은 목적을 위해서 변조부분은 신호대 잡음 비율(SNR)의 효율이 가장 좋은 QPSK 변조 방식을 채택하였고 신호상의 잡음으로 인한 오류를 정정하기 위하여 convolutional coding과 Reed-Solomon coding 결합한 concatenated Forward Error Correction(FEC) 방식을 채택하였다. 이때 수신단에서는 약 45cm정도의 접시형 안테나로 시청할 경우 1시간에 정정되지 못한 error가 한 비트 이하로 발생하는 것을 목표로 하고 있다. 그림 1은 송신단에서의 전체적인 부호화 과정을 보여주고 있다. DVB 규격은 source coding 부와 channel coding부로 구성되어 있다. Source부는 영상, 음성 및 일반 데이터를 각각 MPEG-II 형태로 압축한 후 이들을 조합하여 하나의 program stream으로 만든다. 그런 다음 다수의 program stream을 다시 시분할로 조합하여 하나의 transport stream



〈그림 1〉 DVB Standard

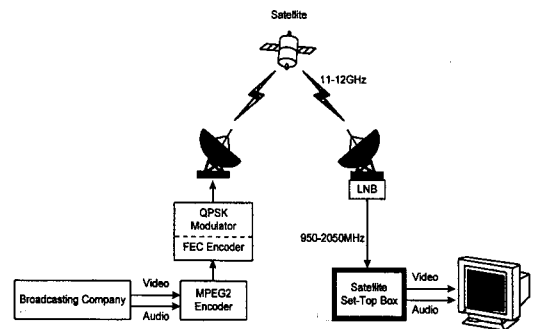
으로 만들어 channel coding단으로 보낸다. 이렇게 만들어진 data stream는 188 byte로 구성된 packet을 기본 단위로 하는데 각 packet의 첫번째 byte는 동기화를 위하여 항상 일정한 값을 갖게 된다.

Source coding이 완료된 packet 단위의 데이터는 먼저 randomizer를 통하여 0 과 1의 빈도수를 같게 함으로써 신호의 에너지를 골고루 분포 시킨다. 이후에 randomize된 packet에 Reed-Solomon coding을 적용하여, 기존의 188 byte에 16 byte가 추가된 error-protected packet을 만든다. 이렇게 추가된 16 byte를 이용하여 수신단에서는 한 packet당 최대 8 byte까지의 error를 수정할 수 있게 된다. 일반적으로 통신 채널상의 잡음으로 인하여 데이터가 훼손되는 경우 인접한 데이터들에서 연이어 오류가 발생하게 되는데 이를 burst error라 하고, 한 packet내에 8개 이상의 error가 발생할 경우 이를 모두 수정할 수 없게 된다. 이같은 현상을 방지하기 위하여 Reed-Solomon coding이 된 packet을 다시 convolutional interleaving이라는 과정을 거쳐서 인접한 데이터들을 시간축상에서 멀찌감치 떨어뜨려 분포 시킨다. Interleaving이 끝난 데이터는 다시 한번 오류 정정을 위한 convolutional coding 과정을 거치게 된다. 이 때 위성의 대역폭을 보다 효과적으로 활용하기 위하여 DVB 규격에서는 1/2, 2/3, 3/4, 5/6, 그리고 7/8 의 다섯 가지 puncturing code rate을 정의하고 있다. 1/2은 puncturing을 안한 경우이며, 7/8 같은 경우는 정해진 규격에 따라 puncturing을 실시하여 실제로 송신되는 데이터의 양을 줄임으로써 1/2에 비하여

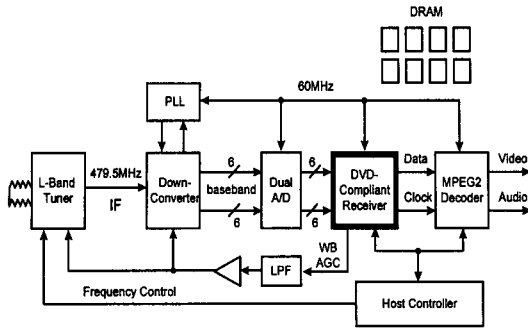
약 57%의 대역폭만을 필요로 하나 그대신 잡음에 좀 더 취약한 단점이 있다. 우리나라의 무궁화 위성 같은 경우에는 전파를 수신하는 지역이 상대적으로 넓지 않으므로 7/8 code 로 방송을 실시하고 있다. 이같이 두 번의 오류 정정을 위한 coding을 거침으로써 수신단에서의 오류가 발생할 확률이 약 10억분의 1 정도로 낮아지므로, 거의 오류가 없는 깨끗한 상태를 유지할 수 있다. 마지막으로 디지털 데이터를 33MHz의 대역폭을 갖는 인공위성을 통하여 방송할 수 있도록 QPSK modulation을 실시하여 위성으로 송출한다.

III. 디지털 위성 방송 수신 기술

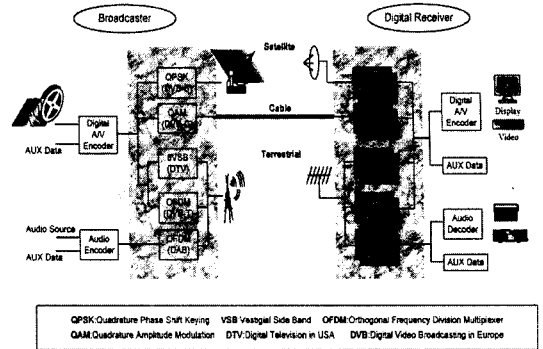
그림 2은 디지털 위성 방송 시스템의 개요를 보여주고 있다. 방송국에서 MPEG-II coding 및 error-correction coding 이 완료된 신호를 위성으로 송출하면 위성에서 이 신호를 증폭하여 11-12GHz 대역으로 지상의 각 가정으로 송출하게 된다. 수신단에서는 옥외의 접시형 안테나를 이용하여 원하는 위성으로부터 신호를 수신한 후 LNB를 통하여 약 1-2GHz대역의 신호로 변환한 후 실내에 장치되어 있는 set-top box로 보낸다. Set-top box에서는 channel 선택, demodulation, error-correction, 그리고 MPEG-decoding 등의 순서로 원하는 영상/음향/데이터 신호를 복원하여 TV 혹은 PC로 보낸다. 그림 3는 set-top box의 일반적인



〈그림 2〉 Digital Satellite Broadcasting System



(그림 3) Satellite Set-Top Box



(그림 4) Digital Broadcasting Concept

인 내부 구조이다. 이는 크게 3 부분으로 나누어진다: RF 신호를 기저대역 신호로 변환하는 tuner 부분, 기저대역 신호로부터 복조 및 error-correction decoding을 실시하여 잡음이 포함되어 있는 입력 신호로부터 순수한 MPEG-II 데이터를 추출하는 channel decoder부분, 그리고 MPEG-II 신호로부터 영상/음향/데이터 신호를 복원하는 MPEG-II decoder 부분이 있다. 그 외에 유료 방송에 대하여 요금을 부과하기 위한 Conditional Access System (CAS), 3차원 입체 음향을 지원하기 위한 AC-3 decoder 등이 추가 될 수 있다.

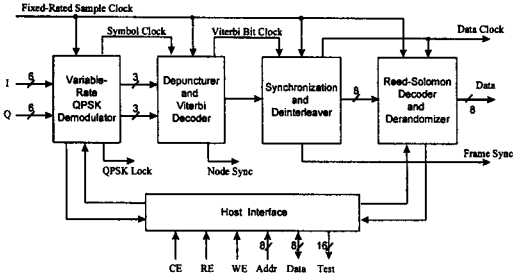
이같은 set-top box의 구조는 비단 위성 방송에만 국한된 것이 아니라, 향후에 실시될 것으로 기대되는 디지털 유선 방송 및 디지털 공중파 방송을 위한 set-top box에도 공통적으로 적용될 수 있다. 이때 channel decoder부분만 해당되는 채널 특성에 맞는 규격대로 바꾸어 주면 된다. Channel decoder는 demodulator부와 FEC decoder 부로 나뉘게 되는데, 위성 방송의 경우에는 QPSK, 유선 방송의 경우는 QAM, 공중파 방송은 VSB나 COFDM 방식의 demodulator가 요구되며, FEC decoder의 경우는 거의 같은 방식이 사용되고 있다(그림 4). 조만간 위성 방송을 필두로 유선 방송 및 공중파 방송이 모두 디지털화 되어감에 따라서 이들 방송 수신을 위한 set-top box 및 디지털 TV 시장이 급속히 성장할 것이 예측되므로 LSI Logic, SGS Thomson을 위시한 세계의 우수한 시

스템IC 업체들이 이를 위한 chip-set 개발에 앞을 다투고 있다. 현대전자에서도 가장 먼저 시험 방송이 시작된 디지털 위성 방송 수신용 set-top box 시장을 공략하기 위하여 95년부터 위성 방송 수신용 IC 개발에 착수하였는데, 약 2년 만인 지난 97년 초에 개발에 성공하여 현재 양산 중에 있다.

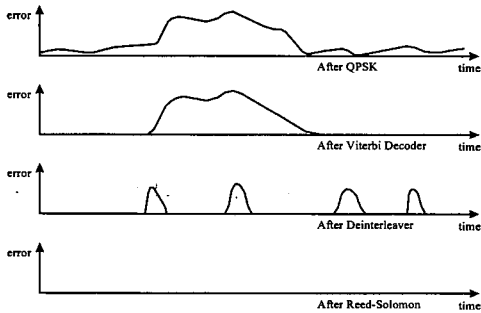
DVB 규격은 영상 신호를 MPEG-II 방식으로 압축하여 거의 error가 없는 상태로 수신단으로 전달하도록 되어 있다. 영상 신호뿐만 아니라 여러 가지 다양한 data service가 DVB 규격을 따라서 위성을 통하여 제공되어질 수 있는데 그 이유는 DVB 상에는 data의 bit-rate가 정해져 있지 않기 때문이다. 따라서 위성 운영자나 방송국 측에서는 여러가지 다양한 data service를 DVB 규격에 맞추어 송신할 수 있으며, 이같은 service들을 모두 수신하려면 수신단 쪽에서는 많은 다양한 bit-rate의 신호들을 처리할 수 있어야 한다. 다음 장에서는 본사에서 개발된 variable-rate 위성 방송 수신용 IC의 설계에 대하여 설명한다.

IV. 디지털 위성 방송 수신용 IC 설계

그림 5는 위성 방송 수신용 IC의 전체 구조이다. Tuner로부터 기저 대역 신호로 변환된 후 A/D 변환기를 거친 디지털 신호를 입력으로 받아들여, 앞장에서 언급한 DVB 규격에 따라 수신단에서 행



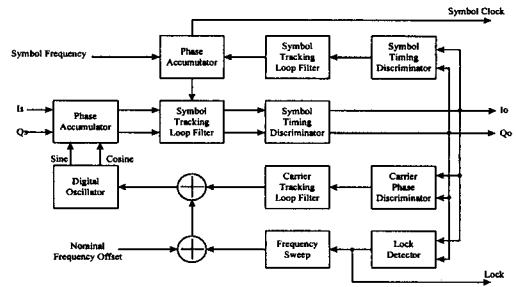
〈그림 5〉 DVB-Compliant Single-Chip Receiver



〈그림 6〉 Concatenated Forward Error Correction

해지던 과정을 반대로 수행하여 최종 출력으로 error가 거의 없는 MPEG-II 신호를 만들어낸다. QPSK demodulator는 일정한 sampling clock만을 이용하여 2~90 Mbps의 넓은 범위의 신호를 처리할 수 있도록 설계되었다. 다음단의 Viterbi decoder에서는 Viterbi 알고리즘을 적용하여 convolutional coding된 신호로부터 원래의 신호를 복원한다. 이때 burst error를 제외한 대부분의 error가 정정된다. Viterbi decoder에 의하여 정정되지 않은 burst error는 deinterleaver를 거치면서 시간축상에 나뉘어서 분포되어지며, 이후 Reed-solomon decoder에서 이렇게 분포된 error들이 거의 모두 정정되어 최종단의 출력에는 한 시간에 한 바이트정도의 비율로 error가 나타나게 된다.(그림 6)

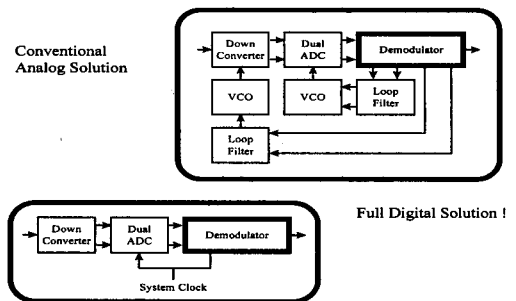
그림 7은 variable-rate QPSK demodulator의 내부 구조를 보여주고 있다. 입력 신호를 받아서 디지털 필터링을 하여 출력을 만들어내는 부분, tuner부의 offset으로 인한 carrier frequency



〈그림 7〉 Variable-Rate QPSK Demodulator

error를 보정하는 feed-back 회로, 그리고 sample data의 timing을 정확히 유지하기 위한 timing tracking loop의 세 부분으로 구성되어 있다. 일반적으로 chip 외부에 아날로그 회로를 추가하여 구현하는 carrier tracking loop 및 timing tracking loop 회로들을 모두 chip 내부에 디지털 회로로서 구현하였다. 그리하여 아날로그 회로를 이용할 때 보다 phase noise 특성이 우수할 뿐만 아니라, 본 IC을 이용하여 시스템을 구성할 때 VCO와 아날로그 필터가 필요 없으므로 system interface가 단순하여지며 전체 시스템을 구성하는 비용을 줄일 수 있다(그림 8).

Viterbi decoder는 radix-4 알고리즘을 따라서 설계를 하였다. Radix-4 알고리즘은 기존의 radix-2 알고리즘에 비하여 hardware의 양이 증가하는 단점이 있으나 각각의 연산에 할당되는 시간이 두 배가 되므로, 본 chip이 동작하여야 하는 60MHz의 빠른 속도에서 매우 안정되게 주어진 기능들을 수행할 수 있다. 본 chip의 개발 목적이



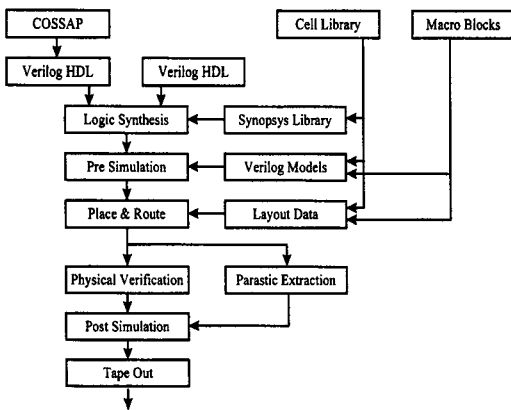
〈그림 8〉 Simple System Interface

proto-type 이 아니라 처음부터 양산용으로 설계되었기 때문에 각 block들의 설계에 있어서도 아주 새롭고 특이한 방식을 시험해보기 보다는 다소 낭비가 있더라도 확실한 동작을 보장하는 방향으로 접근을 하였다. DVB 규격은 1/2, 2/3, 3/4, 5/6, 그리고 7/8 의 다섯가지 puncturing code rate을 정의하고 있다. Viterbi decoder의 기본 구조는 1/2 code rate 맞추어 설계되었다. 입력 데이터에 따라서 자동적으로 code rate를 찾아내는 회로가 내장되어 있어서 1/2 이 아닌 다른 coderate의 데이터가 들어오면 FIFO을 이용하여 1/2 code에 맞도록 데이터를 조정하여 decoding을 실시하도록 되어 있다. Reed-solomon decoder는 잘 알려져 있는 유클리드 알고리즘을 바탕으로 설계하였다. 이때 공통되는 하드웨어 블럭을 시간차를 두어 공유하도록 함으로써 전체 크기를 절반정도로 줄일 수 있었다.^[3]

그림 9는 전체적인 설계 과정을 나타내고 있다. Logic 설계에 있어서 두 가지의 접근 방법을 사용하였다. Demodulator 부분은 먼저 Cossap이라는 DSP 설계용 CAD tool을 사용하여 설계 및 검증을 완료한 후 Verilog로 변환하였고, Viterbi decoder 및 Reed-solomon decoder는 직접 Verilog RTL로 설계 완료한 후 논리합성용 CAD tool을 이용하여 gate-level netlist를 생성하였다. Demodulator단은 전체 chip의 성능을 좌우하는 매우 중요한 부분이다. 이 block은 복잡한 feed-

back 회로 및 필터 구조로 되어 있으므로 각 부분을 조율하여 최적의 성능을 이끌어 내는 작업은 많은 simulation을 요구한다. 이러한 작업을 위하여 Cossap과 같이 data-flow model에 근거한 DSP 설계용 tool은 매우 유용한 환경을 제공한다. 먼저 Graphical schematic editor를 이용하여 원하는 block을 기술한다. 이때 library 형태로 제공되는 많은 기본 block들을 이용하여 빠른 시간 내에 작업을 완료할 수 있다. 다음에는 또한 library로 제공되는 data source나 noise model들을 이용하여 여러가지 다양한 환경을 설정한 후 simulation을 통해 동작을 검증하고 설계를 최적화하는 작업을 수행한다. 위의 작업이 완료되면 검증된 설계를 자동적으로 Verilog RTL로 변환한 후 logic 합성 tool을 이용하여 gate-level netlist를 생성할 수 있다.

본 chip은 0.5um standard cell을 이용하여 hardware 로 구현하였는데, 이를 위한 cell library 도 logic 설계와 병행하여 자체적으로 개발하였다. 이때 양산을 대비하여 각 cell의 layout은 면적을 최소화하는 방향으로 진행하였다. 또한 RAM, ROM등의 macro-block들도 memory-compiler를 이용하여 자동적으로 생성하는 대신 custom layout으로 진행하여 각 block들의 면적을 최소화할 뿐만 아니라 전체적인 floorplan에 맞도록 pin의 위치등을 조절하여 전체적으로 매우 효율적인 layout을 가능케 하였다.



(그림 9) Design Flow

V. 업계의 기술 동향 및 회사의 향후 전략

DVB 규격에 따른 최초의 chip-set은 demodulator와 FEC decoder를 각각 별개의 chip 으로 구현하였다. 곧 이어 LSI Logic을 필두로 VLSI Technology, SGS Thomson 등에서 두개의 기능을 하나의 chip으로 구현한 제품이 나오기 시작하였고 현대전자에서도 뒤이어서 자체 개발된 제품을 시장에 출시하여 선발 제품들과 경쟁을 벌이고 있다. 최근에는 demodulator의 앞단에 쓰이

는 A/D 변환기까지 하나의 chip안에 포함한 제품들이 Broadcom, VLSI Technology 등의 회사들로부터 시장에 선보이기 시작했으며, LSI Logic에서는 이에 더하여 micro-controller까지 내장된 제품을 발표하였다. 최근 들어 ASIC 공정 기술이 급속도로 발전하면서 한 chip안에 system에서 필요한 모든 기능들을 집적시키는 소위 system-on-chip의 형태로 제품이 개발되고 있는 추세이며 이같은 동향은 위성방송수신용 chip-set의 발전에서도 분명히 보여지고 있다. 현대전자도 이와 같은 추세에 맞추어 추후로는 set-top box에서 뒷단에 들어가는 MPEG-II decoder까지도 하나의 chip으로 구현한 제품이나 혹은 위성방송뿐만 아니라 디지털 유선 방송, 디지털 공중파 방송까지도 동시에 수신할 수 있는 다목적 수신용 chip들을 자체 개발, 혹은 공동 개발할 계획을 갖고 있다.

시스템 IC분야는 기술의 변화가 빠르며 업체간의 경쟁이 치열한 분야이다. CAD tool들의 비약적인 발전에 힘입어 과거에 몇년씩 걸리던 개발 기간도 1-2년 정도로 단축되었다. 그러므로 어느 한 업체가 특정 분야에서 독주하는 것은 더 이상 불가능하며 누가 시스템에서 필요로 하는 제품을 적기에 공급하느냐가 관건이다. 이를 위하여는 시스템 업체의 기술 동향을 정확하게 파악하고 시장이 열릴 것으로 판단되는 제품을 주어진 시간 내에 개발하여 시장을 선점하는 것이 중요하다. 일단 시장을 어느 정도 장악한 이후에도 타 업체들에 대하여 경쟁력을 유지하려면 시스템 업계의 필요에 부응하는 후속 제품들을 계속 개발해 나아가야 한다. 이를 위하여는 여러 가지 다양한 IP(Intellectual Property)들을 확보하는 것이 필요하다.

우리나라의 시스템 IC 업체는 선진국에 비하여 낙후되어 있는 국내 시스템 산업과 선진국의 시스템 IC 업체들에 비하여 개발 경험 및 기술력에서 뒤떨어져 있다는 두 가지 부담을 안고 있다. 이런 열악한 상황에서 금번 위성 방송 수신용 IC의 성공적인 개발은 우리에게 매우 소중한 경험이 된다. 이는 본사가 지니고 있는 VLSI 개발 능력과 미국내 자회사인 Odeum사의 현지 시스템 엔지니어와의 공동 노력의 개가이다. 이같은 협력관계는

우리가 가지고 있는 환경에서 시스템 IC 사업을 성공시키기 위한 하나의 모델이 될 수 있다. 지난 수년에 걸친 지속적인 투자로 우리의 VLSI 개발에 관한 기술력도 상당한 수준에 이르렀으며 근래에 들어 국내에서도 많은 시스템 업체들이 생겨나서 뿌리를 내리고 있으므로, 시스템 IC 산업이 발전할 수 있는 기본 토양은 조성되어 있다고 볼 수 있다. 이를 토대로 해외 업체와의 긴밀한 공조관계를 통한 역할 분담으로 꾸준히 우리나라의 현실에 맞는 시스템 IC 산업을 자리매김해 나간다면 우리나라의 시스템 IC 분야의 성장 가능성은 매우 높을 것으로 기대된다.

참 고 문 헌

- [1] 정용준, 세계의 디지털 위성방송, 커뮤니케이션 선복스, 1998
- [2] ETS 300 421 European Telecommunication Standard, Digital Broadcasting Systems for Television, Framing Structure, Channel Coding and Modulation for 11/12 GHz Satellite Services, 8, 1994.
- [3] Seungjun Lee, A Single Chip DVB Receiver for Variable-Rate QPSK Demodulation and Forward Error Correction, IEEE 1997 Custom Integrated Circuit Conference, 1997.

저 자 소 개

申 鉉 宗

1955년 11월 8일생, 1978년 2월 서울대학교 전자공학과 학사, 1980년 2월 KAIST 전기전자공학과 석사, 1988년 2월 UC Berkeley 전기과 박사, 1980년 3월~1984년 1월 KIET, 1988년 3월~1996년 9월 IBM, 1996년 10월~현재 현대전자 시스템 IC 연구소 상무

李 丞 峻

1964년생, 1986년 2월 서울대학교 전자공학과 학사, 1989년 5월 UC Berkeley 전기과 석사, 1993년 12월 UC Berkeley 전기과 박사, 1992년 1월~현재 현대전자 시스템 IC연구소 책임연구원