

# HDTV 수상기 ASIC 기술개발

등 용 배  
전자부품종합기술연구소

## I. 서 론

1936년 Britain에서 흑백 TV 방송이 시작된 이래, 50년대 컬러 TV 방송이 시작되었으며 유럽에서는 PAL방식과 SECAM 방식이 그리고 미국, 일본, 우리 나라를 중심으로 NTSC 방식이 정착되었다. 이 모든 시스템은 아날로그 방식으로써 지난 40년간 방송 중에 있다.

1998년 세계최초로 미국에서 상업방송 예정인 완전 디지털 방식의 HDTV 시스템은 현재의 NTSC나 PAL 및 SECAM 시스템에 비해 수평, 수직 해상도가 각각 2배 이상이며, 화면비가 영화 화면에 비유되는 광폭의 16:9를 실현하는 것이며, 음질 측면에서는 디지털 CD 수준을 실현하는 것과 영화에 사용되는 서라운드 음향인 5.1채널을 사용하여 가정에서 영화관의 효과를 보도록 하고 있다. 특히 현재 사용되고 있는 아날로그 전송기술에 비하여 디지털 전송 기술을 이용함으로써 기존의 아날로그에서 전송잡음을 완전히 제거하여 선명한 화면 및 음향을 실현하는 것이다.

1993년 초 미국에서 제안된 디지털 방식의 HDTV 시스템은 이전에 사용하는 아날로그 방식을 기초로 개발해 왔던 일본과 유럽에 큰 영향을 주었으며, 현재는 전세계가 디지털 방식으로 전환하고 있다. HDTV 방식의 기초를 이루는 것은 MPEG-2 기술로써, 비디오 신호 처리규격은 공히 MPEG-2 MP@HL 엔코딩 규격을 채용하고 있으며, 오디오의 경우 미국은 Dolby AC-3 엔코딩 규격을 유럽은 MPEG-2 오디오 규격을 채택하고 있다. 한편 전송규격의 경우 미디어에 따라 차이가

있다. 현재의 대부분 위성방송의 경우 QPSK 변조 방식이 사용되고 있으며, 케이블 TV 방송의 경우 QAM 방식을 채용하고 있다. 지상방송의 경우 미국에서는 VSB(vestigial side band) 방식, 유럽은 COFDM (coded orthogonal frequency division multiplexing) 방식이 채택되었으며, 일본의 경우 변형된 COFDM 방식을 검토 중에 있다.

## II. 국내의 HDTV 기술개발 정책동향

### 1. 세계 HDTV 기술개발 정책동향

#### 1) 일본

일본은 현재 HDTV 상용 서비스를 하고 있는 세계 유일한 국가이다. 일본에서의 HDTV 개발은 1972년 CCIR(ITU-R의 전신)에 HDTV를 연구과제로 채택할 것을 제안한 이후 NHK(Japan broadcasting corporation) 주도로 아날로그 방식인 MUSE(multiple sub-nyquist encoding)를 개발하여 1988년 서울 올림픽을 HDTV로 시험 중계하였으며, 현재 위성을 통하여 방송하고 있다. 그러나 미국은 비롯한 유럽 등이 아날로그 방식을 배제하고 디지털 방식의 HDTV를 채택함으로써 현재 아날로그 방식에서 벗어나 디지털 방송방식으로 전환을 목표로 새로운 규격을 결정하고 있다.

디지털 TV 방송 규격에는 MPEG 비디오 규격을 채택하고, 음성압축 규격은 MPEG-2나 Dolby AC-3 방식이 거론되고 있으며, 전송방식으로는 일본 특유의 문화적인 요소로 이동형 디지털 TV

를 차량과 같은 이동체에서 TV 수신에 가능한 규격을 목표로 삼음으로써 유럽 규격인 COFDM 전송규격을 수정하는 형태를 띠고 있다. 이런 HDTV 규격으로 2002년 한·일 월드컵 축구를 방송하고자 하며 이에 따른 일본의 디지털 방송에 많은 노력을 기울이고 있으며 2010년에 완전 디지털 방송으로의 전환을 계획하고 있다.

현재 일본의 디지털 방송 관련 시스템의 개발은 미쯔비시 등의 평판 디스플레이인 PDP, SONY사의 디지털 방송에 사용되는 디지털 VCR, MPEG-2 MP@HL의 encoder/decoder, HDTV 영상을 제작할 수 있는 디지털 카메라 등으로 디지털 TV의 방송장비 및 수상기의 모든 분야에 대하여 선두를 점하고 있다.

## 2) 미국

미국은 일본의 MUSE HDTV 개발에 영향을 받아 미국형 HDTV 개발을 위하여 1987년 FCC 산하에 ACATS(advisory committee on advanced television services)를 설립함으로써 본격적인 개발을 착수하였다. 1992년 6개 방식의 HDTV 시험을 통하여 아날로그 방식인 일본의 MUSE 방식을 제외하고 완전 디지털 방식으로의 규격결정 방향을 잡았다. 1993년 5월 디지털 방식의 제안사 중심으로 GA(grand alliance)를 결성하고 10월에 현재 사용되고 있는 GA 규격을 발표하였다. 또한 FCC에서 1996년 12월에 미국 방식으로 영상을 표시하는 방식인 현재의 TV와 같은 비월주사 방식과, 컴퓨터에서 사용하고 있는 격자주사방식, 디스플레이의 가로 대 세로비 등 TV화면 표시에 관한 사항을 시장에 맡긴다며, 디스플레이에 관한 규격은 언급하지 않고 GA에서 제안한 GA 규격을 최종 승인하였다. 그 후 미국은 FCC주도로 1997년에 디지털 지상파 TV 방송에 필요한 채널을 방송사에 할당하고 있다.

또한 1999년 4월에 상용방송을 목표로 하고 있으며, 그에 따른 시험방송을 여러 지역에서 실시하고 2010년에 현재 방송하고 있는 아날로그 방식의 컬러 TV방송을 전면 중단하고 완전히 디지털 TV로 전환할 계획이다. 미국의 디지털 방송에 대한 가전사의 개발동향으로 미국 최대의 가전사인

Zenith사는 미국방식의 전송 규격인 8-VSB를 제안한 회사로 올해 8월에 HDTV를 수신할 수 있는 수신부 decoder 칩을 제일 먼저 개발하였으며 내년의 HDTV 수상기 개발을 위하여 중요 부품의 ASIC화 및 제품개발에 몰두하고 있다. 마이크로소프트 등의 컴퓨터 관련업체는 PC내에 내장 가능한 channel decoder 보드의 개발로 컴퓨터와 디지털 TV가 혼합된 시스템 개발을 서두르고 있으며, C-Cube 등은 HDTV에 사용되는 비디오 decoder칩(MPEG MP@HL)의 개발을 서두르고 있다.

## 3) 유럽

유럽의 HDTV 시스템의 개발은 1986년 유럽의 방송사업자와 제조업체가 참여한 "Eureka-95" 프로젝트로 시작되었다. 여기서 개발된 방식은 기존 아날로그 방식에 디지털 기술을 가미한 MAC(multiplexed analog components) 방식으로써, 92년 동계올림픽에서 위성중계로 방송되기도 하였으나, 미국의 완전 디지털 방식 개발계획의 영향과 1993년 Philips와 Thomson의 MAC방식 HDTV 수상기의 개발중단 발표로 "Eureka-95" 프로젝트는 공식 중단되었으며, 이후 완전 디지털 방식의 개발로 전환하는 계기가 되었다.

유럽에서의 전 디지털 방식의 HDTV가 표면화된 것은 1992년 7월 암스테르담에서 개최된 IBC(international broadcasting convention)였으며, 이는 북유럽의 방송사, 제조업자와 정부단체로 구성된 스칸디나비아 컨소시엄에서 개발한 HD-DIVINE(digital video narrow-band emission) 시스템이 기초가 되었다. 이를 계기로 1993년 전 디지털 방식의 사업화와 기술 개발을 위한 유럽의 DVB(digital video broadcasting) 개발 조직이 탄생하였다. DVB의 초기 목표는 HDTV보다도 SDTV(standard definition TV) 중점을 두었으나, HDTV를 배제하는 것은 아니었다.

1994년 DVB 그룹에서는 영상과 음성의 압축규격으로 MPEG-2 엔코딩을 사용하기로 하였으며, 다중화 규격으로 MPEG-2 transport layer syntax를 채용하기로 하였다. 전송규격은 미디어에 따라서 위성방송의 경우 QPSK 변조방식, 케이

블 TV의 경우 64 QAM 방식을 채용하기로 하였다. 한편 지상 방송에 대해서는 유럽의 디지털 오디오 방송에서 채용하고 있는 COFDM으로 결정되었다.

지난 6월 Montreux에서의 ITVS(international television symposium) '97에서는 COFDM을 채용한 HDTV 방송 데모가 있었으며, 미국의 HDTV 상업 방송 및 세계 여러 나라의 규격제정에 유럽규격을 채택하기 위하여 HDTV의 영상규격에 대한 논의가 활발히 이루어지고 있다.

## 2. 국내 HDTV 기술개발 정책동향

국내의 HDTV 개발계획은 1987년 CTV업체와 본 연구소에서 기초기술 연구를 착수함으로써 HDTV가 널리 알려지고 1988년 신호처리, 고집적 반도체, HDTV 수상기, 디스플레이 기술개발에 대한 공업기반 기술개발과제로 선정 고시됨으로써 기술개발이 시작되었다. 1989년에 재경부, 산자부, 과기부, 정통부, 국방부, 문공부 등의 협조를 얻어 HDTV 개발 추진계획을 민간 공동 개발추진위원회를 설립하여 추진하였으며, 1990년에 본격적으로 개발이 시작되었다. HDTV의 기술개발에 대하여 1990년부터 1994년까지 4년 동안 과기부가 주관하는 선도기술개발 1단계 사업을 통하여 산업자원부가 주관부처로 정통부 및 과기부가 협조부서로 HDTV 수상기에 관한 기술개발을 실시하였다. 여기서 LG전자, 대우전자, 삼성전자, 현대전자의 가전 4사는 미국의 GA에서 검토되고 있는 여러 가지 HDTV에 대한 방식을 각각 나누어서 FPGA 등을 이용한 프로토타입 HDTV 복호기를 개발하여 1993년에 개최된 대전 Expo.에 전시하였으며, 이와 같은 노력은 HDTV 산업화에 크게 기여하였다. 1단계 사업에서는 HDTV의 신호처리 외에 LCD, PDP, glass bulb, shadow mask, CRT의 평판 디스플레이의 기초기술에 대한 기술개발이 수행되어 현재의 디스플레이 산업 및 기술의 기초가 되었으며, DAC/ADC 등의 핵심 반도체 개발에도 힘을 쏟았다. 결론적으로 국내의 HDTV 기술 연구는 1993년 이전에는 아날로그와 디지털 방식이 모두 검토되었으나, 현재는 디지털 방식만을

연구하고 있다.

이와 같은 국내의 HDTV 연구개발은 산업자원부 및 정보통신부 정부부처와 KBS, ETRI, KT, KETI, 가전업계 등의 연구소 및 가전업체를 중심으로 이루어지고 있다. KBS는 스튜디오 규격과 부호화 규격을 ETRI는 HDTV의 전송 규격을 KT는 유선 분배망을 통한 영상정보 전송을, KETI와 가전업계는 HDTV 수상기를 개발하고 있다.

그리고 '95년부터 2단계 선도기술개발 사업으로 산업자원부가 주관부처로 정통부 및 과기부가 협조부처로 참여하여 KETI와 1단계 HDTV사업에 참여한 가전업계가 미국의 HDTV 수상기를 겨냥하여 GA HDTV 시스템용 ASIC을 개발 중에 있다.

이는 지금까지 가전업체를 중심으로 HDTV 관련기술의 자립과 비메모리 분야의 반도체 설계기술 확보를 위해 각 사가 자체적으로 ASIC화를 위한 기술개발을 진행하여 왔으나, HDTV 시스템 관련 ASIC 기술개발을 위해 공동의 노력과 장기적이고 지속적인 투자가 필요하다는 인식 하에 시스템 ASIC개발에 대하여 KETI를 총괄주관으로 하여 산업체와 정부가 범국가적으로 기술개발이 추진하고 있다.

더욱이 미국의 HDTV 시스템의 규격이 '96. 12월에 확정되어 '99년 상업방송을 목표로 하고 있는 만큼 각국의 경쟁적인 기술개발이 가속화되고 있어 ASIC의 기술개발에 한층 전력해야 할 시기이다. 중간 단계인 HDTV용 ASIC 사업의 1차 성과를 보면 KETI와 가전사는 미국 규격의 HDTV 시스템의 프로토타입을 개발 완료하여 위성톤에서 공중파를 수신하는 시험을 성공적으로 완료하였고, 이 프로토타입 HDTV 시스템을 바탕으로 1세대 ASIC을 개발 완료하였고, 상용화에 적합한 2세대 ASIC 개발 중에 있다.

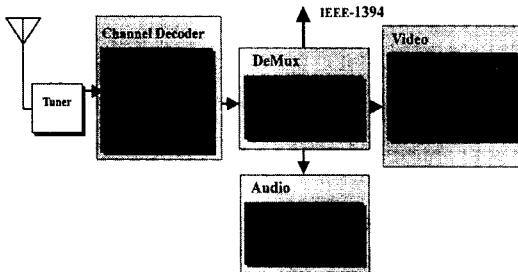
국내의 HDTV 관련 디지털 방송현황을 보면 무궁화 위성을 통하여 방송하기 위한 잠정 위성규격(안)은 1995. 10에 결정하여 일반 영상인 SDTV를 1996년부터 시험방송하고 있다.

지상방송에 대한 디지털 TV방송에 대한 규격은 올해 정통부 주관으로 "디지털 지상 방송 규격"을

결정하고 있으며 위성이나 지상 디지털 TV 매체를 통하여 2002년 한·일 월드컵 축구를 중계 방송할 예정이다.

### III. HDTV 수상기 ASIC 기술개발

HDTV 수상기는 현재 디지털 위성방송을 수신하는 디지털 TV보다 화질과 음질면에서 훨씬 뛰어나고 뿐만 아니라 다양하고 선명한 통신서비스를 제공할 수 있는 등 멀티미디어 시대에 가장 완벽한 제품으로 꼽히기 때문에 현재 멀티미디어 제품



〈그림 1〉 HDTV 수상기 주요 기능 구성도

의 최종 완성품으로 인식되어가고 있다.

HDTV 시스템은 전송된 신호를 채널 decoder를 통해 transport stream신호를 추출하여, 오디오, 비디오 및 기타 데이터 신호를 복원해주는 수신시스템 구성도가 그림 1에 나타내었다. 역다중화기(DeMux)는 송신 측에서 전송을 위해 다중화된 압축영상과 음성 및 부가 데이터를 분리하고 이를 각각의 복호기로 출력하는 기능을 가지며, HDTV

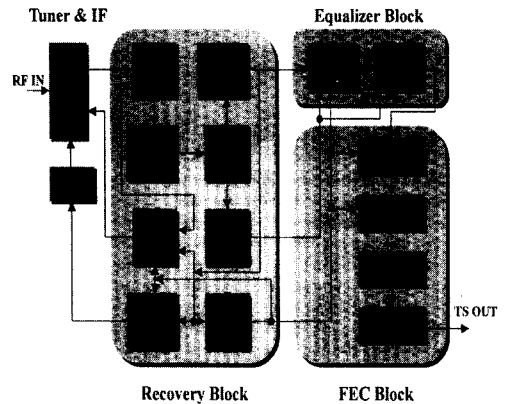
에서 다중화 기능을 통해 실현하는 복수 프로그램의 다중화와 프로그램 가이드와 같은 각 프로그램 관련 정보서비스 및 특정정보의 security 서비스의 제공 및 광고방송 프로그램 삽입기능 등에 대응한다.

#### 1) Channel Decoder

미국의 Zenith 와 AT&T사가 제안한 전송방식으로 8-VSB 수신시스템에서 채용하고 있는 기본적인 파라미터 값은 아래 표1과 같다. 기존의 NTSC 와 같은 채널과 대역폭을 같이 공유하기 때문에 지상파 같은 경우 HDTV를 위해 독자적인 채널 할당에 불필요하다는 이점이 있다.

이러한 수신시스템은 크게 네개의 블록으로 나눌 수가 있다. (튜너 및 IF단, recovery block, equalizer block, FEC block ) 이들 주요 블록별 세부 구조를 아래 그림2에 표시하였다.

Tuner & IF Block : 어느 한 특정 RF채널을 선국하여 IF 주파수대역(41~47 MHz)로 다운시킨후 IF downconverter를 통해 baseband 신호로



〈그림 2〉 8-VSB 수신 주요 구성도

〈표 1〉 8-VSB 전송방식

채널 대역폭	6 MHz	세스먼트 길이	832 심볼
심볼 전송율	10.76 Msymbols/s	세그먼트 동기	4 Symbols/segment
심볼당 비트수	3	프레임 동기	313Segment당1회
격자오류정정부호화	2/3	Payload데이터전송속도	19.28 Mbps
Reed-Solomon부호화	207,187	C/N Threshold	14.9 dB

복원하는 기능을 갖는다. Tuner로 입력되는 RF 신호는 C/N값이 최소 14.9 dB정도에서도 원 신호 복원이 가능한 성능을 가져야 한다.

**Recovery Block** : 입력되는 baseband digital 신호를 가지고 반송파를 복구하고 세그먼트동기를 검출하며, 심볼 타이밍을 복구한다. NTSC 동일 채널 간섭을 제거하는 블록과, tuner & IF블록에서의 이득조정을 위한 AGC신호 출력을 만들어 내는 demodulation기능을 갖는 블록이다.

**Equalizer Block** : 일반적으로 수신측에서 다중경로에 의한 채널 왜곡을 감소시키기 위해 사용하며, GA에서는 많은 탭수를 가진 디지털 필터를 이용하여 구현하도록 권고하고 있다, VSB 시스템에서는 I신호만을 전송하므로 등화기의 구성 및 동작이 하나의 축에서만 이루어 진다. 아울러 equalizer는 위상 왜곡에 대한 복구가 이루어 지지 않으므로 위상 추적기를 통해 위상왜곡을 줄이고 있다.

**FEC Block** : 여기에서는 TCM 복호기와 FEC decoder(deinterleaver, RS decoder, derandomizer)로 구성이 되어 있다. 채널 수신부에서 마지막으로 에러 정정을 하는 블록으로 기본적인 파라미터는 표 1에 나타난 값을 사용하고 있다.

현재까지 VSB 수신부와 관련된 칩셋의 개발 동

향에 대해 살펴본다. 크게 국내외로 구분하여 표 2로 작성하였다.

**2) Demultiplexer의 Program Clock Recovery**

가. Demultiplexer의 Program Clock Recovery 개요

HDTV 역다중화기에서는 패킷 전송을 하게 되는데 비디오/오디오 신호를 전송하는 송신부와 수신부 신호사이에 프레임 속도와 동기가 중요한 역할을 하게 된다. 송신부와 수신부 데이터 전송에 있어서 비디오 관련 신호의 데이터 속도가 빠르기 때문에 송신부와 수신부 사이의 마스터 클럭주파수에 변화가 생기면 buffer의 overflow나 underflow가 발생하여 data의 복원이 어렵게 된다. 이를 해결하기 위해 TS(transport stream) 패킷에 클럭 동기 정보를 담은 PCR(program clock reference), A/V 동기를 위한 PTS (presentation time stamps), DTS(decoding time stamp)를 포함한다. PCR field는 42-bit로 구성되며 이 값은 수신부에 주기적으로 전달된다. 이들 신호와 관련하여 HDTV의 GA규격은 encoding시 사용하는 주파수를 27MHz 중심으로 +/-30ppm의 주파수 범위를 갖도록 하고, PCR값의 수신되는 간격은 최대 0.1초 이내로 하고 있다.

〈표 2〉 국내외 8-VSB Channel Decoder Chip Set 비교

구 분	항 목	칩 수	구 성	제조 공정 ((m)	Package
국 내	LG전자	2	Sync/Eq. + FEC	0.6	160 PQFP 100 PQFP
	삼성전자	2	Demod/FEC + Eq.	0.35 0.6	208 PQFP 144 PQFP
	현대전자	3	Demod. + Equalizer + FEC	0.35 0.6 0.8	208 PQFP 225 PGA 208 PQFP
국 외	Lucent & Mitsubishi	1	Demod/Eq./FEC	0.35	160 MQFP2
	Philips	1	Demod/Eq./FEC	0.35	64 QFP
	기 타	Motorola : One chip으로 98년 말경 발표 예정 Broadcom : ADC및 QAM지원하는 One chip제품을 98년 중순 이후 발표 예정.			

수신부는 DPLL(digital phase-locked-loop) 회로를 이용하여 송신부에서 사용한 주파수를 복구하게 되는데, 수신된 PCR값과 수신부에서 발생한 LPCR(local program clock reference)을 비교하여 encoding시 이용한 주파수와 정밀하게 같은 신호를 복구하여 전송 지연을 일정하게 한다. 복구된 27MHz 시스템 클럭 신호는 오디오/비디오 decoder의 시스템 클럭 및 burst color generation에 적합한 클럭으로 이용한다. 또한 27MHz에 의해 구동되는 42-bit local counter의 값은 33 bit의 base부분과 9-bit extension부분으로 구성되며 33-bit base부분인 STC값은 decoder의 presentation time과 decoding time동기 및 A/V lip sync의 기준 신호값이 된다.

#### 나. DPLL의 동작

수신된 TS 패킷 신호로부터 42-bit wordlength PCR값을 추출하여 PCR register에 저장하고, 이 PCR값이 수신된 시간에 decoder에서 발생한 42-bit LPCR값을 추출하여 LPCR register에 저장한다. 저장된 PCR값과 LPCR값은 서로 비교되어 차이가 계산되어지며 이 차이는 위상 에러이다. Noise나 jitter가 많은 경우 이를 제거하기 위해 디지털 필터로 보내진다. 외부 VCXO는 아날로그 신호에 의해서 조정되므로 필터의 디지털 출력신호를 아날로그 신호로 변환하기 위한 Sigma Delta DAC로 보내진다. Sigma Delta DAC는 입력된 디지털 값에 따라 duty cycle의 변화를 갖는 PWM(pulse width modulation)신호를 발생한다. 이 출력된 신호는 간단한 RC low pass 필터를 거쳐 고주파의 잡음 성분이 제거된 정밀한 아날로그 신호를 발생한다. 이 아날로그 신호는 VCXO의 입력조정전압이며, 입력된 전압 값에 따라 27MHz을 중심으로 한 주파수를 발생한다. VCXO의 출력 27MHz 클럭은 42-bit local counter를 구동하며 local counter는 42-bit의 LPCR값을 발생한다. 이와 같이 DPLL은 수신부에서 매 PCR이 수신될 때마다 LPCR과 비교하여 차이에 해당하는 주파수를 변화시켜 이들 값의 차이를 제거하여 encoding시 사용한 시스템 주파수를 발생한다.

#### 다. KETI DPLL의 특징

42-bit PCR값이 입력되어 PCR register에 저장되며 PCR값이 수신된 시간에 VCXO의 출력 클럭 주파수 27MHz에 작동되는 42-bit local counter의 LPCR값을 LPCR register에 저장된다. 이들 차이는 에러누적방지를 통하여 현재의 차이의 값에서 이전의 값이 감소되어 시스템이 안정되도록 한다. 출력신호는 Sigma Delta DAC에 보내지기 위해 linear interpolation하여 보상한다. 단위 시간당 에러를 구하여 에러를 normalize하고 빠른 lock을 위해 적절한 loop 이득을 보상하는데 이들 계수는 PCR 간격에 따라 H/W적으로 계산하여 해당하는 normalize 및 이득값을 table로 작성하여 곱셈기만으로 구성하므로 계산속도가 빠르다. 적절한 이득이 곱하여진 신호의 값은 Sigma Delta DAC에 입력되어 입력신호보다 아주 높은 주파수의 PWM신호를 출력한다. PWM신호는 1차 RC 필터에 입력되어 고주파 잡음 성분이 제거되어 아날로그 신호로 변환되며 27MHz을 중심주파수로 한 VCXO에 입력되어 입력 값에 해당하는 클럭 주파수를 출력한다. VCXO의 출력신호는 다시 local counter를 구동하며 PCR이 수신될 때마다 loop를 반복하게 되어 encoding시 사용한 시스템 주파수를 합성해낸다.

Digital loop filter를 H/W로 실현하여 host processor에 부하가 없으며 이용과 응용이 편리하다. 33-bit의 STC값을 직접출력 및 I2C bus로도 지원하며, 주파수 출력 범위 27MHz +/- 30ppm이며 0.16초 이하 PCR interval를 지원하며 PCR jamming도 해결한다. DPLL은 응용에 따라 동작과 구조가 다양하며 실현방법 또한 다르다. HDTV 역다중화기에 사용하는 경우 구조는 거의 동일하나 실현방법에 있어서 S/W구현과 H/W구현하여 차이를 보이고 있다. 각 업체들은 LSI logic, C-Cube등은 host processor를 이용하여 S/W로 실현하고 있어 이들의 DPLL을 다른 응용에 이용하고자 할 때 host processor의 사용이 요구되어 가격이나 효율면에서 H/W로 실현한 KETI의 경우보다 떨어진다고 볼 수 있다. C-Cube의 경우 S/W로 실현하기 때문에 host processor를 구동하기 위한 clock을 위해 DPLL을 하나 더 가지고

〈표 3〉 Demultiplexer 비교

비교항목	C-Cube(Avia-DMX)	LSI Logic	Lucent (AV6220)	LG	KETI
PID 처리	32 PID	32 PID	32 PID	32 PID	32 PID
Section Filter	유(F/W)	유(F/W)	유(F/W)	유(F/W)	유(F/W)
DPLL용 Loop Filter 구현	S/W	S/W	S/W	S/W	S/W
Host 부하	크다	크다	크다	크다	크다
Packet Error 처리	유	유	유	유	유
Video Error Code 삽입	무	유	유	유	유
A/V 동기대응	Time Stamp 출력	PES 출력	Time Stamp 출력	Time Stamp 출력	Time Stamp 출력
External DRAM	Max 32Mbit	Max 32Mbit	Max 32Mbit	Max 32Mbit	Max 32Mbit
Queue Control	33 Queue	34 Queue	32 Queue	32 Queue	32 Queue
PES 출력	유(F/W)	무	유(H/W)	유(H/W)	유(H/W)
Pin Package	208 PQFP	208 PQFP	208 PQFP	208 PQFP	208 PQFP
제조 공정	3.3V CMOS	0.5(m,3.3V CMOS)	0.5(m,3.3V CMOS)	0.5(m,3.3V CMOS)	0.5(m,3.3V CMOS)

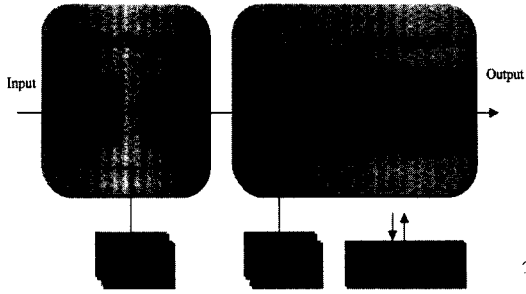
있다. AT&T의 경우 audio decoding의 audio clock을 발생하기 위해 27MHz 시스템 클럭을 입력으로 한 audio clock용 DPLL을 구성하여 5개의 clock을 출력하고 있다. 전기적인 특성은 모두 MPEG2의 규격인 27MHz+/-30ppm의 입력주파수 범위와 0.1초 이하의 PCR간격을 처리하고 있다. 또한 대부분의 회사들은 DPLL을 역다중화에 내장하여 1개의 chip으로 구성하고 있다.

위 표 3에서는 최근 국외의 업체들이 발표한 MPEG-2 demultiplexer 칩의 기본사양을 비교하였다. 이 표에서 알 수 있는 바와 같이 PID는 각 회사 공히 최대 32 개까지 처리가 가능하도록 구성되어있으며, 이는 DVB 규격에서 제시된 PID가 최대 32 개이므로 여기에 대응하기 위한 것이다. 또한 video decoder에서의 error concealment 기능을 지원하기 위한 video error code의 삽입기능도 대부분의 업체에서 채용하고 있으며, Video/Audio ES(elementary stream)를 출력할 경우 A/V 동기를 위해 time stamp의 출력이 가능하도록 구성되어있으나 실제의 경우 PES 출력 형태를 많

이 사용하고 있다. 또한 외부 DRAM은 여러 개의 queue로 할당하여 각 PID의 data를 구분하여 저장할 수 있도록 구성되어있다. 또한 clock recovery를 위한 DPLL의 경우 일반적으로 외부의 host processor 통한 S/W적인 처리를 행하고 있으나 KETI의 경우 H/W로 구성하여 별도의 S/W적인 고려를 필요치 않는 구성으로 되어있다. LSI-Logic과 KETI의 경우 section filtering 기능이 H/W로 구현되어 있어 PID가 동일한 packet에서도 private-section syntax의 table-id나 section-number, version-number등으로 다중화된 data의 filtering이 실시간으로 행해진다.

### 3) Video Decoder 및 Display Processor

ATSC의 HDTV 비디오 시스템 규격(MPEG2 MP@HL)을 만족하며, 모든 GA입력 포맷(18가지)를 디코딩 지원, error concealment지원, 부가기능 지원하는 주요 특징을 갖는 제품이 속속 발표되고 있고, 최적의 메모리 용량과 칩수를 갖는 시스템 ASIC 작업이 가속화 되고 있다. Video decoder/display의 구성도를 아래 그림 3에 표시



〈그림 3〉 Video Decoder 및 display Processor 구성도

한다.

입력은 PES 혹은 ES형태의 비트스트림을 받아서, 출력은 일반적으로 RGB형태로 나오고 있다. 디스플레이 출력은 ATSC 규격에 맞도록 하고 있으며, 1920×1080 해상도에 30 frame/second, interlace/progressive 형태를 지원한다. 국외의 일부 칩 메이커에서는 이런 기능들을 갖는 비디오 처리부를 하나의 초고속 CPU에서 처리할 수 있도록 시도하고 있고 PC 응용 상품으로 개발이 진행 중이다. 국내외의 제품 개발 동향을 표 4에 나타내었다.

HDTV용 칩셋 개발과 더불어 국내외 각사에서는 이를 뒷받침 해줄 수 있는 각종 디스플레이장치가 개발되고 있다. 대형 CRT 형태의 제품과 rear-projection형태로 출시 되고 있고 시스템 개

〈표 4〉 국내외의 Video 및 Display Processor 비교

구 분	항 목	칩 수	구 성	제조 공정 ((m)	Package
국 내	LG전자	2	Video Decoder + VDP	0.6	240 MQFP 304 PQFP
	삼성전자	2	Demod/FEC + Eq.	0.35 0.6	208 PQFP 144 PQFP
	대우전자	2	Video Decoder + Display Ctrl	0.5	240 PQFP 240 PQFP
국 외	기 타	Philips : TRImedia Chip을 이용한 DTV solution 개발중. Lucent & Mitsbishi : 3 chip Video Decoder/display 구현. Thomson(RCA) : VSB IC를 제외한 전체 시스템 개발. Motorola(Sarnoff) : DSP기술을 이용 Format 변환 칩 개발.			

발 업체로는 국내는 삼성전자가 있고 국외로는 Hitachi, JVC, Mitsbishi, Panasonic, Philips, Pioneer, Sharp, Sony, Thomson 등이 있다.

4) Audio Decoder

GA HDTV 시스템은 디지털 오디오 신호의 압축 표준으로서 Dolby 연구소의 Dolby AC-3 를 채택했다. AC-3 는 인간의 청각 특성을 모델화한 심리음향 (psychoacoustic) 모델과 멀티채널 부호화 방식 등을 사용하여 한정된 비트를 내에서도 고음질의 입체 음향 효과를 제공한다.

한국의 고성명 TV를 위한 오디오부 표준은 아직 미정 상태이며, 한국 HDTV 표준방식 연구협력 컨소시엄에서는 MPEG-2 오디오 표준과 Dolby AC-3를 고려 중에 있다. 이에 대한 결정은 국내 및 국외의 관련 기술 수준, 국내 여건, 특허료, 성능 비교 등 여러 쟁점들을 검토하여 이뤄질 것이다. 그러나 현재의 오디오 decoder IC 동향은 단일 칩으로 AC-3와 MPEG-2 오디오를 모두 지원하도록 구현하는 추세이다.

HDTV나 DVD 응용을 위한 Dolby Digital (AC-3) decoder 솔루션에 관해서는 1998년 4월 현재 29가지 IC 구현이 Dolby Laboratories에 의해 승인되었고, 그 이상의 IC들이 개발 중이다. 한국에서는 HDTV ASIC 개발의 일환으로 삼성전자와 현대전자가 각각 개발 중이다. 표5는 국내외 AC-3 오디오 decoder IC 개발 동향을 나타내었다.



〈표 5〉 국내의 AC-3 오디오 decoder 개발 동향

구 분	항 목	특 징	비 고
국내	삼성전자	0.5 $\mu$ m 160-pin PQFP, 5V	MPEG Audio 기능 추가 예정
	현대전자	0.35 $\mu$ m 160-pin PQFP, 3.3V	MPEG Audio 기능 추가 예정
국외	Zoran	ZR38600 100-pin PQFP, 3.3V MPEG-2 Audio 2채널 복호화 가능	
	Fujitsu	MB86342 100-pin QFP, 3.3V	
	Crystal	CS4923 44-pin, 3.3V	
	기타	Motorola, C-Cube, Marantz, ESS, 등	

#### IV. 결 론

'95년부터의 비메모리 반도체 가격 하락으로 인한 국내의 반도체 경기는 최악의 국면을 맞이하고 있으나 당분간 이 흐름은 지속될 전망이며, 경기전반에 걸친 불황으로 새로운 시장의 창출을 기대하고 있다.

선명한 화질과 고품위 오디오의 장점을 지닌 HDTV는 TV의 역사가 흑백에서 컬러 TV로 변화되어 나타난 시장변화 보다도 더 큰 파급효과와 소비자의 구매를 촉발시킬 것으로 기대되고 있으며, 흑백에서 컬러로의 전환이 10년 걸렸음을 감안하면 '99년 4월에 상용방송 예정인 HDTV는 2005년부터 2010년에 시장이 성숙될 것으로 보인다.

디지털 방송의 선결조건은 디지털 TV 시스템의 표준화 및 관련기술 개발뿐만 아니라 효율적인 방송 서비스를 위한 디지털 영상물의 제작, 디지털 방송 기기의 개발 또한 매우 중요하다. 그리고 상업성이 없으면 방송이 실패할 수밖에 없으므로 방송사 및 소비자 모두가 투자 이상의 수익을 얻을 수 있도록 하는 방안이 강구되어야 한다. 이는 광고의 효용성을 고려할 때 방송 초기의 수상기 보급 확대가 중요하다. 즉 방송품질 향상되고 소비자가 선호하도록 수상기 가격을 낮춤으로써 HDTV

방송이 기존의 컬러TV 방송과의 차별성이 부각되어야 하며, 이를 위해서는 HDTV 관련 ASIC, 디스플레이, 방송장비 등의 기술개발이 중요하다.

특히 TR(Technical Round)의 등장으로 기술 특허료 등의 중요성이 갈수록 증가될 국제사회에서 기술 자립이 중요하며, HDTV의 막대한 시장성을 고려할 때 ASIC의 개발은 기반기술을 확보하여 국가경쟁력 제고, 특허료 절감 나아가 특허료 수입으로까지 기대할 수 있다. HDTV 시스템 관련 ASIC 기술개발 및 전송장비 등의 개발을 위해서는 장기적이고 지속적으로 막대한 투자를 하여야 함으로 산업체의 노력뿐만 아니라 정부를 포함한 주변 산업의 범국가적인 공조가 필요하다.

#### 저 자 소 개



董 龍 培

1954년 12월 22일생, 1978년 2월 고려대 전자과 졸(학사), 1981년 2월 KAIST 전기 전자과 졸(석사), 1991년 10월 웨스턴 대 컴퓨터 졸(박사), 1981년 3월~1987년 8월 금오공대 전자과 조교수, 1992년 2월~현재 전자부품 종합기술 연구소 팀장, 주관 심부야: VHDL, System IC 개발