

디지털 TV용 칩 세트

서 철 교*, 박 희 복**, 성 기 덕*, 한 동 일**,
김 진 경**, 고 대 협*, 강 성 호*

*LG 반도체 System IC 사업본부,

**LG전자 Digital Media 연구소

요약문

디지털 TV 방송을 수신하기 위한 디지털 TV 수신기의 핵심 부품을 5개의 IC로 개발하였다. 5개의 칩 세트는 VSB로 변조된 신호를 수신하기 위한 2개의 채널 디코더 IC와 3개의 비디오 신호 처리 IC로 구성되어 있다. VSB 수신용 IC는 Sync 및 Timing 복구와 채널 등화 기능을 수행하는 SyncEq와 전송시의 오류를 정정하는 VSB 채널 디코더로 구성되며, 비디오 신호 처리부는 MPEG2 다중화 방식의 Transport Stream을 디코딩하기 위한 역다중화용 IC와 MPEG2 비디오 압축/신장 규격의 MP@HL의 비트스트림을 디코딩하기 위한 비디오 디코더 및 18가지 비디오 포맷을 단일한 출력 포맷으로 변환하여 주며 OSD 등 디스플레이 기능을 위한 비디오 디스플레이 처리용 IC로 구성되어 있다. 이 칩 세트는 VHDL로 설계되었으며 RTL 시뮬레이션과 하드웨어 Emulator로 시스템 레벨에서 검증되었고 0.6 μ m, TLM, CMOS 공정을 이용하여 제작되었다.

I. 서 론

디지털 TV는 기존의 아날로그 TV와는 달리 비디오 및 오디오 신호를 디지털로 변환하여 전송하기 때문에 전송상의 잡음에 의한 신호의 왜곡 없이 원래 신호를 그대로 수신할 수 있을 뿐만 아니라

비디오 및 오디오 데이터의 압축/신장이 가능하여 같은 대역의 전송 채널에 아날로그 전송방식에 비해 더 많은 양의 데이터를 전송할 수 있어 고 화질의 HDTV 방송도 가능하게 한다. 또한 하나의 채널에 하나 이상의 프로그램을 동시에 전송할 수 있는 잇점이 있다.

이러한 디지털 TV는 60년대 후반부터 연구가 되어져 왔으며 디지털 혁명이 본격화된 80년대 후반부터 디지털 TV 시스템이 구현 가능하게 되었다. 일부의 신호처리를 디지털로 처리하는 일본의 MUSE 방송에 비해 완전 디지털 시스템인 미국의 ATSC(Advanced Television System Committee) 디지털 TV 시스템과 유럽의 DVB규격은 지상파 디지털 TV 시스템의 주류를 이루고 있다.

본 디지털 TV용 칩 세트는 미국의 디지털 TV 규격을 만족하는 디지털 TV 수신용 칩 세트이다. ATSC는 디지털 전송 방식과 디지털 비디오 및 오디오의 압축 신장 방법과 이들 데이터의 다중화 방식에 대한 규격을 정하고 있다. 디지털 전송 방식은 8 VSB를 채택하고 있으며^[1], 비디오 압축 방식은 비디오 신호 처리의 국제 규격인 MPEG2 비디오(ISO13818-2)의 Main Profile @ High Level을 사용한다. 오디오의 압축 방식은 Dolby AC-3의 규격을 채택하고 있으며^[5] 비디오, 오디오 및 부가 정보의 다중화 방식으로 MPEG2 System(ISO13818-1) 규격을 따르고 있다.^[4]

이러한 디지털 TV 수신 시스템은 많은 양의 데이터 처리부와 고속의 화상 처리 능력이 요구되어지며, 이를 위해서는 전용화 된 IC들이 수신 시스템을 구성하는 데 필수적이다. 복잡하고 다양한

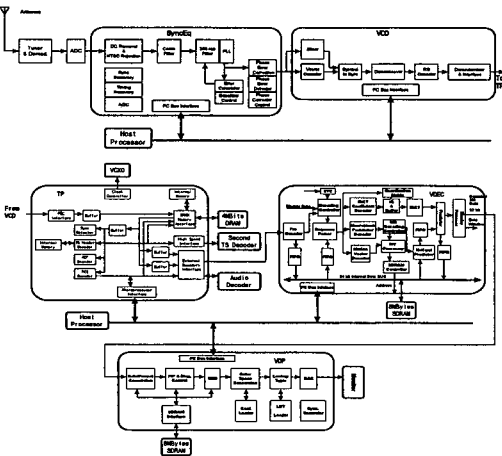
데이터 처리를 위한 시스템을 몇 개의 IC로 집적하기 위해서는 체계적인 설계와 검증 방법이 요구된다. 본 논문에서는 이러한 디지털 TV용 칩 세트의 구성과 설계 및 검증 방법에 대하여 기술하고자 한다.

II. 본 론

1. 시스템 개요

디지털 TV 수신 시스템은 그림 1에서와 같이 구성되어 있다. 안테나로 입력된 R/F신호는 튜너 부에서 채널이 선택된다. 선택된 채널 신호는 VSB 복조 후에 A/D 변환되어 Sync Recovery와 채널 등화기에서 채널 상의 왜곡을 제거한다. 채널 등화기의 출력은 오류 정정을 위한 채널 디코더에 입력되어 전송 채널에서 발생한 오류를 복원하게 된다.

채널 디코더에서 디코딩된 디지털 데이터는 188 바이트 단위의 패킷으로 역 다중화기로 입력된다. 각 패킷들은 역 다중화기에서 패킷의 헤더에 의해 비디오, 오디오 및 부가 정보로 구분되어 비디오 디코더, 오디오 디코더 및 부가 정보 디코더로 출력된다.

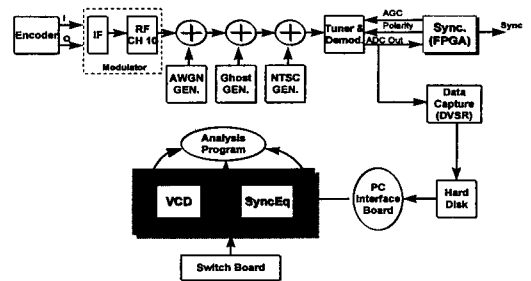


〈그림 1〉 디지털 TV용 칩 세트 구성도

비디오 디코더로 입력된 비디오 비트스트림은 MPEG2 비디오 신장 방법에 의해 비디오 데이터로 복원되며 이때 비디오 비트스트림과 비디오 프레임 데이터를 저장하기 위한 외부 메모리가 사용된다. 복원된 비디오 데이터는 여러 가지 포맷이 가능하므로 이를 한가지 포맷으로 변환하여 디스플레이 장치에 출력하기 위한 포맷 변환 기능을 가진 비디오 디스플레이 처리부로 입력된다. 디스플레이 처리부(VDP)는 입력된 데이터를 출력 포맷에 맞게 변환하며 OSD(On Screen Display) 등의 다양한 디스플레이 기능을 수행한다.

〈표 1〉 ATSC 디지털 TV 규격

항 목	규 격
채널 대역폭	6MHz
Channel Decoding	8-VSB, 16VSB
역 다중화 방식	MPEG2(ISO13818-1) Transport Stream
전송 비트율	19Mbps, 38Mbps
비디오 압축 방식	MPEG2 Video(ISO13818-2) MP @ HL
오디오 압축 방식	Dolby AC-3



〈그림 2〉 VSB2 칩의 하드웨어 에블레이션 구성도

2. SyncEq

SyncEq는 동기 복구부와 채널 등화기로 구성되어 있다. VSB 복조부의 출력이 10비트로 A/D 된 후에 10.76MHz의 심볼 레이트로 입력된다. 입력된 심볼 데이터로부터 DC 오프셋의 제거와 Gain Control과 세그먼트와 프레임 Sync 검출을 통해서 동기 신호와 타이밍 정보가 복원된다. VSB 모드 수신과 NTSC 제거 기능도 수행되며,

고스트에 의한 왜곡을 LMS Based Decision Feedback 등화 기법으로 제거한다. 채널 등화기는 256 탭의 FIR 필터로 구성되어 있고 이중 64 탭은 피이드 포워드 이며 192 탭은 피이드 백이다. 하드웨어 최적화를 위해 심볼 클럭 보다 4배 빠른 클럭으로 사용하였으며 이를 위한 4채 PLL을 포함하고 있다.

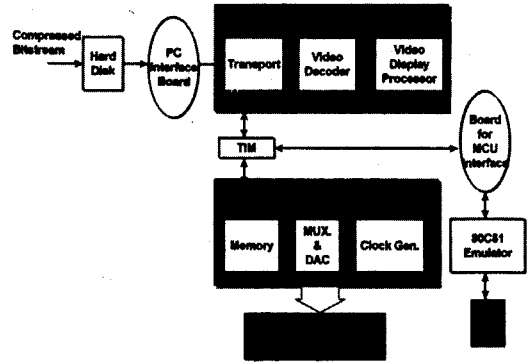
3. VCD

VSB 채널 디코더는 8 또는 16 VSB를 위한 오류 정정 복호기로 구성되어 있다. Trellis 와 Reed—Solomon(RS) 디코딩이 이 칩의 주요 기능이며 trellis 디코더는 12 지연 플립플롭 구조로 구성되었고 RS 디코더는 (208,188) 코드를 사용한다. 또한 이 칩은 심볼 바이트 변환, Convolutional Deinterleaver, Derandomizer, 및 역다중화기 인터페이스부를 내장하고 있다.

4. 역다중화기

역다중화기는 MPEG2의 Transport Stream역 다중화 방식을 따른다. 188바이트가 하나의 패킷을 구성하며 각 패킷에는 PID(Packet ID)를 가지고 있어 이에 따라 비디오, 오디오 및 부가 정보의 패킷을 구분하며 각각의 디코더로 출력하게 된다.

채널 디코더로부터 입력된 트랜스포트 스트림은 동기 검출부(Sync. Detector)에서 각 패킷의

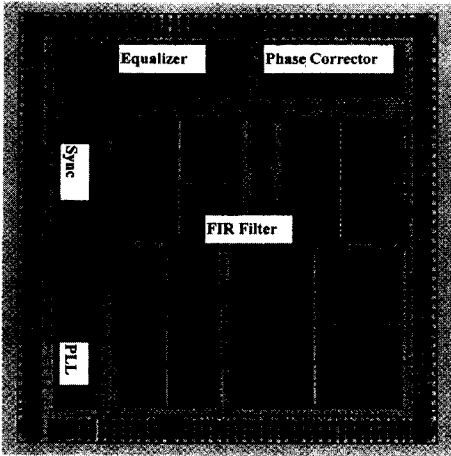


〈그림 3〉 비디오 3 칩의 하드웨어 에뮬레이션 구성도

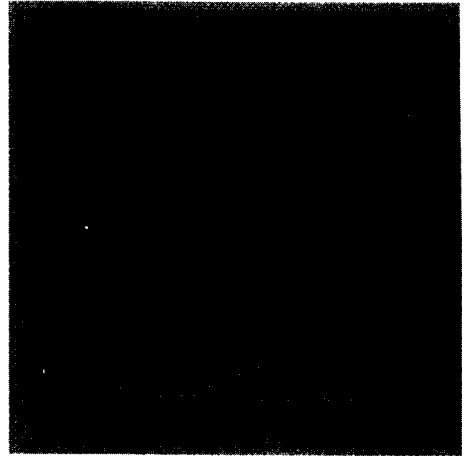
Sync 바이트를 검출하고 선택된 PID에 해당하는 패킷을 비디오 및 오디오 디코더로 출력한다. 트랜스포트 스트림에는 시스템의 클럭을 복원하기 위한 정보인 PCR(Program Clock Reference)가 포함되어 있다. PCR을 검출하고 이 정보를 이용하여 칩 외부의 VCXO를 제어해 주는 PWM (Pulse Width Modulation) 신호를 출력하여 27MHz의 시스템 클럭을 복원한다. 부가 데이터 및 시스템의 제어에 필요한 데이터의 디코딩은 외부의 마이크로 프로세서가 수행할 수 있도록 마이크로 프로세서 인터페이스를 두었으며 비디오 및 오디오 비트스트림을 일시 저장하고 시스템에 필요한 정보를 저장하기 위한 DRAM 인터페이스를 두었다.

〈표 2〉 역다중화기 규격

항 목	규 격
동작 주파수	27MHz ~30MHz
입력	MPEG2 (ISO13818-1) system Transport Stream, Serial 또는 Parallel
최대 입력 비트율	60Mbps
동시 선택 가능한 PID수	16
호스트 인터페이스	16bit parallel
출력	Video PES 또는 ES
	Audio 1
	Audio 2
	Data



〈그림 4〉 SyncEq 칩의 Layout



〈그림 6〉 TP칩의 Layout

5. 비디오 디코더

비디오 디코더는 압축된 비트스트림을 디코딩하여 원래의 비디오 데이터로 복원한다. 입력된 비디오 비트스트림은 비트스트림 버퍼에 일시 저장된다. 비트스트림 버퍼는 외부 SDRAM(Synchronous DRAM)에 10Mbits의 영역으로 설정되어 있으며 FIFO(First In First Out) 메모리로 동작되도록 제어 된다. 가변장 부호 디코더(VLD)는 비디오 비트스트림을 디코딩하여 디코딩에 필요한 파라미터와 양자화된 IDCT계수 및 움직임 벡터를 출력한다. VLD로 부터 출력된 양자화 DCT계수는

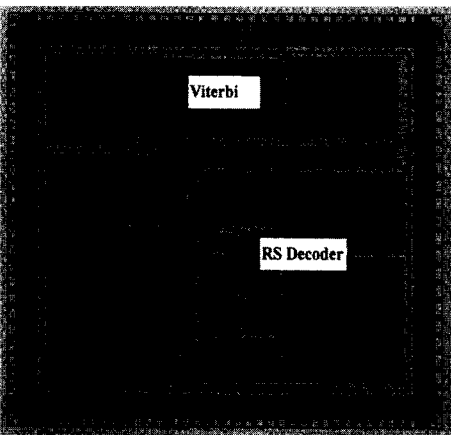
역양자화(Inverse Quanti-zation)부에서 양자화 레벨과 가중치 매트릭스(Weight Matrix)를 곱하여 역양자화 된 부로 입력된다.

움직임 벡터는 움직임 보상(Motion Compensation)부에 입력되어 움직임 보상에 필요한 블록을 프레임 메모리로부터 읽어 반화소 보간 후 IDCT의 출력과 더해지는 과정을 거쳐 복원된 비디오 데이터는 프레임 메모리에 저장되고 디스플레이 처리부 (VDP)로 출력된다.

비디오 디코더는 MPEG2 MP @ HL의 포맷을 디코딩 하며 최대 비디오 포맷은 1920x1088 60 fields/sec,로서 이는 94Mbytes/sec.의 처리 속도를 요구한다. 이를 위해 VLD를 제외한 모든 블록은 병렬로 처리된다.

IDCT는 2-D 8x8 IDCT로서 계수의 그룹 Symmetric 특성을 이용하여 구현 하였고 곱셈기의 구성은 Multibit 코딩 알고리즘을 제안하여 고속의 곱셈기를 구현하였다.^[2]

외부의 SDRAM은 4개의 16x1M SDRAM을 사용하여 64bits의 데이터 버스를 통하여 81MHz 클럭을 사용하여 메모리 대역폭을 크게 하였다. SDRAM은 비디오 비트스트림 버퍼와 움직임 보상을 위한 두개의 프레임을 저장하는데 사용된다. 메모리 대역폭을 향상 시키기 위해 프레임 메모리의 저장 단위는 매크로블록(Macroblock)단위로



〈그림 5〉 VCD 칩의 Layout

저장 하였고 SDRAM의 두개의 Bank를 인터리빙 방식으로 사용하였다.^[3]

6. VDP

비디오 디코더에서 복원된 비디오 데이터는 디스플레이 장치로 출력되기 위해 변환되는데 YcbCr 4:2:0으로 디코딩된 비디오 데이터를 RGB 4:4:4로 변환하여 출력한다. 또한 다양한 포맷의 비디오 프레임을 단일한 포맷으로 변환시켜주는 포맷 변환부를 포함하고 있다. VDP가 지원하는 비디오 포맷은 표3에 나타나 있다.

〈표 3〉 VDP 입력 포맷

H size	V size	Aspect Ratio	Frame Rate
1920	1080	1:1	60I, 30P, 24P
1280	720	1:1	60P, 30P, 24P
720	480	16:9 또는 4:3	60I, 60P, 30P, 24P
640	480	4:3	60I, 60P, 30P, 24P

표 3의 포맷들은 1920×1080 60fields/sec.의 비월주사 방식의 디스플레이 포맷으로 변환되어 출력된다. VDP는 그밖에도 OSD 및 NTSC/VGA 인터페이스를 제공하고 PIP 기능도 수행 한다. 또한 사용자에게 의해 설정 가능한 LUT(Look Up Table)을 내장하고 있으며 호스트 인터페이스를 위한 I²C 인터페이스부를 가지고 있다.

VDP를 위한 외부 메모리로 4개의 16×1M SDRAM을 병렬로 연결하여 64bit 데이터로 74.25MHz의 디스플레이 클럭으로 인터페이스 한다. 외부 메모리 영역은 두개의 프레임 메모리와 OSD, PIP 메모리로 사용된다. VDP는 비디오 디코더와 상호 작용하여 24Hz 필름 모드의 비디오 데이터를 60 Hz 로 변환하는 프레임 을 변환도 수행한다.

7. 설계 및 검증

본 디지털 TV용 칩 세트는 Top Down 방식으로 설계되었다. 설계 초기 단계에서 알고리즘 개발을 위해 C 프로그램 과 SPW등을 사용하였다. 채

널 디코더의 Equalization 방법 및 성능 대비 하드웨어 최적화를 위한 알고리즘 개발을 위하여 필터의 Tab수 및 계수를 결정하기 위해 사용되었고 역다중화기 및 비디오 디코더의 신호처리를 위한 모델을 C 언어로 프로그램 하였다. 또한 VDP의 포맷 변환 시 화질 열화를 감소 시키기 위한 필터의 설계 및 화질 평가를 위하여 사용되었다.

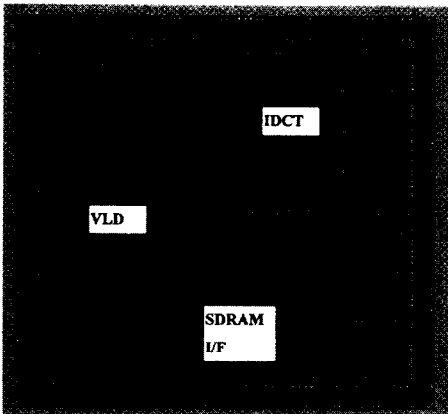
C 프로그램으로 기능 및 성능을 검증한 후 하드웨어 아키텍처를 설계하였다. 시스템의 기능을 적절한 기능 블록으로 나누어 몇 개의 칩에 할당하고 실제 하드웨어의 처리 속도 및 메모리 대역폭에 맞게 하드웨어 아키텍처를 결정하였다. 여기서 동작 주파수, 내부 메모리 양, 메모리 인터페이스 방법등이 결정되며 각 칩마다 기능이 정의 되고 칩간의 인터페이스가 정해졌다.

하드웨어 아키텍처가 정해진 후 이를 토대로 하여 하드웨어를 VHDL로 설계하였다. VHDL로 설계한 하드웨어는 VHDL 시뮬레이션의 결과를 C 모델의 결과와 비교하여 검증하였다. VHDL 시뮬레이션은 C 프로그램에 비하여 속도가 매우 느리므로 비디오 디코더와 같이 다양한 비트스트림에 대한 검증에 소요되는 시간이 매우 크므로 이를 해결하기 위하여 하드웨어 에뮬레이터를 사용하였다. 또한 칩 세트로 구성되는 여러 개의 칩을 동시에 설계함에 있어 칩 세트의 통합된 기능의 검증은 성공적인 개발을 위해서 매우 중요한 요소이며 이를 일반적인 시뮬레이션으로 수행하는 것은 거의 불가능에 가까운 일이므로 디지털 TV 용 칩 세트의 개발에서는 하드웨어 에뮬레이터를 사용하여 보다 완벽히 기능을 검증하고자 하였고 이를 통해 1차 제작된 칩의 성공적인 동작을 확인할 수 있었다.

하드웨어 에뮬레이터는 프로그램 가능한 FPGA 들로 구성되어 있어 실제의 하드웨어가 동작하듯이 동작하며 속도도 실제 하드웨어 속도에 가깝게 처리 할 수 있어 많은 양의 시뮬레이션이 요구되어지는 큰 시스템 칩의 검증에 적합하다. 디지털 TV용 칩 세트에 대한 하드웨어 에뮬레이션은 VSB 2 칩과 비디오 3 칩에 대하여 따로 이루어졌다.

VSB 2 칩에 대한 하드웨어 에뮬레이션은 그림 7에서와 같이 채널에서 여러가지 잡음이 섞인 신호를 저장한 후 PC를 통하여 2개의 VSB 칩이 프로그램된 하드웨어 에뮬레이터에 입력하여 그 출력을 분석하여 검증하였다.

역다중화기와 비디오 디코더와 VDP는 함께 하드웨어 에뮬레이터에 프로그램되고 검증 되었다. 하드웨어 에뮬레이터의 입력은 트랜스포트 스트림으로 PC로 부터 입력되고 출력은 외부에 디스플레이 버퍼에 일시 저장 되었다가 실시간으로 디스플레이 장치에 출력되어 이미지를 보면서 검증하고 또한 출력 데이터를 저장한 후 C 모델의 결과



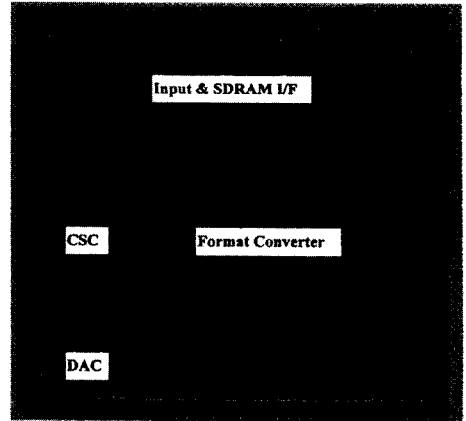
(그림 7) 비디오 디코더 칩의 Layout

와 비교하여 검증하였다.

또한 외부의 SDRAM 과 호스트 인터페이스는 실제 하드웨어로 구성하여 연결하였다. 비디오 에

(표 4) 칩 세트 특성

Functions	VSB decoding		Video decoding		
	SyncEq	VCD	TP	VDEC	VDP
Technology	0.6u CMOS, TLM				
VDD	3.3V				
Die Size	11.9 * 11.9	10.1 * 8.7	6.6 * 6.4	12.7 * 12.1	14 * 14
Gate Count	220K	200K	50K	250K	470K
Clock	10.76M	10.76M	27M	54M,81M	54M,65M,75M
Power	2100 mW	500mW	300mW	1700mW	3300mW
Package	160 HQFP	100 MQFP	176 TQFP	240 HQFP	304 QFP



(그림 8) VDP 칩의 Layout

뮬레이션을 위한 에뮬레이터의 동작 주파수는 600KHz로 실제보다 128분의 1로 동작하지만 VHDL 시뮬레이션 보다는 훨씬 빠르기 때문에 짧은 시간내에 다양한 검증을 할 수 있었다.

III. 결 론

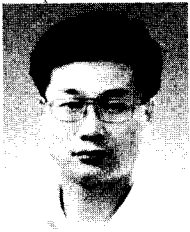
디지털 TV용 칩세트가 5개의 칩으로 설계되어 0.6 um 트리플 메탈 CMOS 공정으로 제조 되었으며 Test 보드에서 이 칩 세트의 동작을 확인하였다. 표 4는 각 칩의 설계 결과를 나타내고 있다. 그림 4에서 8까지는 각 칩의 Layout을 나타낸다. 현재 이 칩세트는 HDTV 세트를 위해 사용중이다.

참 고 문 헌

[1] United States Advanced Television Systems Committee, "ATSC Digital Television Standard".
 [2] J R Choi, et. al., "A 400 MPixels/s IDCT for HDTV by Multibit Coding and Group Symmetry", IEEE International Solid-State Circuits Conference, pp. 262-263, 1997.
 [3] M Winzker, et. al., "Architecture and

Memory Requirements for stand-alone and hierarchical MPEG2 HDTV-Decoders with Synchronous DRAMs", International Symposium on Circuits and Systems, pp. 609-612, 1995.
 [4] ISO/IEC 13818-1: "Generic Coding of Moving Pictures and Associated Audio : Systems",1994.
 [5] ISO/IEC 13818-2: "Generic Coding of Moving Pictures and Associated Audio: Video",1994.

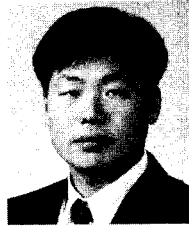
저 자 소 개



徐 喆 德

1963년 1월 2일생, 1984년 2월 부산대학교 전기공학과 졸업(학사), 1986년 2월 부산대학교 대학원 전자공학과 공학석사, 1986년 1월~현재 LG반도체 System IC 설계, 책임 연구원, 주관심분야:

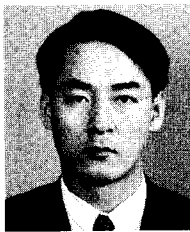
Digital TV VLSI 구현, VLSI 설계기법



成 基 德

1958년 11월 18일생, 1985년 2월 단국대학교 전자공학과 졸업(학사), 1990년 1월~1992년 9월 금성일렉트론, 한국형 문자다중(Teletext)TV용 Full Custom IC 개발, 1995년 2월~1997년 6월 LG종합

기술원, HDTV VSB Channel Decoder ASIC 개발, 1997년 7월~현재 LG 반도체 System IC 설계 책임연구원, DTV VSB Decoder 1Chip 개발, 주관심 분야: HDTV 전송신호 처리, ASIC 설계기술



朴 熙 福

1960년 4월 6일생, 1983년 2월 한국항공대학교 통신공학과 졸업(학사), 1985년 2월 서울대학교 대학원 전자공학과 공학석사, 1992년 9월 서울대학교 대학원 전자공학과 공학박사, 1984년 12월

~1985년 10월 금성사 중앙연구소, 북미향 Teletext 디코더 개발, 1987년 2월~1988년 10월 금성사 중앙연구소, 디지털 Double Scan TV 개발, 1992년 9월~현재 LG전자 디지털 미디어 연구소 DTV 프로토타입 시스템 및 칩세트 개발, 주관심 분야: 영상신호 처리, 시스템 ASIC 구현



韓 東 一

1966년 2월 23일생, 1988년 2월 고려대학교 전자전산공학과, 1990년 2월 KAIST 공학석사, 1995년 3월 KAIST 공학박사, 1988년 2월~현재 LG 전자 디지털 미디어 연구소 선임연구원 주관심 분야:

영상처리, HDTV, ASIC 설계

저자 소개



金 振 經

1968년 1월 12일, 1990년 2월 연세대학교 전기공학과, 1992년 2월 KAIST 공학석사, 1992년 2월~현재 LG 전자 디지털 미디어 연구소 선임연구원



高 大 協

1965년 9월 30일생 1989년 2월 서울대학교 전자공학과 졸업(학사), 1998년 2월 서울대학교 대학원 전자공학과 공학석사, 1993년 1월~1997년 12월 LG종합기술원 선임연구원, 1998년 1월~현재

LG 반도체 선임연구원, 주관심 분야: Design Automation, Error Correction



姜 聲 虎

1950년 2월 20일생, 1976년 9월~1981년 6월 스텐포드 대학원 전자공학(박사), 1975년 5월~1976년 9월 스텐포드 대학원 전자공학(석사), 1968년 3월~1972년 1월 서울대학교 전자공학(학사), 1998

년 3월~현재 LG반도체 System IC사업본부장 전무이사, 1992년 10월~1998년 2월 LG전자기술원 Innovation Center 연구위원(상무), 1990년 3월~1992년 9월 금성일렉트론 3/5연구실 이사, 1985년 2월~1990년 2월 GS-TECH 수석부장, 1983년 3월~1985년 1월 SILVARR-LISCO CAD매니저, 1981년 6월~1989년 1월 HEWLETT PACKARD STAFF 주관심 분야: System Design & ASIC