

## W-CDMA 방식 기저대역 MODEM Chip Set 아키텍처 구현 연구

서민호, 서승모  
(주)씨엔에스테크놀로지

### I. 서론

현재 전세계적으로 전화 가입자망은 주로 유선으로 구축되어 있다. 그러나 중남미, 동남아시아, 중국 등의 후진국과 일부 선진국을 중심으로 무선을 이용한 가입자 망, 즉 WLL(Wireless Local Loop)을 구축하는 작업이 활발히 진행 중이다. WLL은 경제적인 면에서 본다면 기존의 유선망보다 20% ~ 50%이상의 경제적 이익이 있다. 또한 망의 구축이 용이하여 기본 시스템 구축에 대한 기술력이 확보되면 이를 이용하여 실제 망을 구축하고 운용하는데 기존의 유선망보다 기간과 비용이 훨씬 적게 든다. 또, 고속 데이터 통신을 제공함으로써 현재 ISDN망의 완전한 구축이 이루어지지 못한 상황에서 사용자들에게 고속 데이터 통신을 제공해 줄 수 있다. 또한 향후 Handover와 Roaming의 기능추가로 이동성이 확보된다면, IMT2000의 진입을 위한 가장 빠른 지름길로 볼 수 있다. 이러한 이유들로 세계의 많은 통신 업체들이 WLL 상업화에 참여하고 있다. 미국의 Lucent Technology, IDC, 일본의 NTT 도쿄모, 유럽의 Ericson, Giemens 등이 W-CDMA(Wideband Code Division Multiple Access) 기술을 이용한 WLL 시스템을 연구 중이다. 현재 국내에서는 데이콤, 한국통신, ETRI에서 한국의 독자적인 WLL 표준안을 제안하였고, 각 통신 업체들을 중심으로 제안된 표준안의 WLL 시스템을 개발 중이다. 본 논문에서는 이 표준안 내용을 만족시키는 기저대역 모뎀 칩의 아키텍처 및 구현에

대해서 논한다. 본 논문은 W-CDMA(Wideband Code Division Multiple Access) 방식 WLL용 고정국(RIU: Radio Interface Unit) 및 기지국(RP: Radio Port)을 위한 기저대역(Baseband) MODEM ASIC 칩의 아키텍처를 제안한다. 제안된 Chip Set은 TTA를 중심으로 한국전자통신연구원, 한국통신 및 데이콤이 공동 개발한 "Wireless Local Loop을 위한 무선 접속 규격"을 지원한다. 제안하는 기저대역 MODEM은 다원접속 방식으로 직접 시퀀스 대역 확산 방식인 W-CDMA를 채택하고 있으며, 통화(Traffic) Channel은 8K, 16K, 32K, 64K, 80K, 144Kbps의 채널 비트 전송률을 갖고, 확산 코드 발생률은 8.192Mcps, 채널 당 대역폭은 10MHz로써 144Kbps인 경우 64의 확산비를 갖는다. 또한 신호 부채널(Signaling Channel)을 통하여 제어 정보를 전송한다. 채널 코딩으로는 부호율 1/2, 구속장 길이 7혹은 9인 콘볼루션 코딩 및 Block Interleaving을 수행한다. 역방향 링크는 QPSK, BPSK 채널 변조를 수행하며, 순방향 링크는 QPSK 채널 변조를 수행한다. 전력 제어는 순방향과 역 방향의 closed loop 전력 제어를 수행한다. WLL의 Channel구조는 역 방향 링크를 위한 Pilot/Access/Traffic/PPCS 채널의 변조 구조와 순방향 링크의 Pilot/ Sync/ Paging/ Traffic/PCS 채널을 위한 구조로 구성되어있다. 제안된 기저대역 MODEM ASIC칩은 단말기용 Modem이 35만 Gate, 기지국용 Modem이 38만 Gate로 구성되어 있다. 현재 상용 System을 제작하여 무선 시험 환경하에서 기본 동작 확인은 순방향과 역방

향 Link에 대하여 동작 검증이 완료된 상태이며 성능 평가 작업을 진행 중에 있다. 제안하는 WLL 기저대역 모뎀은 크게 변조부, 복조부로 구성되어 있다. 변조부는 data 입력 buffer, convolutional encoder, block interleaver, Hadamard/PN generator, FIR pulse shaping 필터 등으로 구성되어 있다. 복조부는 Searcher, Demodulation Finger, Combiner, Deinterleaver 및 dual viterbi decoder로 구성되어 있다. 각각의 Finger는 독립된 time tracking loop, data demodulator, frequency tracking, signal scaling circuits, power control, signal reference tracking 지원 block으로 구성된다. 기저국과 고정국 Modem은 각각 순방향 Link와 역방향 Link의 Channel구조의 비대칭 및 Channel특성의 차이에 따라 기저대역 Modem의 구조도 서로 다르지만 전체적으로 보아 기능적인 면에서 보았을 때 서로 유사하여 서로 공유하는 Block이 많다. 따라서 본 논문에서는 고정국 Modem을 중심으로 2장에서 설명하고, 기저국 Modem의 특징은 3장에서 설명하도록 한다. 최종 결론은 4장에서 정리하였다.

## II. RIU MODEM ARCHITECTURE

본 장에서는 제안하는 RIU용 기저대역 모뎀 칩의 아키텍처를 설명한다. 제안하는 모뎀은 크게 역방향 채널 변조부와 순방향 링크 채널 복조부로 나뉜다. 설계한 RIU용 기저대역 모뎀의 전체 구조는 그림 1과 같고, 이 구조는 다음과 같은 주요 설계 특성을 갖는다.

WLL을 위한 TTA 규격 중 10Mhz Bandwidth에 따른 동작을 지원함.

Forward Link : Pilot / Sync / Paging / Traffic / PCS Channel 지원

Reverse Link : Pilot / Access / Traffic / PPCS Channel 지원

Traffic Data Rate : 8K / 16K / 32K / 64K / 80K / 144K 지원

5msec단위의 Traffic Channel Interleaving/Deinterleaving

20msec단위의 Control Channel Interleaving/Deinterleaving

Convolution Encoding : R=1/2, K=9 or K=7

Dual Viterbi Decoding for Channel Decoding

Rake Receiver For Multi-path fading

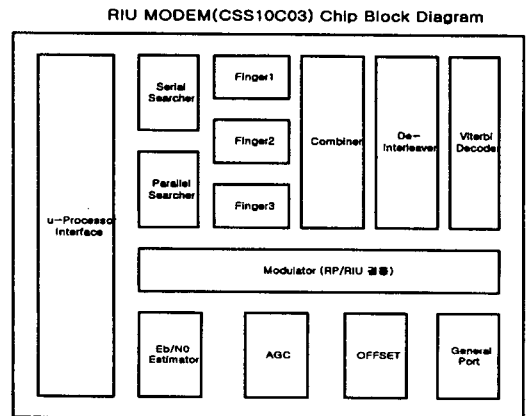
Dual Searcher for fast Initial Acquisition & efficient searching.

Operation Voltage : 5V

Main System Clock : 8.192Mhz \* 4 = 32.768Mhz

### 1. RIU 변조부

RIU용 변조부는 기저국에 동기하여 데이터를



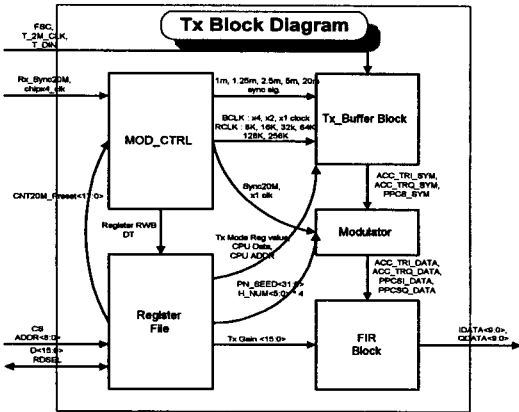
〈그림 1〉 RIU MODEM 전체 구조

송신한다. 그림2는 RIU용 변조부의 구조이다. 송신 채널은 Pilot 채널, Access 채널, PPCS 채널 그리고, Traffic 채널로 구성되며, PPCS 채널은 Pilot 부채널, Power Control 부채널, Reserved Signal 부채널 (Control 부채널), Signaling 부채널로 구성된다. PPCS 채널과 Traffic 채널은 동시에 전송된다.

송신할 데이터는 기저국에 동기된 20msec 기준 시각에 정렬되고, Access, Signaling, Traffic 채널 데이터는 Convolutional Encoding(K=7 or 9)을 거친 후, interleaving 후에 반복되어, 128 ksp/s로 전송된다. Singaling 및 Access 채널의 경우, convolutional encoding이 20msec 단위로 이루어지며 frame 모드로 동작된다. Traffic 채널의

convolutional encoding은 continuous 모드로 동작하며, interleaving은 5 msec 단위로 이루어진다. 128ksps의 심볼 데이터는 각각의 Hadamard code로 4진 대역 확산되며, 232 PN code 중 할당된 20msec shorten code로 변조된 후, bandpass filter에 의해 필터링된 후, 전송 gain이 곱하여진 후 전송된다.

2. RIU 복조부

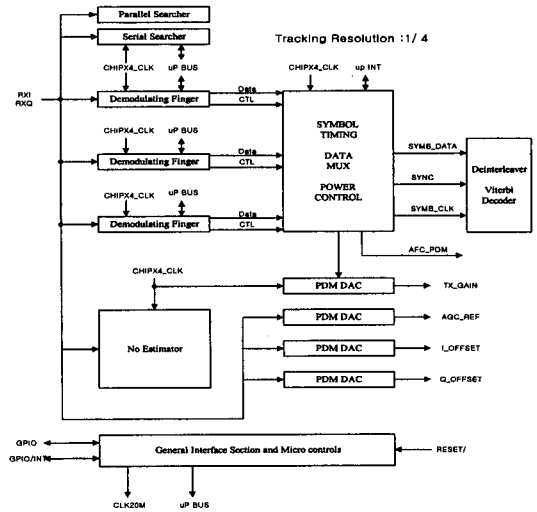


(그림 2) RIU 변조부 전체 구조

제안된 RIU용 복조부는 그림 3과 같이 두 개의 Searcher(serial, parallel type), 3개의 Finger, AFC 및 AGC 조절을 위한 블럭, CPU 인터페이스 회로, Eb/No Estimation을 위한 No Estimator, Traffic 과 Control Channel을 위한 Deinterleaver/Viterbi Decoder로 구성된다. 다음으로 각각의 블럭들의 기능을 설명한다.

3. Serial / Parallel Searcher

CDMA 방식에서의 초기동기 획득(Acquisition)은 송신 단의 PN Sequence와 수신 단의 Sequence를 1/2 혹은 1칩 이내로 맞춰주는 것을 의미한다. 현재 대표적인 초기동기 알고리즘(Searcher 알고리즘)으로는 Serial Searcher, Matched Filter를 이용한 Parallel Searcher, RASE(Rapid Acquisition by Sequential Estimation)등이 있다.



(그림 3) RIU 복조부 구조

다음은 각각의 알고리즘에 대한 개요이다.

- Serial Searcher

Serial Searcher는 정해진 chip 간격으로 시퀀스를 이동시키면서 송신단과 수신단의 Sequence가 1칩이내 delay를 갖게 맞추는 방식이다. 이 경우 PN code에서의 Energy계산을 하기 위하여 수십-수백 Chip Clock구간의 Correlation & Integration이 필요하게 되어 Searching시간이 많이 필요하나 필요 Gate수는 매우 작다.

- Matched Filter 방식

Matched Filter 방식은 적분구간에 해당하는 Sequence를 저장하고 있고, 수신되는 데이터를 적분구간에 해당하는 양만큼 저장하여 Sequence와 데이터간의 Correlation Energy를 구한다. Sequence열은 고정되지만, 데이터열은 FIFO 방식으로 인가되게 된다. 따라서 매 Chip Cycle마다 Correlation Energy를 구할 수 있다. 따라서 searching시간은 매우 짧게 되지만 serial searcher에 비하여 Gate수가 매우 크지게 된다.

- RASE(Rapid Acquisition Sequential Estimator)

수신된 데이터로부터 송신단의 PN Sequence를 만들고, 수신단의 PN Sequence와의 Delay값을 계산한다. 이 delay값은 PN Sequence의 Chara-

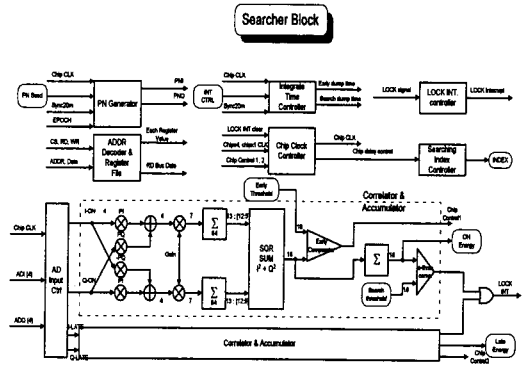
cteristic Matrix와의 복잡한 Matrix 연산을 통해 이루어진다. (참고 : 자세한 내용은 U.S. Patent 4, 649,549 )

(1) Serial Searcher

RIU Modem내의 Serial Searcher block은 그림 4에서와 같이 Correlator & Accumulator와 이의 제어를 위한 Control block으로 구성된다. 1/2 chip searching을 수행하기 위하여 A/D 입력 데이터는 1/2 chip 간격으로 제어되어 On Correlator와 Late Correlator에 입력된다. 초기에는 EPOCH 신호에 의해 초기 PN Seed (I & Q channel) 값이 loading되며, 이후부터 searching을 시작한다. 제 1 적분 구간인 64 /128/196/256 chip energy 적분 값을 early threshold와 비교하여, 기준치 이하의 경우에는 1 chip delay후에 제 1 적분을 계속 진행한다. Early threshold보다 큰 energy를 갖는 경우에는 제 1 적분구간의 n배 큰 적분 구간동안 제 2 적분을 실시한다. 제 2 적분에서 계산된 energy가 searching threshold보다 적은 경우에는, 1 chip delay 후에 제 1 적분으로 전환한다. 제 2 적분에서 계산된 energy가 searching threshold보다 큰 경우에는 LOCK(동기 획득) interrupt가 발생하며, interrupt가 CPU에 의해 처리될 때까지 chip deletion없이 현재의 상태에 머무른다. CPU는 LOCK interrupt시 기저대역 모뎀 칩으로부터 LOCK의 energy와 position 정보를 획득하여, 이를 FINGER BLOCK에 할당할 수 있다. CPU로부터 LOCK interrupt에 대한 처리가 끝나면, 현재의 위치에서 1 chip delay 후에 제 1 적분으로 전환한다. Integrate time controller는 제 1 적분 구간과 제 2 적분 구간의 크기를 제어하며, 이는 ASIC 내부 register를 제어하여 변환이 가능하게 구현하였다. Chip clock controller는 chipx1 clock을 입력으로 하여, Correlator로부터의 chip control 신호를 받아 clock을 control한다. 또한 LOCK interrupt가 발생한 후에는 자연스럽게 동작을 정지하며, LOCK interrupt가 clear될 때 1 chip delay와 함께 동작을 재개한다. Searching Index controller는 chip clock controller로부터의 1 chip delay 신호에 의

해 delay된 chip 수를 계산하여 현재 searcher의 위치를 결정한다.

(2) 왜 WLL에서는 Parallel Searcher가 필요한가?



〈그림 4〉 Serial Searcher 블럭 구성도

1) 국내 표준 WLL규격 대 IS-95 규격

WLL 표준안에서 기지국은 비동기 방식으로 각 기지국 서로 다른 PN Code Seed를 사용한다. 즉 기지국 Seed 할당에서 순방향 채널의 4진 대역확산은 서로 다른 I, Q Channel 시퀀스를 사용한다. 두 시퀀스는 모두 232-1 길이의 PN 시퀀스 중 20 msec 길이만을 사용하는 단축시퀀스이며, 각 기지국마다 고유의 seed를 갖는다. 또한, 31개의 0이 발생된 후에 0을 삽입함으로써, 32개의 0이 연속되는 구간을 가지며, 주기가 232이 된다. 각 기지국이 가질 수 있는 seed는 PN코드 발생기의 출력 값이 32개의 0이 연속된 다음 1의 값을 갖는 칩이 발생하는 순간을 기준 시각으로 20msec의 배수 만큼 떨어진 시각에서의 32 비트 PN 코드 값이다.

IS-95 : 각각의 기지국들이 64 칩의 Offset을 갖고 배치되어 있으며, 이들 기지국간의 동기는 GPS를 이용하는 각 각 시각 정렬 된다.

2) Serial Searcher를 사용할 경우 초기 동기 획득 시간

WLL에서 Serial Searcher를 사용할 경우, 7 cell의 기지국들만을 찾는다고 해도 다음과 같은 동기 획득 시간이 소요되기에 Parallel Searcher

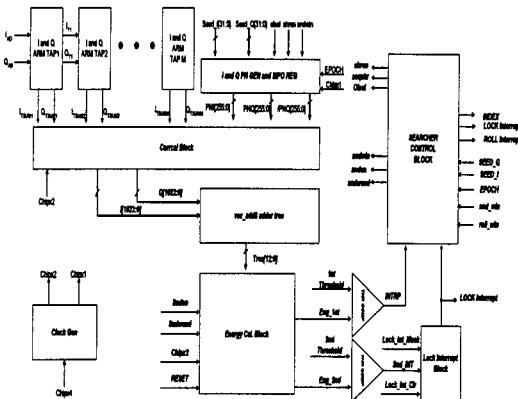
를 사용하여 초기 동기 획득 시간을 줄여야만 한다. 찾고자 하는 PN Code의 주기가 T이고 1 chip index Energy Correlation Time이 C이면 1개의 PN Code를 Full Searching하는 시간은 T\*C의 시간이 소요 된다.

3) Matched Filter 방식

Matched Filter는 매 chip duration 마다 하나의 Index에 대한 Correlation Value를 계산하기에 Serial Searcher보다 1/C배 만큼 Searching시간이 단축된다. 즉 찾고자 하는 PN Code의 주기가 T이면 Searching시간 T의 시간만 필요하다. 즉, Matched Filter 방식은 Serial Searcher의 적분구간 값에 비례하여 빨리 동기를 획득할 수 있게 된다.

(단, Verification 시간과 False Alarm 및 missing probability에 의한 Searching 시간은 제외했음)

(3) RP, RIU 공용 HIGH SPEED SEARCHER BLOCK



<그림 5> Matched Filter를 이용한 Searcher 전체 구성도

다음과 같은 구성요소를 갖으며 이들로 구성된 전체 블록도는 위 그림과 같다.

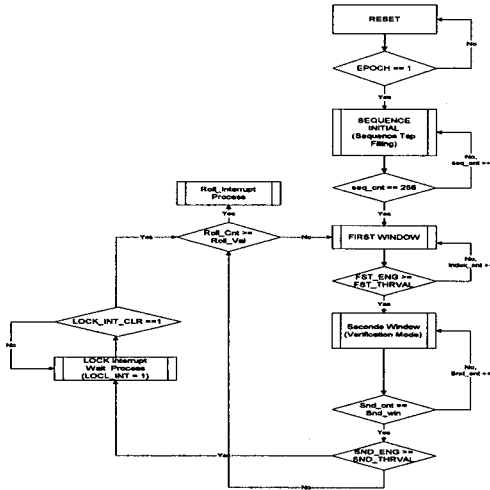
- DATA ARM : ADC 입력을 256 Chip 구간 만큼 저장. FIFO로 구성됨
- PN SEQUENCE GENERATOR, SEQUENCE SIPO REGISTER : 256 Chip

구간에 해당하는 PN Sequence를 저장함. RP, RIU 공용. RPSEL=1이면 SEARCHER는 RP 모드, 0 이면 RIU 모드가 됨.

- CORRELATOR : I ARM, Q ARM의 Correlation 값을 계산하는 블럭으로써, 면적을 줄이기위해 256개의 Correlator를 I 와 Q가 Sharing함. Chipx2 클럭으로 chipx2=1 일때는 I ARM의 Correlation 값을 출력하고, chipx2=0 일때는 Q ARM의 Correlation 값을 출력함.
  - ADDER TREE : 256 개의 Correlation Value를 Summation 하기위한 8 Stage의 Adder Tree로 구성된다.
  - ENERGY CALCULATION BLOCK : I 와 Q로 Sharing되어 출력되는 256 Tap의 Correlation 합으로부터 chipx2 주기로 1st Energy 값을 계산하며, Verification Mode (2nd Integration, or 2nd Window 구간) 시에 2nd Energy를 계산하는 블럭.
  - SEARCHER CONTROLLER : 5개의 State를 갖는 State Machine과 Index Counter, 2nd Window Counter로 구성됨.
  - LOCK INTERRUPT MASK, CLEAR BLOCK : 2nd Window에서 Lock Interrupt가 발생되면, CPU가 이를 읽고 Lock을 Clear 시키기 위한 블럭
  - ROLL INTERRUPT MASK, CLEAR BLOCK : INDEX COUNTER의 값이 지정된 ROLL SIZE보다 클경우 CPU에 Interrupt를 발생시키고, CPU는 이때 EPOCH을 인가하여 SEARCHER에게 새로운 SEED값을 할당하게된다.
  - CLOCK GENERATOR : chipx4로 부터 chipx2, chipx1을 발생시킴.
  - Searcher Control Flow Chart
- Searcher Control State Machine은 PN Sequence Arm에 PN Code를 채우는 Sequence Initial State, First Energy Threshold보다 큰 에너지를 갖는 Index값을 찾는 First Window Sate,

Verification을 위한 Second Window State, 그리고 Verification Threshold 보다 큰값을 갖을 경우 Lock Interrupt 처리를 위한 State, Energy Searching 시 사용자가 정의한 Index 구간내에 Lock Energy를 찾지 못하는 경우를 위한 Roll Interrupt 처리 State, 5개의 State를 갖는다.

각각의 State별 .Flow는 다음 그림과 같다.



(그림 6) Searcher Controller-State Machine Flow Chart.

4. Finger

Demodulation Finger의 주요 기능은 PN Despreading, Walsh Demodulation, Pilot Energy Measurement, Frequency Error Signal Generation, Time Tracking, Lock Detecting 등을 수행한다. Demodulation Unit에는 세 개의 동일한 Finger가 서로 독립적인 Timing을 가지고 각자의 path에 대한 신호를 처리한다. 그러므로 각 Demodulating Finger는 각각 Frame boundary, Symbol boundary, Pilot PN Generator output status를 가진다. Finger의 Pilot PN generator에서 Finger를 Pilot PN Sequence의 시작점의 위치를 조정하도록 하는 과정을 Slewing이라고 하며 PN Generator에서 처리된다. Finger의 Slewing 능력은 동기 채널의 복

조를 용이하게 하고, 여러 개의 Finger를 서로 다른 path로 할당되어지도록 허락한다. Slewing은 마이크로프로세서에 의해 제어되어지거나, Pilot Time Tracker의 제어하에 자동으로 실행되어진다. 후자의 경우에 Slewing은 다중 경로 페이딩 현상과 이동 국의 움직임을 보상해준다. Pilot signal은 coherent 복조와 time tracking 목적을 위한 참조로서 Finger에서 사용되어진다. 복조된 신호의 품질은 signal level estimator와 lock detector에 의해서 감시되어진다.

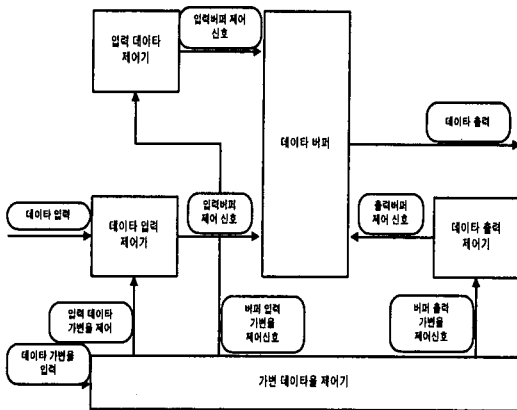
PN Despreading은 32bit PN Sequence에 의해 확산된 신호를 Finger의 PN 32 Generator 블록에서 생성된 I, Q 채널 PN Sequence와 Correlation을 수행하여 그 Energy를 더함으로써 수행된다. 각 RIU는 Forward CDMA 채널에서 RP를 구분하기 위해 I, Q seed가 Finger에 부여된다. Fn-Slew-Value는 현재의 time offset 위치로부터 Slewing하기 위해 필요로 하는 direction과 time offset을 규정한다. 같은 Forward 채널상의 Code channel은 Walsh Function에 의해 구별된다. 이러한 Walsh Function은 Fn-Channel-ID-A, Fn-Channel-ID-B에 의해 부여된다. Modulation Symbol당 PN Chip의 수는 64로 고정되어 있다. PN Sequence의 초기값을 Loading하는 신호가 발생하면 256진 Counter가 Enable되어 얻어진 8bit 출력과 MPU로부터 입력된 Fn-Channel-ID-A, Fn-Channel-ID-B 각각에 대하여 AND하고, 이 출력을 XOR 함으로써 Walsh Code를 얻는다. 이렇게 생성된 Walsh Code를 I, Q 각각에 대한 입력 데이터와 XOR하는 것으로 Walsh Demodulation을 수행한다.

Symbol Data Generation 블록에서는 입력된 I, Q channel data를 PN Code와 Walsh Code에 대하여 역확산과 복조 과정을 거친 후 64chip 단위로 integrate 하고, 이를 각각 위상 오류 성분인 COS(, SIN( 성분과 곱하는 것으로 Symbol data를 생성한다. 구해진 값에서 위상오류를 제거한 뒤에 FIFO를 통하여 Combiner로 넘겨진다.

I, Q channel 신호로부터 Frequency Error 성분은 한 심볼전의 데이터와 현재 심볼의 데이터간

의 위상변화를 측정하여 구한다. 세 개의 Finger로부터의  $FRQ-ERR < 7:0 >$ 는 Combiner에서 모아 Composite Error 출력인  $TRL-LO-ADJ$ 를 만든다. Time Tracker는 RP에서 RIU로의 유입된 신호의 도착 시간의 차이를 보정하는 역할을 수행한다. 제안된 모뎀에서는 TDL을 기준으로 설계하였다. TDL 루우프의 Gain 값은 CPU에 의해 프로그램이 가능하고, 이 값은 Tracking Bandwidth를 결정한다. Early와 Late Energy의 차를 구한 다음 1/4 chip 단위의 보정을 위한 Timing Tracking Error 값을 구하여 1/4 chip 단위의 Timing Tracking을 수행한다.

### 5. Variable Deinterleaver



〈그림 7〉 Deinterleaver Block Diagram

그림 7에서 볼 수 있듯이 디인터리버 블럭은 디인터리빙을 위한 데이터 버퍼와 이의 입력 및 출력의 제어를 위한 데이터 입력 제어기와 데이터 출력 제어기, 가변율에 따라 반복전송되는 데이터의 형태 결정을 위한 데이터 입력 제어기로 구성되며, 이들에 데이터율에 따른 제어신호를 발생하는 가변 데이터율 제어기로 구성된다.

예를 들어 8 kbps의 데이터율로 입력되는 데이터에 대해서는 반복된 횟수에 의해 입력 데이터를 제어하고, 이를 데이터 버퍼에 쓰기 위한 제어 신호를 발생한다. 데이터 쓰기 동작이 종료된 후 반

복된 횟수에 의해 데이터 읽기 동작을 위한 제어 신호를 발생하여 출력 데이터를 추출하게 된다.

### 6. Viterbi Decoder

Viterbi decoder는 W-CDMA 이동 통신 시스템 환경하에서 Multi-path 및 이동체의 속도에 의한 신호의 Fading 현상등에 의해 발생하는 연접 에러(Burst error) 및 산발 에러(Random error)를 극복하여 통화 품질을 보장하는 오류 검출 및 복원 기술이다. 즉, Data를 보내는 쪽에서는 Channel coding 기술을 사용하여 Digital data를 부호화 하여 적절한 여분의 Data와 함께 보내면 받는 쪽에서는 Channel decoding 기술을 사용하여 Channel에서의 Noise에 의한 오류 Data를 복원할 수 있기 때문에 신뢰성 있는 통신을 보장할 수 있다.

Channel coding 기술에는 여러 가지 기술이 존재하지만 이동통신과 같은 가산성 백색 가우시안(AWGN) channel인 경우에는 Error의 형태가 이산 error 형태로 발생하기 때문에 Convolutional code로 부호화 하여 처리하면 효과적인 결과를 얻을 수 있다. 그리고 Code의 Decoding 방식에는 Viterbi Algorithm으로 유명한 Viterbi decoder를 사용한다.

Viterbi decoder는 Convolutional code의 Decoder중에 하나로서, 일반적으로 Convolutional code의 경우 Block code에 비해 동일 복잡도로 Bit 오류 정정 능력이 Block code보다 매우 우수하다. Convolutional encoding은 입력되는 일련의 정보 비트를 일련의 Code symbol열로 변환하는 것으로 Code symbol당 정보 Bit으로 Code rate를 표시한다. 그리고 현재의 출력되는 Code symbol을 결정하는 현재의 입력 정보 및 과거의 입력 정보의 수가 Constraint length가 된다. Convolutional code의 경우 Constraint length 값이 적은 경우 Viterbi Algorithm으로 비교적 단순한 구조로 최우 복호가 가능하다. 그러나 Viterbi Algorithm은 Constraint length 값이 큰 경우 복잡도가 지수 함수적으로 증가함으로 축차 복호법이 일반적으로 사용되고 있다.

Viterbi decoder의 구조는 순차적 입력 정보 비트를 Bit-by-bit으로 decoding하는 Serial 방식과 병렬 Data를 처리하는 Parallel 방식으로 구성되며, 크게 Branch metric 계산, State metric 계산 그리고 Trace back의 순서로 decoding된다. 고정된 구속장(Constraint length) 및 부호율(Code rate)을 가진 decoder의 성능은 입력 Symbol의 크기 및 표본화 level, State metric의 크기 및 Normalize level 그리고 Path memory의 Trace back depth에 의해 결정된다.

WLL용 W-CDMA에 사용되는 Viterbi decoder는 부호율(Code rate)이 1/2 이고, 구속장(Constraint length)이 7혹은9로서 이동국용의 순-방향 및 기지국용의 역-방향 각 channel의 Decoding을 지원하며, 또한 출력 Data의 효과적인 운용을 위해 uP 인터페이스 및 E1 High Way 인터페이스를 제공한다.

Viterbi decoder의 전체적인 하드웨어 구성은 수신 신호의 전-처리 (Pre-processing)를 수행하기 위하여 입력 버퍼 처리부, 복호 Algorithm을 구현한 Viterbi 복호 처리부, 복호된 Data의 후-처리 (Post-processing)를 위한 출력 버퍼 처리부 및 E1 인터페이스 그리고 uP 인터페이스 처리부로 구성된다.

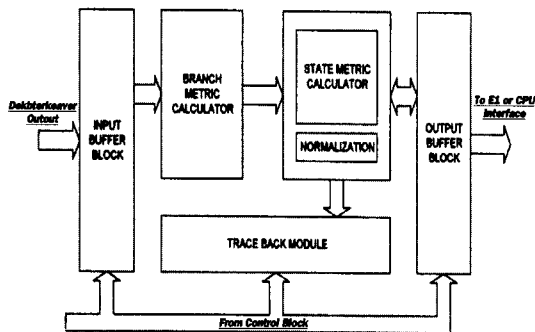
입력 버퍼 처리부에서는 외부에서 들어오는 입력 Data를 Viterbi 복호 처리부에서 효과적으로 복호하기 위해 Data를 저장하고, WLL W-CDMA 규격에 맞추어 Data의 재 정렬을 수행한다. 즉, 순-방향 / 역-방향 각각의 Channel 규격에 따라 입력 Data를 Grouping, Accumulating, Re-scaling 그리고 SMT Data 변환을 한다. 여기서 Grouping 기술은 버퍼에 저장된 Data에서 하나의 Code word를 구성하는 것이고, Accumulating은 반복하여 들어오는 Code word의 합을 구하는 것이며, Re-scaling은 Code word의 합의 평균을 구하는 것이다. 마지막으로 SMT 처리부에서의 Data의 변환(Translation)은 Viterbi 복호 처리부에서 Hardware적으로 계산이 용이하도록 Signed 2's complement 표현을 Signed magnitude 표현으로 변환한다.

Viterbi 복호 처리부는 BM(Branch Metric) 모듈, 정규화(Normalize) 모듈, ACS(Add Compare Select) 모듈, TB(Trace Back) 모듈과 그 외 SM(State Metric) 값을 저장하기 위한 Memory로 구성된다. BM 모듈의 기능은 격자도 (Trellis Diagram)에서 각 상태에 연결된 Branch의 Code word 값과 수신한 Code word 값과의 차이인 BM값을 구한다. 정규화 모듈은 SM Memory 값 중 가장 작은 값으로 모든 Memory 값을 빼서 작은 용량의 Memory로 SM data를 유지 시키는 기능을 담당한다. ACS 모듈의 기능은 격자도의 현단계에서 각 상태에 연결된 Branch의 BM값과 그 Branch에 연결된 상태의 SM 값을 더하여 그것을 비교한 후 작은 값을 선택하여 새로운 SM을 결정하여 대처하는 것이다. 또한 그때의 정보는 추후에 Trace back을 할 때 사용하기 위해 PM(Path Memory)에 저장한다. TB 모듈은 격자도의 현단계에서 가장 작은 SM값을 찾고 그것을 초기값으로 사용하여 TB Algorithm을 적용하여 오류가 제거된 원래의 입력 Data를 찾아낸다. 한편 복호 처리부의 출력은 Code word를 받은 후 TB depth에 해당하는 만큼 뒤에 최종 출력이 나오는데 이 기간 동안 수신 워드를 "0"으로 가정하여 복호를 수행한다.

출력 버퍼 처리부는 복호된 Data를 각 Data Rate에 따라 저장하고 uP가 Rate별로 Access할 수 있도록 Post-Processing 작업들을 수행한다. 또한 고속의 Traffic Channel인 경우 E1 High Way 인터페이스 규격을 수용하여 uP의 Load 증가를 줄이는 역할을 한다.

uP 인터페이스 처리부에서는 순-방향 / 역-방향 접속 Channel에 따라 Viterbi decoder의 모든 동작을 설정하고 제어하는 역할을 수행하며, Indirect addressing 동작 mode와 Direct addressing 동작 mode를 적용하여 상용으로 사용되는 어떤 종류의 uP와도 인터페이스가 가능하다. 그 외에 Viterbi decoder 동작을 효과적으로 Test하기 위한 Scan 인터페이스와 Viterbi decoder의 주요 모듈을 Bypass할 수 있는 기능을 지원한다.





〈그림 9〉 Serial Viterbi Block Diagram

### III. RP MODEM ARCHITECTURE

제안된 RP Modem Chip의 Modulator/Deinterleaver/Viterbi Decoder/Matched Filter는 RIU Modem과 동일한 Block을 공유하고 있다. 즉 Modulator는 RP/RIU겸용으로 비대칭 Channel구조에서도 Self-Loop Back등을 통하여 Chip의 자가 검진이 가능하다. 2sec/20msec시각 정렬 및 4진 대역 방식등과 Channel구조가 Forward / Reverse송신 에서 차이가 있으며 RIU의 경우는 송신시의 20msec기준 시간을 수신측의 20msec, 즉 기저국의 20msec에 정렬하지만 기저국은 자신의 시각이 기준이므로 임의의 시간에 송신하면 된다. Searcher의 경우 4진 대역 방식의 차이로 Correlator의 구조만 차이가 있을 뿐 전체 구조는 완전히 동일한 Matched Filter를 사용한다. Finger의 경우 RIU는 AFC가 있으나 기저국 Modem은 자신의 Carrier Frequency가 기준이 되므로 필요하지 않다. Analog Block Control 회로인 Automatic Gain Control / Automatic Offset Control 회로가 기저국용 Modem에는 없다. 또 역방향 Channel구조의 가장 큰 특징인 PPCS (Pilot/Power/Signal) Channel을 위하여 고정국 Modem과 Channel Estimation 방법이 다르며 단말국의 Carrier Frequency의 정밀도가 요구된다.

### IV. 결 론

제안된 RIU및 RP기저대역 모뎀의 Chip은 변복조부와 Channel Coding/Decoding부를 포함하고 있다. 모뎀 Chip의 전체 게이트수는 약 350K - 380K개이며, Package는 208- QFP이다. WLL을 위한 TTA 규격 중 10Mhz Bandwidth에 따른 동작을 지원한다. 순방향 링크로 Pilot / Sync / Paging / Traffic / PCS Channel 지원하고, 역방향 링크로 Pilot / Access / Traffic / PPCS Channel 지원한다. Traffic Data Rate는 8K / 16K / 32K / 64K / 80K / 144K 다양한 데이터 전송률을 지원하고, Traffic Interleaving을 사용자가 선택할 수 있다. 또한, Convolution Encoding는 부호화를  $R=1/2$ 과, 구속장 길이  $K=9$  또는 7의 두 가지를 지원한다. 동작 전압은 5V 이고 시스템 클럭은 칩클럭의 4배인 32.768Mhz이다. 이 Chip을 이용하여 WLL 시스템 제작이 진행중에 있으며 1999년 부터 상용 서비스를 할 계획이다. RF환경하에서의 양방향 기본 통화 시험은 성공하였으며 전력 제어, Channel Estimation의 변화, Channel 환경의 변화 등을 고려한 성능 평가 작업은 현재 진행중이다. 향후 이 Chip을 Up-Version시킨 3세대 WLL Chip을 98년 12월 까지 개발 예정이며, IMT2000에도 활용 계획이다.

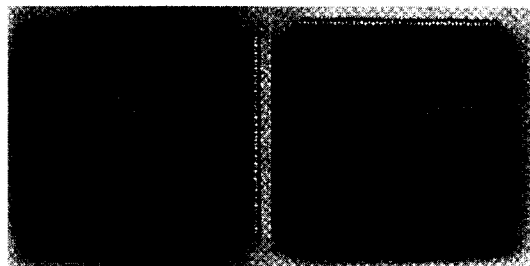


사진 1 고정국(왼쪽), 기지국(오른쪽) Chip 사진

## 참 고 문 헌

- [1] Wireless Local Loop를 위한 무선 규격 (안), 1997, 3, 한국전자통신연구소.
- [2] ANSI/EIA/TIA-533, Mobile Station-Land Station Compatibility Specification, September 1989.
- [3] Circuit Switched Bearer Service for Digital Subscriber Signaling System Number 1, July 1990.
- [4] TIA/EIA/IS-95, Mobile Station-Base Station Compatibility Standard for Dual Mode Wideband Spread Spectrum Cellular System, July 1993.
- [5] ITU-T SGXI Q.FNA/Q.FIF
- [6] ITU-T G.964(V5.1)/ G.965(V5.2)

## 저 자 소 개



徐承模

1959年 5月 24日生, 1983年 2月 경북대학교 전자공학과(학사), 1985年 8月 연세대학교 전자공학과(석사), 1984年 3月~1993年 7月 삼성전자 근무 DRAM / VDRAM 설계 팀장, 1993年 7月~현재 (주) 씨앤에스 테크놀로지 설립 대표이사 사장, 주관심 분야: 이동 통신, 멀티미디어 통신, VLSI 기술, DSP응용 기술등



徐敏浩

1963年 9月 30日生, 1986年 2月 서울대학교 제어계측공학과(학사), 1985年 12月~1993年 8月 삼성전자 근무 MCU 설계 팀장, 1993年 7月~현재 (주) 씨앤에스 테크놀로지 디지털 통신 실장 주관심 분야: 이동 통신, 위성 통신, 무선 LAN등